

# PATENT ABSTRACTS OF JAPAN

(11)Publication number :

2003-323129

(43)Date of publication of application : 14.11.2003

(51)Int.Cl.

G09F 9/30

G09F 9/00

G09G 3/20

G09G 3/30

H05B 33/14

(21)Application number : 2002-127448

(71)Applicant : TOSHIBA MATSUSHITA DISPLAY  
TECHNOLOGY CO LTD

(22)Date of filing : 26.04.2002

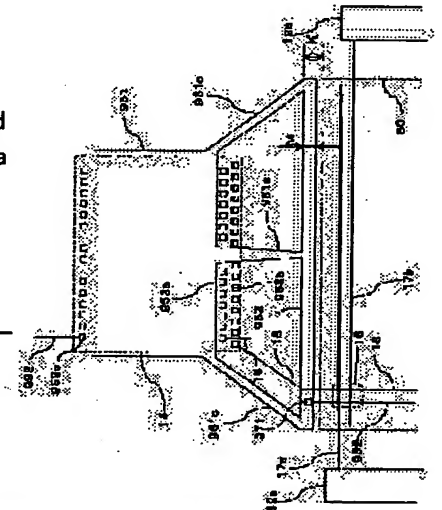
(72)Inventor : TAKAHARA HIROSHI

(54) EL DISPLAY DEVICE, DRIVING CIRCUIT THEREFOR, AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an active matrix type EL display panel capable of realizing a slim frame and uniform display.

SOLUTION: A source driver IC chip 14 of a current-driving method is connected to a connection terminal 953 by a COG (Chip on Glass) processing method. On a substrate, a base anode line 951 for supplying voltage to EL elements on a rear surface position of the driver IC chip 14 is formed. In the neighborhood of a display area 50, a common anode line 962 is formed so as to cross source signal lines 18. Anode wiring 952 branching to each pixel is led out of the common anode line 962. The common anode line 962 and a base anode line 951 are short-circuited via a connection anode line 961. The connection anode line 961a is led out of the central part of the IC chip 14, and connection anode lines 961b, 961c are connected to both sides of the common anode line 962.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] An EL display equipped with the anode supply line by which the pixel which has an EL element is the EL display which has the pixel viewing area arranged in the shape of a matrix on a substrate, it has been arranged on said substrate, and the all or part has been arranged between a drive IC chip equipped with the source driver circuit which outputs a program current or a program electrical potential difference to said pixel, and said substrate and said drive IC chip, and anode wiring which branch from said anode supply line and are prolonged in said pixel.

[Claim 2] The base anode line by which the part or all has been arranged for said anode supply line in the clearance between said substrate and said drive IC chip, Said drive IC chip and the common anode line arranged between said pixel viewing areas, At least one connection anode line which connects said base anode line and said common anode line, EL display according to claim 1 with which it \*\*\*\*, connects with a connection terminal and said connection terminal at each output of said IC chip, and has the source signal line prolonged in said pixel, and said anode wiring branches from said base anode line, is arranged between said connection terminals, and is prolonged in said pixel.

[Claim 3] At least one of said connection wiring is EL display according to claim 2 arranged in the center section of said drive IC chip with which said connection terminal does not exist.

[Claim 4] Said anode wiring is an EL display according to claim 2 or 3 which has anode wiring which puts on said source signal line through an insulator, is arranged, branches from said common anode line further, and is prolonged in said pixel.

[Claim 5] EL display according to claim 2 to 4 arranged so that said base anode line may cover the circuit formation section of said drive IC chip.

[Claim 6] The EL indicating equipment possessing the switching circuit which is shown in EL indicating equipment with which the gate signal line which chooses a pixel, and the source signal line which transmits a program current to said pixel intersect perpendicularly, and is arranged in the output stage of the gate driver circuit which makes sequential selection of said gate signal line, the source driver circuit which supplies a program current to said source signal line, and said source driver circuit, and makes turn on and off the output or the input of said program current synchronizing with a horizontal scanning signal.

[Claim 7] The gate signal line which chooses a pixel, and the source signal line which transmits a program current to said pixel, The gate driver circuit which makes sequential selection of said gate signal line, and the source driver circuit which supplies a program current to said source signal line, It is the drive approach of EL display of having the switching circuit which is arranged in the output stage of said source driver circuit, and is made turning on and off the output or input of said program current synchronizing with a horizontal scanning signal. When said switching circuit is made into an OFF state and said 2nd gate signal line is chosen from the selection condition of said 1st gate signal line as the period which shifts to the selection condition of the 2nd following gate signal line, said switching circuit is made into an ON state. The drive approach of EL display driven so that said program current may be impressed to said source signal line.

[Claim 8] The source circuit of low current which generates the program current of a low gradation field,

and the high current source circuit which generates the program current of the Takashina tone field, The 1st switching circuit arranged or formed in said source circuit of low current and said output side of a high current circuit is provided. Said source circuit of low current It consists of the 1st unit current switching circuit which chooses the current source which passes two or more unit currents, and said unit current source. Said high current source circuit It consists of the 2nd unit current switching circuit which chooses the current source which passes two or more unit currents, and said unit current source. Said source circuit of low current It is the driver circuit of EL indicating equipment with which it operates in both a low gradation field and the Takashina tone field, said high current source circuit operates in the Takashina tone field, and said source circuit of low current and a high current source circuit operate corresponding to the magnitude of image data.

[Claim 9] A semiconductor chip equipped with the source driver circuit which outputs a program current, The image display field where the pixel which has an EL element has been arranged in the shape of a matrix, The gate driver circuit which chooses said pixel, and the source signal line which supplies a program current to said pixel, The level-shifter circuit formed in the same process as said pixel and the switching circuit formed in the same process as said pixel are provided. The output terminal of said source driver circuit It is EL display which it connects with said source signal line, and the level shift of the control signal from said source driver circuit is carried out by said level-shifter circuit, and carries out on-off control of said switching circuit.

[Claim 10] A semiconductor chip equipped with the source driver circuit which outputs a program current, The image display field where the pixel which has an EL element has been arranged in the shape of a matrix, The gate driver circuit which chooses said pixel, and the source signal line which supplies a program current to said pixel, The level-shifter circuit formed in the same process as said pixel and the switching circuit formed in the same process as said pixel are provided. The output terminal of said source driver circuit Connect with said source signal line and a precharge electrical potential difference is impressed to one terminal of said switching circuit. Other terminals are connected to said source signal line. Said program current from said source driver circuit EL display with which a level shift is carried out by said level-shifter circuit, on-off control of said switching circuit is carried out, and said precharge electrical potential difference is impressed to a source signal line according to said program current.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] It is related with information displays, such as a cellular phone using EL display panels which display an image mainly with spontaneous light, these EL display panels, etc. of this

invention, etc. Moreover, it is related with the drive circuit which drives EL display panel etc.

[0002]

[Description of the Prior Art] Since many liquid crystal display panels to a portable equipment etc. are adopted from the advantage of a low power with the thin shape, they are used for devices, such as a word processor, and a personal computer, television (TV), the viewfinder of a video camera, a monitor, etc.

[0003]

[Problem(s) to be Solved by the Invention] However, since a liquid crystal display panel is not a spontaneous light device, it has the trouble that it cannot be displayed that an image does not use a back light. Since predetermined thickness was required in order to constitute a back light, there was a problem that the thickness of a display module became thick. Moreover, in order for a liquid crystal display panel to perform color display, it is necessary to use a color filter. Therefore, there was a trouble that efficiency for light utilization was low. Moreover, there was a trouble that the color reproduction range was narrow.

[0004] In recent years, the organic electroluminescence (electroluminescence) display panel has been developed. An organic electroluminescence display panel constitutes a panel using a low-temperature poly-Si TFT (thin film transistor) array. However, since an organic electroluminescence device emitted light according to a current, when variation was in the property of TFT, it had the technical problem that display nonuniformity occurred.

[0005]

[Means for Solving the Problem] The 1st this invention (it corresponds to claim 1) for solving the above-mentioned technical problem It is EL display which has the pixel viewing area by which the pixel which has an EL element has been arranged in the shape of a matrix on a substrate. A drive IC chip equipped with the source driver circuit which is arranged on said substrate and outputs a program current or a program electrical potential difference to said pixel, It is EL display equipped with said substrate, the anode supply line by which the all or part has been arranged between said drive IC chips, and anode wiring which branches from said anode supply line and is prolonged in said pixel.

[0006] The base anode line by which, as for the 2nd this invention (it corresponds to claim 2), the part or all has been arranged for said anode supply line in the clearance between said substrate and said drive IC chip, Said drive IC chip and the common anode line arranged between said pixel viewing areas, At least one connection anode line which connects said base anode line and said common anode line, It is EL display of the 1st this invention which \*\*\*\*, is connected to a connection terminal and said connection terminal at each output of said IC chip, has the source signal line prolonged in said pixel, said anode wiring branches from said base anode line, is arranged between said connection terminals, and is prolonged in said pixel.

[0007] The 3rd this invention (it corresponds to claim 3) is an EL display of the 2nd this invention with which at least one of said connection wiring is arranged in the center section of said drive IC chip with which said connection terminal does not exist.

[0008] The 4th this invention (it corresponds to claim 4) is EL display of this invention of the 2nd or 3 which has anode wiring which repeats said anode wiring to said source signal line through an insulator, is arranged, branches from said common anode line further, and is prolonged in said pixel.

[0009] The 5th this invention (it corresponds to claim 5) is EL display of either of the 2-4th this inventions which is arranged so that said base anode line may cover the circuit formation section of said drive IC chip.

[0010] The gate signal line by which the 6th this invention (it corresponds to claim 6) chooses a pixel, It is shown in EL indicating equipment with which the source signal line which transmits a program current to said pixel intersects perpendicularly. The gate driver circuit which makes sequential selection of said gate signal line, It is EL display possessing the switching circuit which is arranged in the output stage of the source driver circuit which supplies a program current to said source signal line, and said source



driver circuit, and is made to turn on and off the output or input of said program current synchronizing with a horizontal scanning signal.

[0011] The gate signal line by which the 7th this invention (it corresponds to claim 7) chooses a pixel, The source signal line which transmits a program current to said pixel, and the gate driver circuit which makes sequential selection of said gate signal line, The source driver circuit which supplies a program current to said source signal line, It is the drive approach of EL display of having the switching circuit which is arranged in the output stage of said source driver circuit, and is made turning on and off the output or input of said program current synchronizing with a horizontal scanning signal. When said switching circuit is made into an OFF state and said 2nd gate signal line is chosen from the selection condition of said 1st gate signal line as the period which shifts to the selection condition of the 2nd following gate signal line, said switching circuit is made into an ON state. It is the drive approach of EL display driven so that said program current may be impressed to said source signal line.

[0012] The source circuit of low current where the 8th this invention (it corresponds to claim 8) generates the program current of a low gradation field, The current source to which the high current source circuit which generates the program current of the Takashina tone field, and the 1st switching circuit arranged or formed in said source circuit of low current and said output side of a high current circuit are provided, and said source circuit of low current passes two or more unit currents, It consists of the 1st unit current switching circuit which chooses said unit current source. Said high current source circuit It consists of the 2nd unit current switching circuit which chooses the current source which passes two or more unit currents, and said unit current source. Said source circuit of low current It operates in both a low gradation field and the Takashina tone field, said high current source circuit operates in the Takashina tone field, and said source circuit of low current and a high current source circuit are driver circuits of EL indicating equipment which operates corresponding to the magnitude of image data.

[0013] A semiconductor chip equipped with the source driver circuit where the 9th this invention (it corresponds to claim 9) outputs a program current, The image display field where the pixel which has an EL element has been arranged in the shape of a matrix, The gate driver circuit which chooses said pixel, and the source signal line which supplies a program current to said pixel, The level-shifter circuit formed in the same process as said pixel and the switching circuit formed in the same process as said pixel are provided. The output terminal of said source driver circuit It is EL display which it connects with said source signal line, and the level shift of the control signal from said source driver circuit is carried out by said level-shifter circuit, and carries out on-off control of said switching circuit.

[0014] A semiconductor chip equipped with the source driver circuit where the 10th this invention (it corresponds to claim 10) outputs a program current, The image display field where the pixel which has an EL element has been arranged in the shape of a matrix, The gate driver circuit which chooses said pixel, and the source signal line which supplies a program current to said pixel, The level-shifter circuit formed in the same process as said pixel and the switching circuit formed in the same process as said pixel are provided. The output terminal of said source driver circuit Connect with said source signal line and a precharge electrical potential difference is impressed to one terminal of said switching circuit.

Other terminals are connected to said source signal line. Said program current from said source driver circuit It is EL display with which a level-shift is carried out by said level-shifter circuit, on-off control of said switching circuit is carried out, and said precharge electrical potential difference is impressed to a source signal line according to said program current.

[0015]

[Embodiment of the Invention] In order that each drawing may make a plot easy easily [ understanding ] in this specification, there are an abbreviation or/and a part which carried out enlarging or contracting. For example, with the sectional view of the display panel illustrated to drawing 11 , the closure film 111 etc. is illustrated sufficiently thickly. On the other hand, in drawing 10 , the closure free wheel plate 85 is illustrated thinly. Moreover, there is also an abridged part. For example, it is desirable to omit the phase

film for acid resisting of unnecessary light etc., and for \*\* to add timely in the display panel of this invention. The above thing is the same also to the following drawings. Moreover, the part which attached the same number or the notation has a same or similar gestalt, an ingredient, a function, or actuation. [0016] In addition, especially the contents explained with each drawing etc. are combinable with other examples etc., even if there is no notice. For example, a touch panel etc. can be added to the display panel of drawing 8 , and it can consider as drawing 19 and the information display illustrated from drawing 59 to drawing 61 . Moreover, the viewfinder (refer to drawing 58 ) which attaches a magnifying lens 582 and is used for a video camera (refer to drawing 59 etc.) etc. can also be constituted. Moreover, the drive approach of this invention explained by drawing 4 , drawing 15 , drawing 18 , drawing 21 R> 1, drawing 23 , etc. is applicable to which display or display panel of this invention. That is, the drive approach indicated on these specifications is applicable to the display panel of this invention. Moreover, it cannot be overemphasized that it cannot be limited to this although this invention mainly explains the active-matrix mold display panel with which the transistor was formed in each pixel, and it can apply also to a simple matrix type.

[0017] Thus, even if not illustrated especially in the specification, the matter indicated or explained in the specification and the drawing, contents, and a specification can be combined mutually, and can be indicated to a claim. It is because it is impossible to describe all combination on specifications etc.

[0018] In recent years, it is a low power, and is high display quality, and the organic electroluminescence display panel constituted as a display panel in which thin-shape-izing is still more possible by arranging the plurality of an organic electroluminescence (EL) component in the shape of a matrix attracts attention. As an organic electroluminescence display panel is shown in drawing 10 , the laminating of the organic stratum functionale (EL layer) 15 of at least one layer which consists of an electronic transportation layer, a luminous layer, an electron hole transportation layer, etc. on the glass plate 71 (array substrate) with which the transparent electrode 105 as a pixel electrode was formed, and the metal electrode (reflective film) (cathode) 106 is carried out. The organic stratum functionale (EL layer) 15 emits light by applying the electrical potential difference of minus to the anode plate (anode) which is a transparent electrode (pixel electrode) 105 in the cathode (cathode) of plus and a metal electrode (reflector) 106, namely, impressing a direct current between a transparent electrode 105 and a metal electrode 106. By using the organic compound which can expect a good luminescence property for the organic stratum functionale, EL display panel can be equal to practical use. In addition, although this invention explains by making an organic electroluminescence display panel into an example, it cannot be limited to this and can be applied also to an inorganic EL panel. Moreover, structure, a circuit, etc. have a matter applicable to other display panels, such as TN liquid crystal display panel and a STN liquid crystal display panel.

[0019] A cathode electrode, an anode electrode, or the reflective film may form and constitute the optical interference film which becomes an ITO electrode from dielectric multilayers. Dielectric multilayers form the dielectric film of a low refractive index, and the dielectric film of a high refractive index in a multilayer by turns. That is, it is a dielectric mirror. These dielectric multilayers have the function which makes good the color tone of the light emitted from organic electroluminescence structure (screen effect). In addition, other ingredients, such as IZO, are sufficient as ITO of a transparent electrode. This matter is the same also to a pixel electrode.

[0020] A big current flows for wiring (the cathode wiring 86 of drawing 8 , anode wiring 87) which supplies a current to an anode or a cathode. For example, if the screen size of EL indicating equipment turns into 40 inch size, the current of 100 (A) extent will flow. Therefore, it is necessary to produce the resistance of these wiring sufficiently low. By this invention, wiring of an anode etc. is first formed with a thin film to this technical problem. And the thickness of a conductor is thickly formed in this thin film wiring with the electrolysis plating technique or the nonelectrolytic plating technique. As a plating metal, chromium, nickel, gold, copper, aluminum or these alloys, AMANGAMU, or a laminated structure is illustrated. Moreover, metal wiring which turns into the wiring itself or wiring from \*\*\*\* is added if

needed. Moreover, a copper paste etc. is screen-stenciled after wiring, by carrying out the laminating of the paste etc., thickness of wiring is thickened and wiring resistance is reduced. Moreover, with a bonding technique, it overlaps, wiring may be formed, and wiring may be reinforced. Moreover, if needed, a laminating may be carried out to wiring, a grand pattern may be formed, and a capacitor (capacity) may be formed between wiring.

[0021] Moreover, in order to supply a big current to an anode or cathode wiring, it wires from a current supply source means to near, such as said anode wiring, with the power wiring of a small current by the high voltage, and the low battery and the high current are converted the power and supplied using a DC-DC converter etc. That is, it wires from a power source to a power consumption object with the high voltage and small current wiring, and changes into a high current and a low battery near [ for power consumption ]. A DC-DC converter, a transformer, etc. are illustrated as such a thing.

[0022] It is desirable to use for a metal electrode 106 what has small work functions, such as a lithium, silver, aluminum, magnesium, an indium, copper, or each alloy. It is desirable to use for example, an aluminum-Li alloy especially. Moreover, a conductive big ingredient or gold of a work function, such as ITO, etc. can be used for a transparent electrode 105. In addition, when gold is used as an electrode material, an electrode will be in a translucent condition. In addition, other ingredients, such as IZO, are sufficient as ITO. This matter is the same also to other pixel electrodes 105.

[0023] In addition, in case a thin film is vapor-deposited to the pixel electrode 105 etc., it is good to form the organic electroluminescence film 15 in an argon ambient atmosphere. Moreover, by forming the carbon film by 20 or more nm [ 50 ] or less on ITO as a pixel electrode 105, the stability of an interface improves and luminescence brightness and luminous efficiency will also become good. Moreover, it cannot be overemphasized that it may not limit to forming the EL film 15 by vacuum evaporatio, and you may form by the ink jet. With a giant-molecule organic electroluminescence ingredient, especially this ink jet method of construction is effective. In this case, it is good to form the hydrophilic film in the part which applies a macromolecule organic electroluminescence ingredient.

[0024] Hereafter, in order to make easy an understanding of EL display-panel structure of this invention, the manufacture approach of the organic electroluminescence display panel of this invention is explained first.

[0025] The closure cover 85 and a substrate 71 may form a substrate with sapphire glass in order to improve heat dissipation nature. Moreover, a good thermally conductive thin film or a thermally conductive good thick film may be formed. For example, using the substrate in which diamond thin films (DLC etc.) were formed is illustrated. Of course, a quartz-glass substrate and a soda glass substrate may be used. In addition, what used ceramic substrates, such as an alumina, used the metal plate which consists of copper etc., or coated [ spreading / vacuum evaporatio or ] the insulator layer with a metal membrane and the carbon film may be used. When using the pixel electrode 105 as a reflective mold, as a substrate ingredient, outgoing radiation of the light is carried out from the direction of a front face of a substrate. Therefore, in addition to the transparence thru/or translucent ingredient of glass, a quartz, resin, etc., nontransparent ingredients, such as stainless steel, can also be used.

[0026] Moreover, the exterior or inside a substrate 85 and a substrate 71, it may correspond to a pixel configuration, and a micro lens may be formed or arranged. By constituting a micro lens, the directivity of the light emitted from EL film becomes narrow, and high-brightness-ization can be realized.

[0027] Although [ the example of this invention ] the cathode electrode 106 etc. is formed by the metal membrane, it may not limit to this and you may form by transparent membranes, such as ITO and IZO. Thus, a transparence EL display panel can be constituted by using the anode of EL element 15, and the electrode of both cathodes as a transparent electrode (of course, one side may be formed by the metal membrane with light transmission nature.). Or a very thin metal membrane is used as a cathode electrode, on this cathode electrode, the laminating of the transparence conductor ingredients, such as ITO, may be carried out, and they may be constituted. By gathering permeability to about 80%, without using a metal membrane, displaying an alphabetic character and a picture, it can constitute so that the

other side of a display panel may almost be transparent and it may be visible.

[0028] It cannot be overemphasized that substrates 85 and 71 may use a plastic plate. A plastic plate cannot break easily, and since it is lightweight, it is the optimal as a substrate for display panels of a cellular phone. As for a plastic plate, it is desirable to stick an auxiliary substrate on one field of the base substrate used as a core material with adhesives, and to use as a laminated circuit board. Of course, these substrates etc. may not be limited to a plate and a with a 0.05mm or more 0.3mm or less thickness film is sufficient as them.

[0029] As a substrate of a base substrate, it is desirable to use alicyclic polyolefin resin. A single plate with a thickness [ of ARTON by Japan Synthetic Rubber Co., Ltd. ] of 200 micrometers is illustrated as such alicyclic polyolefin resin. The auxiliary substrate (or a film or film) which consists of polyester resin, polyethylene resin, or polyether sulphone resin etc. with which the rebound ace court layer which has thermal resistance, solvent resistance, or a moisture permeability-proof function in one field of a base substrate, and the gas barrier layer with an infiltrative-proof function were formed is arranged.

[0030] When it constitutes a substrate 71 etc. from plastics as mentioned above, a substrate 71 etc. consists of a base substrate and an auxiliary substrate. The auxiliary substrate (or a film or film) which consists of polyether sulphone resin with which the rebound ace court layer and the gas barrier layer were formed in the field of another side of a base substrate like the above-mentioned is arranged. It is desirable to make it the include angle of the optical lagging axis of an auxiliary substrate and the optical lagging axis of an auxiliary substrate to make turn into 90 degrees. In addition, a base substrate and an auxiliary substrate are stuck through adhesives or a binder, and let them be a laminated circuit board.

[0031] It is desirable to use what consists of resin acrylic in UV (ultraviolet rays) hardening mold as adhesives. Moreover, as for acrylic resin, it is desirable to use what has a fluorine radical. In addition, the adhesives or the binder of an epoxy system may be used. As for the refractive index of adhesives or a binder, it is desirable to use or more 1.47 1.54 or less thing. Moreover, it is desirable to make it a refractive-index difference with the refractive index of a substrate become 0.03 or less. especially — adhesives — previously — written \*\*\*\* — it is desirable to add optical dispersing agents, such as titanium oxide [ like ], and to make it function as a light-scattering layer.

[0032] In case an auxiliary substrate and an auxiliary substrate are stuck on a base substrate, it is desirable to make into 120 or less degrees the include angle which the optical lagging axis of an auxiliary substrate and the optical lagging axis of an auxiliary substrate make 45 degrees or more. It is good to make it still more desirable 100 or less degrees 80 degrees or more. By making it this range, the phase contrast generated by the polyether sulphone resin which is an auxiliary substrate and an auxiliary substrate can be completely negated within a laminated circuit board. Therefore, the plastic plate for display panels can be treated now as an isotropic substrate without phase contrast. Therefore, the nonuniformity of the display panel by phase conditions differing does not occur with the configuration which used the circular polarization of light plate. Of course, it cannot be overemphasized that a substrate is not limited to plastics and the matter about a circular polarization of light plate is effective also in the case of a glass substrate. It is because control etc. can perform effectively the contrast fall by the outdoor daylight reflected on a substrate front face.

[0033] By this configuration, versatility spreads remarkably compared with a film substrate with phase contrast, or a film laminated circuit board. That is, it is because the linearly polarized light can be changed into elliptically polarized light by combining a phase contrast film as a design. If there is phase contrast in a substrate etc., an error with a design value will occur according to this phase contrast.

[0034] Here, as a rebound ace court layer, polyester resin, epoxy system resin, urethane system resin, or acrylic resin can be used, and the 1st under coat layer of the transparence electric conduction film is served both as a stripe-like electrode (simple matrix type EL display panel) or a pixel electrode (active-matrix mold display panel).

[0035] Moreover, as a gas barrier layer, organic materials, such as inorganic materials, such as SiO<sub>2</sub> and SiO<sub>x</sub>, or poly vinyl alcohol, and polyimide, etc. can be used. As a binder, adhesives, etc., epoxy system

adhesives or polyester system adhesives can be used other than the acrylic described previously. In addition, thickness of a glue line is set to 100 micrometers or less. However, in order to graduate the irregularity of front faces, such as a substrate, it is desirable to be referred to as 10 micrometers or more.

[0036] Moreover, it is desirable to use a with a 40-micrometer or more thickness [ 400 micrometer ] thing as the auxiliary substrate which constitutes substrates 71 and 85 etc., and an auxiliary substrate. Moreover, the unevenness or phase contrast at the time of melting extrusion molding called the die line of polyether sulphone resin can be low suppressed by setting thickness of an auxiliary substrate and an auxiliary substrate to 120 micrometers or less. Preferably, thickness of an auxiliary substrate is set to 50 micrometers or more 80 micrometers or less.

[0037] Next, SiO<sub>x</sub> is formed in this laminated circuit board as an auxiliary under coat layer of the transparence electric conduction film, and the transparence electric conduction film which consists of ITO which serves as a pixel electrode if needed is formed with a spatter technique. Moreover, the ITO film is formed as a static free if needed. Thus, the transparence electric conduction film of the manufactured plastic plate for display panels can realize sheet resistance 25ohm/\*\*, and 80% of permeability as the film property. 50 to 100 micrometers when thin, in the production process of a display panel, the plastic plate for display panels will curl [ the thickness of a base substrate ] by heat treatment. Moreover, a good result is not obtained in connection of passive circuit elements. When a base substrate is made into 500 micrometers or less in 200-micrometer or more thickness with a single plate, there is no deformation of a substrate and it excels in smooth nature, and conveyance nature is good and is stabilized by the transparence electric conduction film property. Moreover, connection of passive circuit elements can also be made satisfactory. Furthermore, especially thickness has 250 micrometers or more good 450 micrometers or less. It thinks because it has moderate flexibility and smoothness. In addition, other ingredients, such as IZO, are sufficient as ITO. This matter is the same also to a pixel electrode.

[0038] In addition, when using organic materials, such as the above-mentioned plastic plate, as a substrate etc., it is desirable to form the thin film which consists of an inorganic material as a barrier layer also in the field which touches a light modulation layer. As for the barrier layer which consists of this inorganic material, it is desirable to form with the same ingredient as an AIR coat. In addition, it cannot be overemphasized that it is producible like the closure free wheel plate 85 and a substrate 71 with a technique or a configuration.

[0039] Moreover, when forming the barrier film on a pixel electrode or a stripe-like electrode, in order to reduce the loss of the electrical potential difference impressed to a light modulation layer as much as possible, it is desirable to use a low dielectric constant ingredient. For example, the amorphous carbon film (specific inductive capacity 2.0-2.5) which added the fluorine is illustrated. In addition, the LKD series (LKD-T200 series (specific inductive capacity 2.5-2.7), LKD-T400 series (specific inductive capacity 2.0-2.2)) which JSR is manufacturing and selling is illustrated. LKD series is the spin spreading form which used MSQ (methy-silsesquioxane) as the base, and its specific inductive capacity is also low [ as 2.0-2.7 ] desirable. In addition, inorganic materials, such as organic materials, such as polyimide, urethane, and an acrylic, and SiN<sub>x</sub>, SiO<sub>2</sub>, are sufficient. It cannot be overemphasized that these barrier film ingredients may be used for an auxiliary substrate.

[0040] By using the substrate 85 formed with plastics, or 71, the advantage not breaking that-izing can be carried out [ lightweight ] can be demonstrated. There is also another advantage that press working of sheet metal can be carried out. That is, the substrate of the configuration of arbitration is producible with press working of sheet metal or cutting. Moreover, the configuration of arbitration and thickness are processible with fusion or chemicals processing. For example, forming circularly, making it globular forms (curved surface etc.), or processing it in the shape of a cone is illustrated. Moreover, by press working of sheet metal, the shape of toothing can be formed in one substrate side, and formation of the diffusing surface or embossing can be performed to manufacture and coincidence of a substrate.

[0041] Moreover, it is also easy to form in the hole (not shown) of the substrate 71 formed by carrying out press working of sheet metal of the plastics so that the gage pin of the closure free wheel plate 85 can be inserted. Moreover, electrical circuits, such as a capacitor formed by the thick-film technique or the thin film technology in the substrate 71 or resistance, may be constituted. Moreover, by forming a crevice (not shown) in a substrate 71 etc., forming heights in a substrate 85, and forming so that these crevice and heights can be inserted in exactly, you may constitute so that a substrate 71 and a substrate 85 can be unified by fitting.

[0042] When a glass substrate was used, the bank used in case EL is vapor-deposited to the periphery of a pixel 16 was formed. A bank (rib) is formed in the shape of heights using a resin ingredient by 1.0-micrometer or more thickness of 3.5 micrometers or less. It forms in 1.5-micrometer or more height of 2.5 micrometers or less still more preferably. The bank (heights) 101 which consists of this resin is also producible to formation and coincidence of a substrate 71. In addition, an SOG ingredient besides acrylic resin and polyimide resin is sufficient as bank 101 ingredient. In case a bank 101 carries out press working of sheet metal of the substrate 71, forming in the heights and coincidence of resin is desirable. This is big effectiveness generated by forming a substrate 71 etc. by resin.

[0043] Thus, since production time can be shortened by forming the resin section in a substrate and coincidence, low-cost-izing is possible. Moreover, heights are formed in the viewing-area section in the shape of a dot at the time of manufacture of a substrate 71 etc. These heights are good to form between contiguity pixels. These heights serve as a bank 101.

[0044] In addition, although [ the above example ] the heights which function as a bank are formed, it does not limit to this. For example, it is good also as investigating the pixel section by press working of sheet metal etc. (crevice). In addition, the flat surface substrate 71 is formed first and the method which presses by reheating and forms irregularity is also contained after that.

[0045] Moreover, a mosaic-like color filter may be formed by coloring substrates 71 and 85 directly. Techniques, such as ink jet printing, are used for a substrate, and a color, coloring matter, etc. are applied and are made to permeate. What is necessary is to make it dry at an elevated temperature after osmosis, and just to cover a front face with inorganic materials, such as resin, such as UV resin, silicon oxide, or nitrogen oxide. Moreover, a color filter is formed with the semi-conductor pattern formation technique of applying and developing the film with a gravure technique, an offset-printing technique, and a spinner etc. A black matrix (BM) may be directly formed by being [ it / using a technique / in the relation between others, black or the dark color, or the complementary color of the light to modulate ]-similarly coloring. [ color filter ] Moreover, a crevice may be formed so that it may correspond to a pixel in a substrate side, and you may constitute so that a color filter, BM, or a transistor may be embedded in this crevice. It is desirable to carry out the coat especially of the front face with acrylic resin. With this configuration, there is also an advantage that flattening of the pixel electrode surface etc. is carried out.

[0046] Moreover, the resin on the front face of a substrate may be electric-conduction-ized by a conductive polymer etc., and the pixel electrode 105 or the cathode electrode 106 may be constituted directly. A hole is made in a substrate still more greatly and the configuration which inserts electronic parts, such as a capacitor, in this hole is also illustrated. The advantage which a substrate can constitute thinly is demonstrated.

[0047] Moreover, a pattern may be freely formed by cutting the front face of a substrate. Moreover, you may form by melting peripheries, such as a substrate 71. Moreover, in the case of an organic electroluminescence display panel, the periphery of a substrate may be melted and closed in order to prevent penetration of the moisture from the outside.

[0048] As mentioned above, punching processing to a substrate is easy by forming a substrate by resin. Moreover, press working of sheet metal etc. can constitute a substrate configuration freely. Moreover, a hole can be made in a substrate 71, this hole can be filled up with electric conduction resin etc., and it can also be made to flow through the table and flesh side of a substrate electrically. A substrate 71 etc.



can use as a multilayered circuit board or a double-sided substrate.

[0049] Moreover, a current-carrying pin etc. may be inserted instead of electric conduction resin. You may constitute so that the terminal of electronic parts, such as a capacitor, can be fitted over the formed hole. Moreover, circuit wiring by the thin film, a capacitor, a coil, or resistance may be formed in a substrate. That is, it is good also considering selves, such as a substrate 71, as a multilayer wiring substrate. Multilayering consists of those of making a thin substrate rival. One or more of the substrates (film) to stretch may be colored.

[0050] Moreover, a color and coloring matter are added to a substrate ingredient, it can be colored the substrate itself or a filter can be formed. Moreover, a serial number can also be formed in substrate production and coincidence. Moreover, it can prevent malfunctioning from that of light being irradiated by loaded IC chip by coloring only parts other than a viewing area.

[0051] Moreover, the one half of the viewing area of a substrate can also be colored a different color. This should just apply resin plate processing techniques (injection processing, comp REKUSHON processing, etc.). Moreover, one half of a viewing area can also be made into different EL layer membrane thickness from that of using the same processing technique. Moreover, a display and the circuit section can also be formed in coincidence. Moreover, it is also easy to change the substrate thickness of a viewing area and a driver loading field.

[0052] Moreover, a micro lens can also be formed so that it may correspond to a pixel, or so that it may correspond to a substrate 71 or a substrate 85 at a viewing area. Moreover, a diffraction grating may be formed by processing substrates 71 and 85. Moreover, irregularity more detailed enough than pixel size is formed, an angle of visibility can be improved or an angle-of-visibility dependency can be given. In addition, processing of such an arbitration configuration, ultra-fine processing technology, etc. are realizable with the La Stampa technique which OMRON Corp. developed and which carries out micro-lens formation.

[0053] An antireflection film (AIR coat) is formed in the field where substrates 71 and 85 touch air. When the polarizing plate etc. is not stuck on the substrate 71 etc., an antireflection film (AIR coat) is directly formed in a substrate 71 etc. When other components, such as a polarizing plate (polarization film), are stuck, an antireflection film (AIR coat) is formed in the front face of the component etc.

[0054] In addition, although it explained as a core that a substrate 71 etc. formed the above example with plastics, it does not limit to this. For example, even if substrates 71 and 85 are a glass substrate and a metal substrate, press working of sheet metal, cutting, etc. can form or constitute concave heights, such as a bank 101. Moreover, the coloring to a substrate etc. is possible. Therefore, the explained matter is not limited to a plastic plate. Moreover, it does not limit to a substrate, either. For example, a film or a sheet is sufficient.

[0055] Moreover, in order to prevent or control adhesion of the contaminant to the front face of a polarizing plate, it is effective to form the thin film which consists of a fluororesin. Moreover, conductor film, such as a thin film which has a hydrophilic group for electrostatic prevention, conductive polymer film, and a metal membrane, may be applied or vapor-deposited.

[0056] In addition, the polarizing plate (polarization film) arranged or formed in the optical plane of incidence or the optical outgoing radiation side of a display panel may not be limited to what is made into the linearly polarized light, and may serve as elliptically polarized light. Moreover, two or more polarizing plates may be stretched, a polarizing plate and a phase contrast plate may be combined, or what was stretched may be used.

[0057] As a main ingredient which constitutes a polarization film, a TAC film (triacetyl cellulose film) is the optimal. A TAC film is because it has the outstanding optical property, surface smooth nature, and processing suitability.

[0058] The configuration which forms an AIR coat by dielectric monolayer or multilayers is illustrated. In addition, the resin of a low refractive index of 1.35–1.45 may be applied. For example, the acrylic resin of a fluorine system etc. is illustrated. Or more 1.37 1.42 or less thing of a refractive index is [ especially a

property ] good.

[0059] Moreover, an AIR coat has the configuration of three layers, or a two-layer configuration. In addition, in the case of three layers, it is used in order to prevent reflection in the wavelength band of the large light. This is called a multi-coat. In a two-layer case, it is used in order to prevent reflection in the wavelength band of the specific light. This is called V quart. A multi-coat and V quart are properly used according to the application of a display panel. In addition, not the thing to limit more than two-layer but one layer is sufficient.

[0060] In the case of a multi-coat, optical thickness carries out  $nd_1 = \lambda / 4$  laminatings of  $nd_1 = \lambda / 2$  and the magnesium fluoride ( $MgF_2$ ) for  $nd = \lambda / 4$ , and a zirconium ( $ZrO_2$ ), and an aluminum oxide (aluminum  $2O_3$ ) is formed. Usually, a thin film is formed as a value of 520nm or near of those as  $\lambda$ .

[0061] optical in silicon monoxide ( $SiO$ ) in the case of V quart —  $nd_1 = \lambda / 4$  laminatings of  $nd_1 = \lambda / 4$  or yttrium oxide ( $Y_2O_3$ ), and the magnesium fluoride ( $MgF_2$ ) are carried out, and thickness  $nd_1 = \lambda / 4$ , and magnesium fluoride ( $MgF_2$ ) are formed. It is better to use  $Y_2O_3$ , when modulating blue glow, since  $SiO$  has an absorption band region in a blue side. Moreover, since the direction of  $Y_2O_3$  is stable also from the stability of the matter, it is desirable. Moreover,  $SiO_2$  thin film may be used. Of course, it is good also as an AIR coat using the resin of a low refractive index etc. For example, acrylic resin, such as a fluorine, is illustrated. As for these, it is desirable to use an ultraviolet curing type.

[0062] In addition, in order to prevent that static electricity is charged by the display panel, it is desirable that a hydrophilic property consists of good ingredients into substrate ingredients, such as to apply the resin of a hydrophilic property to front faces, such as light guide plates, such as a covering substrate, and a display panel, or a panel.

[0063] The thin film transistor (transistor) as two or more switching elements or current controlling elements is formed in 1 pixel. The transistor to form may be a transistor of the same class, and like the transistor of a P channel mold and N channel mold, although you may be the transistor of a different class, a switching transistor and the transistor for a drive of the thing of like-pole nature are desirably desirable. Moreover, the structure of a transistor is not limited with the transistor of a planar mold, and may also depend that in which a stagger mold or a reverse stagger mold may be used, and the impurity range (the source, drain) was formed using the self aryne method on a non-self aryne method.

[0064] The EL display device 15 of this invention has EL structure by which the laminating of ITO and one or more sorts of organic layers used as a hole impregnation electrode (pixel electrode), and the electron injection electrode was carried out one by one on the substrate. The transistor is prepared in said substrate.

[0065] In order to manufacture EL display device of this invention, the array of a transistor is first formed on a substrate at a desired configuration. And by the spatter, membranes are formed and patterning of the ITO which is a transparent electrode as a pixel electrode on the flattening film is carried out. Then, the laminating of an organic electroluminescence layer, the electron injection electrode, etc. is carried out.

[0066] What is necessary is just to use the usual polycrystal silicon transistor as a transistor. A transistor is prepared in the edge of each pixel of EL structure, and the magnitude is about 10–30 micrometers. In addition, the magnitude of a pixel is about 20micrometerx20micrometer–300micrometerx300micrometer.

[0067] The wiring electrode of a transistor is prepared on a substrate 71. There is a function for a wiring electrode to have low resistance, to connect a hole impregnation electrode electrically, and to hold down resistance low, and generally, that wiring electrode is not restricted to this ingredient in this invention, although the thing containing any one sort of aluminum, aluminum and transition metals (however, Ti is removed), Ti, or the titanium nitride ( $TiN$ ) or two sorts or more is used. What is necessary is just to usually set it to about 100–1000nm as thickness of the whole which combined the hole impregnation



electrode and the wiring electrode of a transistor used as the substrate of EL structure, although there is especially no limit.

[0068] An insulating layer is prepared between the wiring electrode of a transistor 11, and the organic layer of EL structure. Insulating layers may be any as long as the paint film of resin system ingredients, such as what formed inorganic system ingredients, such as silicon oxide of SiO<sub>2</sub> grade and silicon nitride, with a spatter or vacuum deposition, a silicon oxide layer which formed by SOG (spin-on glass), a photoresist, polyimide, and acrylic resin, etc. has insulation. Polyimide is desirable especially. Moreover, an insulating layer also plays the role of the anticorrosion and the waterproof film which protects a wiring electrode from moisture or corrosion.

[0069] The luminescence peak of EL structure may be two or more. EL display device of this invention being green and a blue light-emitting part are obtained with the combination of EL structure of bluish green color luminescence for example, and a green transparency layer or a blue transparency layer. A red light-emitting part can be obtained by the fluorescence conversion layer which changes bluish green luminescence of EL structure of bluish green color luminescence, and this EL structure into the wavelength near red.

[0070] Next, EL structure which constitutes the EL display device 15 of this invention is explained. EL structure of this invention has the electron injection electrode which is a transparent electrode, one or more sorts of organic layers, and a hole impregnation electrode. An organic layer has at least one-layer hole transportation layer and a luminous layer, respectively, for example, has an electron injection transportation layer, a luminous layer, an electron hole transportation layer, and a hole-injection layer one by one. In addition, there may not be a hole transportation layer. The organic layer of EL structure of this invention can be considered as various configurations, and electron injection and a transportation layer may be omitted, it may consider as a luminous layer and one, or it may mix a hole-injection transportation layer and a luminous layer. An electron injection electrode consists of the small metal, compound, or alloys of the work function preferably formed with vacuum deposition, such as vacuum evaporation and a spatter.

[0071] ITO (tin dope indium oxide), IZO (zinc dope indium oxide), ZnO, and SnO<sub>2</sub> since it is the structure which takes out the light which emitted light from the hole impregnation electrode side as a hole impregnation electrode In 203 etc. — especially ITOIZO is desirable although mentioned. As for the thickness of a hole impregnation electrode, it is [ that what is necessary is just to have the thickness more than / which can perform hole impregnation enough / fixed ] usually desirable to be referred to as about 10–500nm. Although it is required for driver voltage to be low in order to raise the dependability of a component, ITO of 10–30ohms / \*\* (50–300nm of thickness) is mentioned for sheet resistance as a desirable thing. When actually using it, the cross protection by reflection by hole impregnation electrode interfaces, such as ITO, should just set up the thickness and the optical constant of an electrode so that optical ejection effectiveness and color purity may fully be satisfied.

[0072] Although a hole impregnation electrode can be formed with vacuum deposition etc., forming by the spatter is desirable. What is necessary is not to restrict and just to use inert gas, such as Ar, helium, Ne, Kr, and Xe, or these mixed gas especially as sputtering gas.

[0073] An electron injection electrode consists of the small metal, compound, or alloys of the work function preferably formed with vacuum deposition, such as vacuum evaporation and a spatter. In order to raise metallic element simple substances, such as K, Li, Na, Mg, La, Ce, calcium, Sr, Ba, aluminum, Ag, In, Sn, Zn, and Zr, or stability as a component of the electron injection electrode formed, it is desirable to use the alloy system containing them of two components and three components. As an alloy system, Ag–Mg (Ag:1 – 20at%), aluminum–Li (Li:0.3 – 14at%), In–Mg (Mg:50 – 80at%), aluminum–calcium (calcium:5 – 20at%), etc. are desirable, for example.

[0074] What is necessary is just to set preferably 0.1nm or more of thickness of an electron injection electrode thin film to 1nm or more that what is necessary is just to consider as the thickness more than [ which can perform electron injection enough ] fixed. Moreover, although there is especially no limit in

the upper limit, thickness is just usually about 100–500nm.

[0075] A hole-injection layer has the function which makes easy impregnation of the electron hole from a hole impregnation electrode, and an electron hole transportation layer has the function which bars the function and electron which convey an electron hole, and is also called a charge impregnation layer and a charge transportation layer.

[0076] An electron injection transportation layer is prepared when the electron injection transportation function of the compound used for a luminous layer is not so high, and it has the function which bars the function which makes easy impregnation of the electron from an electron injection electrode, the function to convey an electron, and an electron hole. A hole-injection layer, an electron hole transportation layer, and an electron injection transportation layer increase – Make the electron hole and electron which are poured in to a luminous layer shut up, make a recombination field optimize, and improve luminous efficiency. In addition, an electron injection transportation layer may be separately prepared in a layer with an impregnation function, and a layer with a transportation function.

[0077] Although the thickness of a luminous layer, the thickness which combined the hole-injection layer and the electron hole transportation layer, and especially the thickness of an electron injection transportation layer are not limited but it changes also with formation approaches, it is usually desirable to be referred to as about 5–100nm.

[0078] What is necessary is just to make them into comparable as the thickness of a luminous layer or 1 / about 10 to 10 times, although the thickness of a hole-injection layer and an electron hole transportation layer and the thickness of an electron injection transportation layer are based on the design of recombination / luminescence field. As for an impregnation layer, it is [ each thickness in the case of dividing the thickness of a hole-injection layer and an electron hole transportation layer; and an electron injection layer and an electronic transportation layer ] desirable to set 1nm or more and a transportation layer to 20nm or more. The upper limit of the thickness of the impregnation layer at this time and a transportation layer is usually about 100nm in an impregnation layer in about 100nm and a transportation layer. It is also the same as when preparing two layers of impregnation transportation layers about such thickness.

[0079] Moreover, taking into consideration the carrier mobility and the carrier consistency (decided by ionization potential and the electron affinity) of the luminous layer and electron injection transportation layer to combine, or a hole-injection transportation layer, by controlling thickness, it is possible to design a recombination field and a luminescence field freely, and design of the luminescent color, control of the luminescence brightness and emission spectrum by the cross protection of two electrodes, and control of the spatial distribution of luminescence are enabled.

[0080] The luminous layer of EL element 15 of this invention is made to contain the fluorescence matter which is the compound which has a luminescence function. As this fluorescence matter, metal complex coloring matter, such as tris (8-quinolinolato) aluminum [Alq3], a phenyl anthracene derivative, a tetra-aryl ethene derivative, and bluish green color luminescent material are mentioned.

[0081] In addition, it is good to adopt as the ingredient of a hole-injection layer CuPc which added 2% of FUTARU cyanine. as compared with the case where CuPc is used independently, it is markedly alike, and thermal resistance improves.

[0082] Although the brightness after driving at 85 degrees C for 1000 hours falls about 45% only by CuPc to early brightness (it is set as 400 cd/m<sup>2</sup>), what added FUTARU cyanine remains in an about 35% decrease. Since crystallization of CuPc was controlled by addition of FUTARU cyanine, this is presumed. A brightness fall can be suppressed if CuPc maintains an amorphous condition. The effectiveness of the heat-resistant improvement by FUTARU cyanine addition becomes the largest at 5% or more 1% or more. Especially 3% or less more than per % is suitable. In addition, although about 20% has the effectiveness of addition, if an addition increases more than it, thermal resistance will fall on the contrary.

[0083] The organic EL device 15 of blue luminescence is good to use for the ingredient of a luminous layer "DMPhen (Triphenylamine)" whose luminescence wavelength is about 400nm. Under the present

circumstances, it is desirable that a band gap adopts the same ingredient as a luminous layer as an electron injection layer (Bathocuproine) and a hole-injection layer (M-MTDATXA) in order to raise luminous efficiency. Only by a band gap using 3.4eV and large DMPhen for a luminous layer, it is because an electron remains in an electron injection layer, an electron hole remains in a hole-injection layer and recombination of an electron and an electron hole cannot happen easily due to a luminous layer. The luminescent material equipped with an amine radical like DMPhen moves the energy excited in DMPhen to a dopant to the technical problem that structure is unstable and cannot carry out reinforcement easily, and can be solved by making light emit from a dopant.

[0084] As an EL ingredient, luminous efficiency can be improved by using phosphorescence luminescent material. The external quantum efficiency of a firefly luminescence ingredient is about 2 – 3%. Since phosphorescence luminescent material reaches to about 100% to the internal quantum efficiency (effectiveness which changes the energy by excitation to light) of a firefly luminescence ingredient being 25%, external quantum efficiency becomes high.

[0085] It is good for the host ingredient of the luminous layer of an organic EL device to use CBP. The photoluminescence ingredient which does not green (G) and blue (B) blue [ red (R), and ] Get here is doped. All the doped ingredients contain Ir. Btp2Ir (acac) and G ingredient are [ R ingredient ] good for 2(ppy) Ir (acac) and B ingredient to use FIrpic.

[0086] Moreover, various organic compounds can be used for a hole-injection layer and an electron hole transportation layer. It is desirable to use a vacuum deposition method for formation of a hole-injection transportation layer, a luminous layer, and an electron injection transportation layer, since a homogeneous thin film can be formed.

[0087] Hereafter, it explains in more detail about the manufacture approach of EL display panel of this invention, and structure. As explained above, the transistor 11 which drives a pixel to the array substrate 71 is formed first. One pixels [ two or more ] consist of four pieces or five transistors preferably. Moreover, the current program of the pixel is carried out and the programmed current is supplied to EL element 15. Usually, the value by which the current program was carried out is held as an electrical-potential-difference value at storage capacitance 19. Pixel configurations, such as combination of this transistor 11, are explained later. Next, the pixel electrode as a hole-injection electrode is formed in a transistor 11. The pixel electrode 105 is patternized with photolithography. In addition, in order to prevent image quality degradation by a phot conductor phenomena (it is henceforth called contest a phot) generated by carrying out optical incidence to a transistor 11 at the lower layer of a transistor 11, or the upper layer, a light-shielding film is formed or arranged.

[0088] in addition, a current program impresses a program current to a pixel from the source driver circuit (IC) 14 (or the source driver circuit 14 from a pixel — absorbing), and makes the signal value equivalent to this current hold to a pixel The current corresponding to this held signal value is passed to EL element 15 (or it slushes from EL element 15). That is, the current which programs with a current and carries out considerable (correspondence) to the programmed current is passed to EL element 15.

[0089] On the other hand, an electrical-potential-difference program impresses a program electrical potential difference to a pixel from the source driver circuit 14, and makes the signal value equivalent to this electrical potential difference hold to a pixel. The current corresponding to this held electrical potential difference is passed to EL element 15. That is, it programs on an electrical potential difference, and an electrical potential difference is transformed into a current value within a pixel, and the current which carries out considerable (correspondence) to the programmed electrical potential difference is passed to EL element 15.

[0090] What is necessary is to use the pentacene molecule which consists of carbon and hydrogen, and just to form an electronic thin film by processing the front face which forms an organic semiconductor, in order to form a transistor in a plastic plate. This thin film possesses sufficient semi-conductor property suitable for electron device manufacture while having one 100 times [ 20 to ] the magnitude of the conventional crystal grain of this.

[0091] In case pentacene grows on a silicon substrate, it has the inclination to adhere to a surface impurity. For this reason, growth becomes irregular and it becomes the crystal grain which is too small for manufacturing the device of high quality. In order to grow up crystal grain more greatly, it is good to apply first the monolayer "a molecule buffer" of the molecule called a cyclohexene on a silicon substrate. For a wrap reason, the clean surface can do "sticky sites (location which is easy to adhere)" on silicon, and this layer grows up to be even crystal grain with very big pentacene.

[0092] By using the thin film of such big new crystal grain, the flexible transistor (transistor) using the pentacene of large-sized crystal grain is producible. A transistor (transistor) can be manufactured by applying a liquefied ingredient at temperature low for mass production method of such a flexible transistor.

[0093] Moreover, after forming the shape of a metal thin film and an island used as the gate on a substrate and vapor-depositing or applying the amorphous silicon film on this, it may heat and the semiconductor film may be formed. The semiconductor film crystallizes good into the part formed in the shape of an island. Therefore, mobility becomes good.

[0094] It is desirable to adopt the structure called a static induction transistor (SIT) as an organic transistor (transistor). The pentacene of an amorphous condition is used. The mobility of an electron hole is lower than  $1 \times 10 \text{ cm}^2/\text{Vs}$  and the crystallized pentacene. However, frequency characteristics can be raised by adopting SIT structure. As for the thickness of pentacene, it is desirable to be referred to as 100 or more nm [ 300 ].

[0095] Moreover, p mold field-effect transistor is sufficient as an organic transistor. A transistor can be formed on a plastic plate. Since bending the whole plastic plate is possible, as for the pentacene which can constitute a flexible transistor mold display panel, considering as a polycrystal condition is desirable. It is desirable to use PMMA for the ingredient of gate dielectric film. A naphthacene may be used for the barrier layer of an organic transistor.

[0096] If the oxygen plasma and O<sub>2</sub> Usher are used at the time of washing, ashing also of the flattening film 102 of the periphery of the pixel electrode 105 will be carried out to coincidence, and the periphery of the pixel electrode 105 will be scooped out. In order to solve this technical problem, the edge protective coat (fundamentally bank 101) which consists the periphery of the pixel electrode 105 of acrylic resin is formed. The ingredient same as a component of the edge protective coat 101 as organic materials which constitute the flattening film 102, such as acrylic resin and polyimide resin, is illustrated, in addition inorganic materials, such as SiO<sub>2</sub> and SiN<sub>x</sub>, are illustrated. In addition, it cannot be overemphasized that you may be aluminum 2O<sub>3</sub>, Ta<sub>2</sub>O<sub>3</sub>, etc.

[0097] The edge protective coat 101 is formed so that after patterning of the pixel electrode 105 and between the pixel electrode 105 may be filled. Of course, it cannot be overemphasized that it is good also as a bank (spacer with which it is made for the pixel electrode 105 not to touch [ a metal mask ] directly) of the metal mask at the time of forming this edge protective coat 101 in or more 2 height of 4 micrometers or less, and distinguishing an organic electroluminescence ingredient by different color with.

[0098] It is good for specific inductive capacity to adopt 24 and high Ta 2O<sub>5</sub> as gate dielectric film. The thickness of gate dielectric film is as thick as 129nm, and moreover, although channel length is as long as 500 micrometers, a P type transistor operates good by supply voltage-5V. The organic material called pentacene is used for the ingredient of a channel layer. As for the ratio of the drain current at the time of ON, and the leakage current at the time of OFF, in the mobility of the electron hole (hole) which is a carrier, a transistor can realize 104 more than  $0.40 \text{ cm}^2/\text{Vs}$ .

[0099] EL film (15R (red), 15G (green), 15B (blue)) is formed on the pixel electrode 105. Each EL film 15 opens few clearances, and is formed, or piles up a periphery. The piled-up part hardly emits light. Moreover, the aluminum film 106 used as a cathode is formed on the EL film 15. A vacuum evaporation system uses the equipment which converted commercial high vacuum vacuum evaporationno equipment (the Japan vacuum-technology incorporated company make, EBV-6DA mold). A main exhaustor is the turbo molecular pump (the Osaka vacuum incorporated company make, TC1500) of 1500l. of exhaust

velocity, and min, a ultimate vacuum is less than [ abbreviation  $1 \times 10^{-6}$ Torr ], and all vacuum evaporation is performed in the range of  $2 - 3 \times 10^{-6}$ Torr. Moreover, all vacuum evaporation is good to carry out by connecting DC power supply (Kikusui electronic incorporated company make, PAK10-70A) to the resistance heating type vacuum evaporation boat made from a tungsten.

[0100] Thus, on the array substrate arranged in a vacuum layer, 20-50nm of carbon film is formed. Next, a 4-(N and N-screw (p-methylphenyl) amino)-alpha-phenyl stilbene is formed in about 5nm of thickness with the evaporation rate of 0.3 nm/sec as a hole-injection layer.

[0101] As an electron hole transportation layer, vapor codeposition of N, N'-screw (4'-diphenylamino-4-biphenyl)-N, an N'-diphenyl benzidine (the Hodogaya chemistry incorporated company make), and the 4-N and N-diphenylamino-alpha-phenyl stilbene was carried out with the evaporation rate of 0.3 nm/s and 0.01 nm/s, respectively, and they were formed in about 80nm of thickness. tris (8-quinolinolato) aluminum (said — Renhua — study incorporated company make) is formed in about 40nm of thickness with the evaporation rate of 0.3 nm/sec as a luminous layer (electronic transportation layer).

[0102] Next, as an electron injection electrode, only Li is formed in about 1nm of thickness with the evaporation rate of about 0.1 nm/sec at low temperature from an AlLi alloy (high grade chemistry incorporated company make, aluminum/Li weight ratios 99/1), then the temperature up of the AlLi alloy is carried out further. From the condition in which Li was all out, only aluminum was formed in about 100nm of thickness with the evaporation rate of about 1.5 nm/s, and was used as the electron injection electrode of a laminating mold.

[0103] Thus, after created organic thin film EL element 15 leaks the inside of a vacuum evaporation tub with desiccation nitrogen, under desiccation nitrogen-gas-atmosphere mind, it sticks the Corning 7059 glass closure free wheel plate 85 with seal adhesives (sealing compound) (the product made from Anelva, Inc., trade name super back seal 953-7000), and is taken as a display panel.

[0104] In addition, a drying agent 107 is arranged in the space of the closure free wheel plate 85 and the array substrate 71. This is because the organic electroluminescence film 15 is weak to humidity. The moisture which permeates a sealing compound with a drying agent 107 is absorbed, and degradation of the organic electroluminescence film 15 is prevented.

[0105] In order to control osmosis of the moisture from a sealing compound 15, it is a good cure to lengthen the path (pass) from the outside. For this reason, detailed irregularity is formed in the periphery of a viewing area in the display panel of this invention. The concave heights formed in the periphery of the array substrate 71 are formed in a duplex at least. As for spacing (formation pitch) of a convex and a convex, it is desirable to form in 100 micrometers or more 500 micrometers or less, and, as for the height of a convex, it is desirable to be referred to as 30 micrometers or more 300 micrometers or less. These heights are formed with the La Stampa technique. This La Stampa technique applies the method which OMRON Corp. has adopted as the approach of micro-lens formation, the method which Matsushita Electric uses as a formation method of a microlens with the pickup lens of CD.

[0106] On the other hand, concave or heights is formed also in the closure free wheel plate 85. Concave or the formation pitch of heights is made the same as that of the formation pitch of the heights formed in the substrate 71. Thus, a crevice fits into heights exactly by making the same the concave of a substrate 71 and a substrate 85, or the formation pitch of heights. Therefore, the location gap with the closure free wheel plate 85 and the array substrate 71 does not occur at the time of manufacture of a display panel. A sealing compound is arranged between heights and a crevice. A sealing compound prevents permeation of the moisture from the outside while pasting up the closure free wheel plate 85 and the array substrate 71.

[0107] It is desirable to use what consists of resin acrylic in UV (ultraviolet rays) hardening mold as a sealing compound. Moreover, as for acrylic resin, it is desirable to use what has a fluorine radical. In addition, the adhesives or the binder of an epoxy system may be used. As for the refractive index of adhesives or a binder, it is desirable to use or more 1.47 1.54 or less thing. As for especially seal adhesives, it is desirable to add impalpable powder, such as impalpable powder of titanium oxide and

silicon oxide, at 95% or less of a rate 65% or more by the weight ratio. Moreover, as for the particle diameter of this impalpable powder, it is desirable to consider as 20-micrometer or more average diameter of 100 micrometers or less. The effectiveness which controls penetration of the humidity from the forge-fire outside where the weight ratio of impalpable powder increases becomes high. However, if many [ too ], air bubbles etc. will tend to enter, space will become large on the contrary, and the seal effectiveness will fall.

[0108] As for the weight of a drying agent 107, it is desirable to carry out 0.04g or more per die length of 10mm of seal 0.2g or less. It is desirable to carry out 0.06g or more per die length of 10mm of seal 0.15g or less especially. The amount of a drying agent becomes empty, shortly after there is too nothing, there is little moisture prevention effectiveness and the organic electroluminescence layer 15 deteriorates. If many [ too ], in case a drying agent will carry out a seal, it cannot become a failure, and a good seal cannot be performed. In addition, a drying agent 107 is good to form in the shape of a sheet and to arrange between a free wheel plate 85 and EL film. It is good in that case to apply UV hardening resin to the drying agent 107, to irradiate ultraviolet rays after arrangement, to stiffen UV resin, and to make it fix.

[0109] Drawing 10 is a film (a thin film is sufficient.) like drawing 11 , although it is the configuration closed using the free wheel plate 85 of glass. That is, you may be the closure using the thin film closure film 111. For example, using for the film of an electrolytic capacitor what vapor-deposited DLC (diamond-like carbon) as a closure film (thin film closure film) 111 is illustrated. This film has very bad moisture permeability (moisture proof). This film is used as closure film 111. Moreover, it cannot be overemphasized that the configuration which vapor-deposits the DLC film etc. directly on the front face of an electrode 106 is also good.

[0110] In addition, the physical relationship of a cathode and an anode may be reversed in this case. The thickness of a thin film is  $n \cdot d$  ( $n$  calculates those refractive indexes by making them synthesis ( $n \cdot d$  of each thin film being calculated), when the laminating of the refractive index of a thin film and two or more thin films is carried out.).  $d$  synthesizes and calculates those refractive indexes, when the laminating of the thickness of a thin film and two or more thin films is carried out. It is good to make it become below the luminescence dominant wavelength  $\lambda$  of EL element 15. By satisfying this condition, the optical ejection effectiveness from EL element 15 doubles [ more than ] as compared with the case where it closes with a glass substrate. Moreover, the alloy, mixture, or laminated material of aluminum and silver may be formed.

[0111] Not using a free wheel plate 85, the configuration closed by the closure film 111 is called the thin film closure as mentioned above. The thin film closure in the case of "the Shimo ejection (reference and the direction of optical ejection are directions of an arrow head of drawing 10 about drawing 10 )" which takes out light from a substrate 71 side forms the aluminum electrode used as a cathode on EL film after forming EL film. Next, the resin layer as a buffer coat is formed on this aluminum film. Organic materials, such as an acrylic and epoxy, are illustrated as a buffer coat. Moreover, as for thickness, 1-micrometer or more thickness of 10 micrometers or less is suitable. As for thickness, 2-micrometer or more thickness of 6 micrometers or less is suitable still more preferably. The closure film 111 on this buffer film is formed. If there is no buffer film, the structure of EL film will collapse with stress and a defect will occur in the shape of a muscle. As the closure film 111 was mentioned above, the layer structure (structure which carried out the multilayer vacuum evaporation of a dielectric thin film and the aluminum thin film by turns) of DLC (diamond-like carbon) or an electric-field capacitor is illustrated.

[0112] The thin film closure in the case of "the upper ejection (reference and the direction of optical ejection are the directions of an arrow head of drawing 11 about drawing 11 )" which takes out light from the EL layer 15 side forms the Ag-Mg film used as a cathode (anode) by 20A or more 300A thickness on the EL film 15 after forming the EL film 15. Moreover transparent electrodes, such as ITO, are formed and low resistance is formed. Next, the resin layer as a buffer coat is formed on this



electrode layer. The closure film 111 is formed on this buffer film.

[0113] It is reflected by the reflective film 106, and the one half of the light generated from the organic electroluminescence layer 15 is penetrated with the array substrate 71, and outgoing radiation is carried out. However, outdoor daylight is reflected in the reflective film 106, a reflect lump occurs, and display contrast is reduced. For this cure,  $\lambda/4$  plate 108 and the polarizing plate (polarization film) 109 are arranged to the array substrate 71.

[0114] In addition, when a pixel is a reflector, outgoing radiation of the light generated from the EL layer 15 is carried out to above. Therefore, it cannot be overemphasized that a phase plate 108 and a polarizing plate 109 are arranged to an optical outgoing radiation side. In addition, a reflective mold pixel constitutes the pixel electrode 105 from aluminum, chromium, silver, etc., and is obtained. Moreover, an interface with the organic electroluminescence layer 15 becomes large by preparing heights (or concave heights) in the front face of the pixel electrode 105, and luminescence area becomes large, and luminous efficiency improves. In addition, when the reflective film used as a cathode 106 (anode 105) is formed in a transparent electrode or a reflection factor can be reduced to 30% or less, the circular polarization of light plate is unnecessary. It is because a reflect lump decreases sharply. Moreover, interference of light decreases and is also desirable.

[0115] Moreover, the contrast of an organic electroluminescence display panel can be improved by negating the outdoor daylight reflection realized by forming a two-layer thin film in the interior of a display by optical interference. Cost can be reduced compared with the case where the conventional circular polarization of light plate is used. Moreover, the problem of the diffuse reflection which the circular polarization of light plate was holding, and the problem of the angle-of-visibility dependency of a foreground color and the thickness dependency of an organic electroluminescence luminous layer are solvable.

[0116] Between a substrate 71 and a polarizing plate (polarization film) 109, one sheet or two or more phase films 108 (a phase plate, a phase rotation means, a phase contrast plate, phase contrast film) are arranged. It is desirable to use a polycarbonate as a phase film. A phase film makes outgoing radiation light generate phase contrast for incident light, and is contributed to performing light modulation efficiently.

[0117] In addition, an organic resin plate or organic resin films, such as polyester resin, PVA resin, polysulphone resin, vinylchloride resin, ZEONEKKUSU resin, acrylic resin, and polystyrene resin, etc. may be used as a phase film. In addition, the crystal of Xtal etc. may be used. As for the phase contrast of one phase plate, it is desirable to be referred to as 50nm or more 350nm or less at 1 shaft orientations, and it is desirable to be referred to as 80 morenm or more 220nm or less. In addition, it cannot be overemphasized that the circular polarization of light plate (circular polarization of light film) which unified the phase film and the polarizing plate may be used.

[0118] As for the phase film 108, it is desirable for a color or a pigment to color and to give the function as a filter. The red (R) purity of especially the organic electroluminescence 15 is bad. Therefore, the fixed wavelength range is cut with the colored phase film 108, and a color temperature is adjusted. As for a color filter, it is common to be prepared by pigment-content powder type resin as a dyeing filter. A pigment absorbs the light of a specific wavelength band and penetrates the light of the wavelength band which was not absorbed.

[0119] A part or the whole of the phase film 108 may be colored as mentioned above, or a diffusion function may be given to a part or the whole. Moreover, embossing of the front face may be carried out, or an antireflection film may be formed for acid resisting. Moreover, it is desirable to form a light-shielding film or the light absorption film in a part without the part or trouble which is not effective in image display, and to demonstrate the improvement effectiveness in contrast according to antihalation in to tighten the black level of a display image \*\*\*\*. Moreover, a micro lens may be formed the shape of boiled fish paste, and in the shape of a matrix by forming irregularity in the front face of a phase film. A micro lens is arranged so that it may correspond to one pixel electrode or a pixel in three primary colors,

respectively.

[0120] Although described also in advance, the function of a phase film may be given to a color filter. For example, phase contrast can be generated, when rolling out at the time of formation of a color filter or making it phase contrast arise in the fixed direction according to photopolymerization. In addition, phase contrast may be given by carrying out photopolymerization of the smoothing film 102. Thus, if constituted, it becomes unnecessary not to constitute a phase film or to arrange it out of a substrate, the configuration of a display panel becomes simple, and low cost-ization can be desired. In addition, it cannot be overemphasized that the above matter may be applied to a polarizing plate.

[0121] As a main ingredient which constitutes a polarizing plate (polarization film) 109, a TAC film (triacetyl cellulose film) is the optimal. A TAC film is because it has the outstanding optical property, surface smooth nature, and processing suitability. About manufacture of a TAC film, it is optimal to produce with a solution flow casting film production technique.

[0122] The thing of the resin film with which the polarizing plate 109 added iodine etc. to poly vinyl alcohol (PVA) resin is illustrated. Since the polarizing plate 109 of the polarization separation means of a pair performs polarization separation by absorbing the polarization component of a different direction from specific polarization shaft orientations among incident light, its use effectiveness of light is comparatively bad. Then, the reflective polarizer which performs polarization separation may be used by reflecting the polarization component (reflective polarizer: RIFUREKUTIBU polarizer) of a different direction from specific polarization shaft orientations among incident light. Thus, if constituted, the use effectiveness of light will increase with a reflective polarizer, and a display brighter than the above-mentioned example using a polarizing plate will be attained.

[0123] Moreover, as a polarization separation means of this invention, it is also possible besides such a polarizing plate or a reflective polarizer to use what combined the cholesteric-liquid-crystal layer and the lambda (1/4) plate 108, for example, the thing divided into reflective polarization and transparency polarization using Brewster's include angle, the thing using a hologram, a polarization beam splitter (PBS), etc.

[0124] The AIR coat is given to the front face of a polarizing plate 109 although not illustrated in drawing 10. The configuration which forms an AIR coat by dielectric monolayer or multilayers is illustrated. In addition, the resin of a low refractive index of 1.35-1.45 may be applied. For example, the acrylic resin of a fluorine system etc. is illustrated. Or more 1.37 1.42 or less thing of a refractive index is [ especially a property ] good.

[0125] Moreover, an AIR coat has the configuration of three layers, or a two-layer configuration. In addition, in the case of three layers, it is used in order to prevent reflection in the wavelength band of the large light, and it calls this a multi-coat. In a two-layer case, it is used in order to prevent reflection in the wavelength band of the specific light, and it calls this V quart. A multi-coat and V quart are properly used according to the application of a display panel. In addition, not the thing to limit more than two-layer but one layer is sufficient.

[0126] In the case of a multi-coat, optical thickness carries out  $nd_1 = \lambda / 4$  laminatings of  $nd_1 = \lambda / 2$  and the magnesium fluoride ( $MgF_2$ ) for  $nd = \lambda / 4$ , and a zirconium ( $ZrO_2$ ), and an aluminum oxide (aluminum  $2O_3$ ) is formed. Usually, a thin film is formed as a value of 520nm or near of those as  $\lambda$ . optical in silicon monoxide ( $SiO$ ) in the case of V quart — thickness  $nd_1 = \lambda / 4$ , and magnesium fluoride ( $MgF_2$ ) —  $nd_1 = \lambda / 4$  or yttrium oxide ( $Y_2O_3$ ), and magnesium fluoride ( $MgF_2$ ) —  $nd_1 = \lambda / 4$  laminatings are carried out, and it forms. It is better to use  $Y_2O_3$ , when modulating blue glow, since  $SiO$  has an absorption band region in a blue side. Moreover, since the direction of  $Y_2O_3$  is stable also from the stability of the matter, it is desirable. Moreover,  $SiO_2$  thin film may be used. Of course, it is good also as an AIR coat using the resin of a low refractive index etc. For example, acrylic resin, such as a fluorine, is illustrated. As for these, it is desirable to use an ultraviolet curing type.

[0127] In addition, in order to prevent that static electricity is charged by the display panel, it is



desirable to apply the resin of a hydrophilic property to front faces, such as a display panel. In addition, in order to prevent surface reflection, embossing may be performed on the front face of a polarizing plate 54 etc. Moreover, although a transistor is connected to the pixel electrode 105, it is not limited to this. It cannot be overemphasized that a diode method (TFD) besides a thin film transistor (transistor), a varistor, a thyristor, ring diode, phot DAODO, a photo transistor, FET, an MOS transistor, a PLZT component, etc. are sufficient as an active matrix as a switching element. That is, a switching device 11, a driver element 11, and the thing to constitute can use these either. Moreover, the pixel configuration of the simple matrix type which has arranged two or more abbreviation stripe-like electrodes may be used.

[0128] Moreover, as for a transistor, it is desirable to adopt LDD (low doping drain) structure. In addition, a transistor means all the general component that carry out transistor actuation of switching, such as FET, etc. Moreover, it cannot be overemphasized that the configuration of EL film, panel structure, etc. are applicable also to a simple matrix type display panel. Moreover, it cannot be overemphasized that it does not limit to this although an example raises an organic EL device (described by various abbreviated names, such as OEL, PEL, PLED, and OLED) 15 and this specification explains it as an EL element, and it is applied also to an inorganic EL element.

[0129] First, the active-matrix method used for an organic electroluminescence display panel should choose the pixel of 1. specification, and gives required display information. Two conditions that a current can be passed to an EL element through a 2 or 1-frame period must be satisfied.

[0130] In order to satisfy these two conditions, with the pixel configuration of the conventional organic electroluminescence illustrated to drawing 62, the transistor for switching for 1st transistor 11b to choose a pixel and transistor 11 of \*\* 2nd a are taken as the transistor for a drive for supplying a current to EL element (EL film) 15.

[0131] Although transistor 11b for switching is required for liquid crystal as compared with the active-matrix method used for liquid crystal here, transistor 11a for a drive is required in order to make EL element 15 turn on. Although this reason can hold an ON state by impressing an electrical potential difference in the case of liquid crystal, it is because in the case of EL element 15 the lighting condition of a pixel 16 is unmaintainable if it does not continue passing a current.

[0132] Therefore, in order to continue passing a current, making transistor 11a have to turn on in EL display panel must be continued. First, if both the scanning line and the data line are turned on, a charge will be accumulated in a capacitor 19 through transistor 11b for switching. In order that this capacitor 19 may continue applying an electrical potential difference to the gate of transistor 11a for a drive, even if transistor 11b for switching becomes off, a current continues flowing from a current supply source line (Vdd), and a pixel 16 can be turned on over an one-frame period.

[0133] When displaying gradation using this configuration, it is necessary to impress the electrical potential difference according to gradation as gate voltage of transistor 11a for a drive. Therefore, dispersion in the ON state current of transistor 11a for a drive appears in a display as it is.

[0134] Although the ON state current of a transistor is very uniform if it is the transistor formed with the single crystal, with the low-temperature polycrystal transistor which the formation temperature which can be formed in a cheap glass substrate formed with the low-temperature polysilicon technique of 450 or less degrees, there is dispersion in the range whose dispersion of the threshold is  $\pm 0.2V \sim 0.5V$ . Therefore, corresponding to this, nonuniformity occurs [ the ON state current which flows transistor 11a for a drive ] in dispersion and a display. Such nonuniformity generates not only dispersion in a threshold electrical potential difference but the mobility of a transistor and the thickness of gate dielectric film. Moreover, a property changes also with degradation of a transistor 11. In addition, you may be with what formed TFT etc. using the semi-conductor film which not the thing limited to a low-temperature polish recon technique but process temperature could constitute using the elevated-temperature polish recon technique more than 450 degrees (Centigrade), and carried out solid phase (CGS) growth. in addition, organic — TFT may be used. In addition, this specification mainly explains TFT formed with the low-

temperature polish recon technique. However, the technical problem of the variation in TFT occurring is the same in other methods.

[0135] Therefore, by the approach of displaying gradation in analog, in order to obtain a uniform display, it is necessary to control the property of a device strictly, and cannot be satisfied with the present low-temperature polycrystal polish recon transistor of the spec. which is less than the predetermined range about this variation of stopping. Since this problem is solved, four or more transistors are prepared in 1 pixel, and how to make dispersion in a threshold electrical potential difference compensate by the capacitor, and to acquire a uniform current, the method of forming a current regulator circuit for every pixel, and attaining equalization of a current, etc. can be considered.

[0136] However, since the current by which these approaches are programmed is programmed through EL element 15, when a current path changes, the transistor which controls a drive current to the switching transistor connected to power-source Rhine serves as a source follower, and a drive margin becomes narrow. Therefore, it has the technical problem that driver voltage becomes high.

[0137] Moreover, it is necessary to use the switching transistor linked to a power source in the field where an impedance is low, and the technical problem that it is influenced by property fluctuation of EL element 15 also has this operating range. moreover, when a kink current occurs in the volt ampere characteristic in a saturation region and fluctuation of the threshold electrical potential difference of a transistor occurs in it, if the memorized current value is changed to it, it will obtain to it, and a technical problem is also in it.

[0138] Even if the transistor 11 which controls the current which flows to EL element 15 does not serve as a source follower configuration to the above-mentioned technical problem and the EL element structure of this invention has a kink current in the transistor, it is the configuration which can make small fluctuation of the current value which can suppress the effect of a kink current to min, and is memorized.

[0139] The pixel structure of EL display of this invention is specifically formed of two or more transistors 11 and EL elements which a unit pixel becomes from at least four as shown in drawing 1 . In addition, a pixel electrode is constituted so that it may lap with a source signal line. That is, the flattening film which consists of an insulator layer or an acrylic ingredient is formed on the source signal line 18, it insulates, and the pixel electrode 105 is formed on this insulator layer. Thus, the configuration which piles up a pixel electrode is called high aperture (HA) structure on the source signal line 18.

[0140] By activating gate signal line (the 1st scanning line) 17a (ON electrical potential difference being impressed), it lets transistor (transistor or switching element) 11a and transistor (transistor or switching element) 11c for EL element 15 drive pass, and the current value which should be passed to said EL element 15 is passed from the source driver circuit 14. moreover, between the gate of transistor 11a and a drain is short-circuited — as — transistor 11b — gate signal line 17a — it is remembered that the gate voltage (or drain electrical potential difference) of transistor 11a passes said current value with it being active (ON electrical potential difference being impressed) to the capacitor (a capacitor, storage capacitance, addition capacity) 19 connected between the gate of transistor 11a, and the source while opening by becoming (refer to drawing 3 (a)).

[0141] In addition, as for the capacity 19 between the (source S)–(gates G) (capacitor), it is desirable to consider as the capacity of 0.2pF or more. [of transistor 11a ] As other configurations, the configuration which forms a capacitor 19 is also illustrated separately. That is, it is the configuration which forms storage capacitance from a capacitor electrode layer, gate dielectric film, and gate metal. It is more desirable to constitute a capacitor from a viewpoint for stabilizing the viewpoint and display action which prevent the brightness fall by leak of transistor 11c separately in this way. In addition, the magnitude of a capacitor (storage capacitance) 19 is good to be referred to as 0.2pF or more 2pF or less, and the magnitude of a capacitor (storage capacitance) 19 is good to be referred to as 0.4pF or more 1.2pF or less especially.

[0142] In addition, for a capacitor 19, it is this better \*\* to form in the non-display field between the

adjoining pixels in general. Generally, when creating the full color organic electroluminescence 15, in order to form the organic electroluminescence layer 15 by the mask vacuum evaporation with a metal mask, the formation location of EL layer by mask location gap occurs. When a location gap occurs, there is a danger that the organic electroluminescence layer 15 (15R, 15G, 15B) of each color will lap. Therefore, 10 micrometers or more of non-display fields between the pixels which each color adjoins must be left. This part turns into a part which does not contribute to luminescence. Therefore, it becomes an effective means for the improvement in a numerical aperture to form storage capacitance 19 in this field.

[0143] In addition, a metal mask is produced with the magnetic substance and adsorbs a metal mask magnetically with a magnet from the rear face of a substrate 71. By magnetism, a metal mask is stuck without a substrate and a clearance. The matter about the above manufacture approach is applied to other manufacture approaches of this invention.

[0144] Next, it operates so that gate signal line 17a is passed for it to be inactive (an OFF electrical potential difference is impressed), gate signal line 17b may be activated, it may change to the path containing transistor 11d by which the path for which a current flows was connected to said 1st transistor 11a list at EL element 15, and said EL element 15 and the memorized current may be passed to said EL element 15 (refer to drawing 3 (b)).

[0145] This circuit has four transistors 11 in 1 pixel, and is transistor 11a. The gate is connected to the source of transistor 11b. Moreover, the gate of transistor 11b and transistor 11c is connected to gate signal line 17a. The drain of transistor 11b is connected to the source of transistor 11c, and the transistor 11d source, and the drain of transistor 11c is connected to the source signal line 18. The transistor 11d gate is connected to gate signal line 17b, and the transistor 11d drain is connected to the anode electrode of EL element 15.

[0146] In addition, at drawing 1, all transistors consist of P channels. Although P channels have somewhat low mobility as compared with the transistor of N channel, since pressure-proofing cannot generate degradation easily greatly again, either, it is desirable. However, it does not limit only to this invention constituting an EL element configuration from P channels. You may constitute only from an N channel. Moreover, you may constitute using both N channel and P channels.

[0147] In addition, in drawing 1, Transistors 11c and 11b are constituted from same polarity, and it constitutes from an N channel, and, as for Transistors 11a and 11d, constituting from P channels is desirable. Generally a P channel transistor has the large effectiveness which uses transistor 11a as P channels to EL element 15 which obtains the luminescence reinforcement made into the purpose by there being the features, like there are few reliable kink currents, and controlling a current as compared with N channel transistor. It is desirable to form altogether TFT11 which constitutes a pixel the optimal by P channels, and to also form the built-in gate driver 12 by P channels. Thus, by forming an array by TFT of only P channels, mask number of sheets becomes five sheets, and can realize whether they are low-cost-izing and a high yield.

[0148] Hereafter, in order to make an understanding of this invention easy further, drawing 3 is used and explained about the EL element configuration of this invention. The EL element configuration of this invention is controlled by two timing. The 1st timing is timing which makes a required current value memorize. When transistor 11b and transistor 11c turn-on to this timing, it becomes drawing 3 (a) as an equal circuit. Here, the predetermined current  $I_w$  is written in from a signal line. Thereby, transistor 11a will be in the condition that the gate and a drain were connected, and Current  $I_w$  will flow through this transistor 11a and transistor 11c. Therefore, the electrical potential difference of the GETO source of transistor 11a turns into the electrical potential difference  $V_1$  on which  $I_1$  flows.

[0149] Transistor 11a and transistor 11c close the 2nd timing, it is the timing which transistor 11d opens, and the equal circuit at that time serves as drawing 3 (b). The electrical potential difference between the source-gates of transistor 11a becomes [ being held with as, and ]. In this case, transistor 11a becomes fixed [ the current of  $I_w$  ] in order to always operate in a saturation region.

[0150] Thus, if it is made to operate, it will come to illustrate to drawing 5 . That is, 51a of drawing 5 (a) shows the pixel (line) (write-in pixel line) in a certain time of day in the display screen 50 by which the current program is carried out. This pixel (line) 51a is taken as an astigmatism LGT (non-display pixel (line)) so that it may illustrate to drawing 5 (b). Let other pixels (line) be the display pixels (line) 53 (a current flows to EL element 15 of the non-pixel 53, and EL element 15 is emitting light).

[0151] In the pixel configuration of drawing 1 , as shown in drawing 3 (a), the program current  $I_w$  flows to the source signal line 18 at the time of a current program. An electrical-potential-difference setup (program) is carried out to a capacitor 19 so that this current  $I_w$  may flow transistor 11a and the current which passes  $I_w$  may be held. At this time, transistor 11d is in an opening condition (OFF state).

[0152] Next, Transistors 11c and 11b turn off the period which passes a current to EL element 15 like drawing 3 R> 3 (b), and transistor 11d operates. That is, OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17a, and Transistors 11b and 11c turn off. On the other hand, ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b, and transistor 11d turns on.

[0153] This timing chart is illustrated to drawing 4 . In addition, in drawing 4 etc., the suffixes in a parenthesis (for example, (1) etc.) show the number of a pixel line. That is, gate signal line 17a (1) shows gate signal line 17a of a pixel line (1). Moreover, the horizontal scanning period is indicated to be  $-H$  of the upper case of drawing 4 . That is, it is the 1st horizontal scanning period in 1H. In addition, the above matter is for giving explanation easy, and does not limit (sequence of the number of 1H, 1H period, and a pixel line number etc.).

[0154] When ON state voltage is impressed to gate signal line 17a in the each chosen pixel line (the selection period is set to 1H) so that it may understand by drawing 4 , OFF state voltage is impressed to gate signal line 17b. Moreover, as for this period, the current is not flowing to EL element 15 (astigmatism LGT condition). In the pixel line which is not chosen, OFF state voltage is impressed to gate signal line 17a, and ON state voltage is impressed to gate signal line 17b. Moreover, as for this period, the current is flowing to EL element 15 (lighting condition).

[0155] In addition, the gate of transistor 11a and the gate of transistor 11c are connected to the same gate signal line 11a. However, the gate of transistor 11a and the gate of transistor 11c may be connected to a different gate signal line 11 (refer to drawing 32 ). A 1-pixel gate signal line becomes three (the configuration of drawing 1 is two). By controlling the ON/OFF timing of the gate of transistor 11b, and the ON/OFF timing of the gate of transistor 11c according to an individual, the current value variation of EL element 15 by dispersion in transistor 11a can be reduced further.

[0156] If gate signal line 17a and gate signal line 17b are carried out in common and it is the conductivity type (N channel and P channels) with which Transistors 11c and 11d differed, simplification of a drive circuit and the numerical aperture of a pixel can be raised.

[0157] Thus, if constituted, as timing of this invention of operation, the write-in path from a signal line will become off. That is, in case a predetermined current is memorized, if the path for which a current flows has branching, an exact current value will not be memorized by the capacity between the (source S)-(gates G) (capacitor). [ of transistor 11a ] After transistor 11c surely turns off to the timing from which the scanning line changes by controlling each other threshold by making transistor 11c and transistor 11d into a different electric conduction form, it enables transistor 11d to turn on.

[0158] However, since it is necessary to control each other threshold correctly in this case, cautions of a process are required. In addition, although the circuit described above is realizable with at least four transistors, even if it carries out cascade connection of the transistor 11e for Miller effect reduction as shown in drawing 2 and the total of a transistor becomes four or more so that more exact timing may control or mention later, the principle of operation is the same. Thus, by considering as the configuration which added transistor 11e, the current programmed through transistor 11c can pass now with a more sufficient precision to EL element 15.

[0159] In the configuration of drawing 1 , it is still more desirable that the current value  $I_{ds}$  in the saturation region of 1st transistor 11a satisfies the conditions of a bottom type. In addition, in a bottom

type, the value of  $\lambda$  satisfies or less 0.06 0.01 or more conditions between the adjoining pixels.  
[0160]

$$I_{ds} = kx(V_{gs} - V_{th})^2 (1 + V_{ds}\lambda)$$

In this invention, although the operating range of transistor 11a is limited to a saturation region, generally, it separates from the transistor characteristics in a saturation region from an ideal property, and they are influenced of the electrical potential difference between source drains. This effectiveness is called Miller effect.

[0161] The case where the shift of the threshold set to each transistor 11a in the adjoining pixel  $\Delta V_t$  occurs is considered. In this case, the current value memorized is the same.  $\Delta L$ , then abbreviation  $\Delta V\lambda$  are equivalent to a gap of the current value of EL element 15 by changing the threshold of transistor 11a in the shift of a threshold. Therefore, it turns out that  $\lambda$  must be below  $0.01x/y$  noting that  $y$  (V) is permitted between the pixels which adjoin the permissible dose of a shift of a threshold, in order to suppress a gap of a current below to  $x$  (%).

[0162] This allowed value changes with the brightness of application. If the amount of fluctuation has 2% or more of brightness in the brightness field to 100-cd/m<sup>2</sup> to 1000 cd/m<sup>2</sup>, human being will recognize the changed boundary line. Therefore, it is required for the amount of fluctuation of brightness (the amount of currents) to be less than 2%. When brightness is higher than 100 cd/m<sup>2</sup>, the brightness variation of the adjoining pixel becomes 2% or more. When using EL display device of this invention as a display for personal digital assistants, the demand brightness is about [ 100cds /m ] two. When the pixel configuration of drawing 1 was actually made as an experiment and fluctuation of a threshold was measured, in transistor 11a of the adjoining pixel, it turned out that the maximum of fluctuation of a threshold is 0.3V. Therefore, in order to suppress fluctuation of brightness within 2%,  $\lambda$  must be 0.06 or less. However, it is not necessary to carry out to 0.01 or less. It is because human being cannot recognize change. Moreover, in order to attain the variation in this threshold, it is necessary to enlarge transistor size enough, and it is unreal.

[0163] Moreover, it is desirable to constitute so that the current value  $I_{ds}$  in the saturation region of 1st transistor 11a may satisfy a bottom type. In addition, it may be 1% or more 5% or less between the pixels which fluctuation of  $\lambda$  adjoins.

[0164]

$$I_{ds} = kx(V_{gs} - V_{th})^2 (1 + V_{ds}\lambda)$$

If  $\lambda$  of the above-mentioned formula has fluctuation even when fluctuation of a threshold does not exist even if between the adjoining pixels, the current value which flows EL will be changed. In order to suppress fluctuation within  $\pm 2\%$ , fluctuation of  $\lambda$  must be suppressed to  $\pm 5\%$ . However, it is not necessary to make it to 1% or less. It is because human being cannot recognize change. Moreover, in order to attain 1% or less, it is necessary to enlarge transistor size fairly, and it is unreal.

[0165] Moreover, according to an experiment, an array prototype, and examination, it is desirable that the channel length of 1st transistor 11a sets to 10 micrometers or more 200 micrometers or less. It is desirable that the channel length of 1st transistor 11a sets to 15 micrometers or more 150 micrometers or less still more preferably. This is considered to be because for electric field to be eased and for the kink effectiveness to be suppressed low when the channel length  $L$  is lengthened, and the grain boundaries included in a channel-increase in number.

[0166] Moreover, the transistor 11 which constitutes a pixel is formed with the polycrystalline transistor formed by the laser recrystallization approach (laser annealing), and it is desirable that the direction of the channel in all transistors is the same direction to the direction of radiation of laser. Moreover, as for laser, it is desirable to scan the same part twice or more and to form the semiconductor film.

[0167] The purpose of invention of this patent proposes the circuitry to which dispersion in transistor characteristics does not affect a display, and four or more transistors are [ therefore ] required for it. If the property of four transistors does not gather when these transistor characteristics determine a circuit constant, it is difficult to ask for a suitable circuit constant. To the direction of a major axis of

laser radiation, by the case where the direction of a channel is level, and the case of being perpendicular, the threshold and mobility of transistor characteristics differ from each other, and are formed. In addition, extent of dispersion is the same in both cases. Horizontally, if perpendicular, the average of mobility and a threshold differs. Therefore, the more nearly same one of the direction of a channel of all the transistors that constitute a pixel is desirable.

[0168] Moreover, when  $C_s$  and the OFF state current value of 2nd transistor 11b are set to  $I_{off}$  for the capacity value of storage capacitance 19, it is desirable to satisfy a degree type.

[0169]  $3 < -C_s/I_{off} < -24$  — it is desirable to satisfy a degree type still more preferably.

[0170]  $6 < -C_s/I_{off} < -$  By setting the OFF state current of 18 transistor 11b to 5 or less pAs, it is possible to stop the current value change which flows EL to 2% or less. This is because the charge stored between the gate-sources (both ends of a capacitor) in the electrical-potential-difference condition of not writing in cannot be held between 1 fields, when leakage current increases. Therefore, if the capacity for are recording of a capacitor 19 is large, the permissible dose of the OFF state current will also become large. Fluctuation of the current value between contiguity pixels can be suppressed to 2% or less by filling said formula.

[0171] Moreover, it is desirable for the transistor which constitutes an active matrix to be constituted by the p-ch polish recon thin film transistor, and to consider as the multi-gate structure where transistor 11b is more than the dual gate. In order that transistor 11b may act as a switch between the source-drains of transistor 11a, the property that an ON/OFF ratio is high as much as possible is required. The high property of an ON/OFF ratio is realizable by making structure of the gate of transistor 11b into the multi-gate structure beyond dual gate structure.

[0172] Moreover, the transistor which constitutes an active matrix consists of polish recon thin film transistors, and it is desirable to make  $x$  (channel width  $W$ ) (channel length  $L$ ) of each transistor or less [ 54-micrometer ] into two. (Channel width  $W$ )  $x$  (channel length  $L$ ) and the variation of transistor characteristics have correlation. The cause of dispersion in transistor characteristics has a large thing resulting from dispersion in the energy by the exposure of laser etc., therefore in order to absorb this, it is desirable. [ of the structure which contains many exposure pitches (generally about ten micrometers) of laser by the inside of a channel as much as possible ] By making  $x$  (channel width  $W$ ) (channel length  $L$ ) of each transistor or less [ 54-micrometer ] into two, there is no dispersion resulting from laser radiation, and the thin film transistor to which the property was equal can be obtained. In addition, if transistor size becomes small too much, property dispersion by area will occur. Therefore, it is made for  $x$  (channel width  $W$ ) (channel length  $L$ ) of each transistor to become two or more [ 9-micrometer ]. In addition,  $x$  (channel width  $W$ ) (channel length  $L$ ) of each transistor has still more preferably desirable 16-micrometer or more 2 thing it is made to become two or less. [ 45 micrometer ]

[0173] Moreover, things are [ making it mobility fluctuation of 1st transistor 11a in the adjoining unit pixel be 20% or less ] desirable. When mobility runs short, by the time the charge capacity of a switching transistor deteriorates and it passes a current value required in time amount, capacity between the gate-sources of M1 cannot be charged. Therefore, dispersion in the brightness between pixels can be made below into \*\*\*\*\* by suppressing dispersion in migration within 20%.

[0174] Although the pixel configuration explained the above explanation as a configuration of drawing 1 , it can apply the above matter to other pixel configurations. Hereafter, as the example, the pixel configuration of drawing 38 constitutes and actuation is explained.

[0175] When setting up the current passed to EL element 15, the electrical potential difference between the GETO sources which produces the signal current passed to transistor 11a in transistor 11a as a result of [ its ]  $I_w$  is set to  $V_{gs}$ . Since between the gate drains of transistor 11a has connected too hastily by transistor 11d at the time of writing, transistor 11a operates in a saturation region. Therefore,  $I_w$  is given by the following formulas.

[0176]

$$I_w = \mu_1 \text{ and } Cox1 - (W1/L1) / 2 (V_{gs} - V_{th1})^2 \text{ — (1)}$$



Here,  $C_{ox}$  is the gate capacitance per unit area, and is given by  $C_{ox} = \epsilon_0 \epsilon_r / d$ . In the mobility of a carrier, and  $W$ , as for vacuum mobility and  $\epsilon_r$ , channel width and  $L$  show channel length,  $\epsilon_0$  shows [ the threshold and  $\mu$  whose  $V_{th}$  is a transistor ] the specific inductive capacity of gate dielectric film, and  $d$  is the thickness of gate dielectric film. Current level will be controlled by transistor 1b by which  $I_{dd}$  is connected to EL element 15 and a serial if the current which flows to EL element 15 is set to  $I_{dd}$ . In this invention, since the electrical potential difference between the GETO sources is in agreement with  $V_{gs}$  of (1) type, if it assumes that transistor 1b operates in a saturation region, the following formulas will be realized.

$$I_{drv} = \mu^2 \text{ and } C_{ox}^2 - (W_2/L_2) / 2(V_{gs} - V_{th})^2 \text{ — (2)}$$

Generally conditions for the thin film transistor (transistor) of an insulated-gate electric field effect mold to operate in a saturation region are given by the following formulas by making  $V_{ds}$  into the electrical potential difference between the drain sources.

[0177]

$$|V_{ds}| > |V_{gs} - V_{th}| \text{ — (3)}$$

Here, since it is approached and formed in the interior of a small pixel, transistor 11a and transistor 11b are profile  $\mu_1 = \mu_2$  and  $C_{ox1} = C_{ox2}$ , and unless especially creativity is put, they are considered to be  $V_{th1} = V_{th2}$ . Then, the following formulas are easily drawn from (1) type and (2) types at this time.

[0178]

$$I_{drv} / I_w = (W_2/L_2) / (W_1/L_1) \text{ — (4)}$$

Although it is common in (1) type and (2) types that the value of  $\mu$ ,  $C_{ox}$ , and  $V_{th}$  itself varies for every pixel, every product, and every manufacture lot as for the point which it should be careful of here, since (4) types do not contain these parameters, I hear that it is not dependent on these dispersion, and there is a value of  $I_{drv} / I_w$ .

[0179] If it designs with  $W_1 = W_2$  and  $L_1 = L_2$ ,  $I_{drv} / I_w = 1$ , i.e.,  $I_w$  and  $I_{drv}$ , will become the same value. That is, it is not based on property dispersion of a transistor, but since the drive current  $I_{dd}$  which flows to EL element 15 becomes the same as that of the signal current  $I_w$  correctly, it can control the luminescence brightness of EL element 15 correctly as a result.

[0180] As mentioned above, since  $V_{th1}$  of transistor 11a for a drive and  $V_{th2}$  of transistor 11b for a drive are fundamentally the same, if the signal level of cut-off level is impressed to the gate in both common each transistor potential, transistor 11a and transistor 11b must be in non-switch-on. However,  $V_{th2}$  may become low rather than  $V_{th1}$  according to factors, such as dispersion in a parameter, also within a pixel in fact. At this time, since the leakage current of subthreshold level flows to transistor 11b for a drive, EL element 15 presents fine luminescence. The contrast of a screen falls by this fine luminescence, and a display property is spoiled.

[0181] Especially in this invention, it is set as the appearance to which the threshold voltage  $V_{th2}$  of transistor 11b for a drive does not become lower than the threshold voltage  $V_{th1}$  of transistor 11a for a drive which corresponds within a pixel. For example, even if it makes gate length  $L_2$  of transistor 11b longer than the gate length  $L_1$  of transistor 11a and changes the process parameter of these thin film transistors, it is made for  $V_{th2}$  not to become lower than  $V_{th1}$ . It is possible for this to control very small current leak. The above matter is applied also to transistor 11a of drawing 1, and transistor 11d relation.

[0182] Transistor 11for drive a to which the signal current flows as shown in drawing 38, Others [ b / which controls the drive current which flows to the light emitting device which consists of EL element 15 grade / transistor 11for drive ], Transistor 11for taking in c which connects or intercepts a pixel circuit and data-line data by control of the gate signal line 17a1, Transistor 11d for a switch which writes in by control of the gate signal line 17a2, and short-circuits the gate drain of transistor 11a during a period, It consists of capacity C19 for writing in the electrical potential difference between the gate-sources of transistor 11a, and holding after termination, EL element 15 as a light emitting device, etc.

[0183] Although Transistors 11c and 11d are constituted from drawing 38 and the transistor of N-channel MOS (NMOS) and others is constituted from a P channel MOS (PMOS), this needs to be an example and does not necessarily need to be this passage. Although the terminal of one of these is connected to the gate of transistor 11a and the other-end child is connected to Vdd (power-source potential), the fixed potential of not only Vdd but arbitration is sufficient as capacity C. The cathode (cathode) of EL element 15 is connected to touch-down potential. Therefore, it cannot be overemphasized that the above matter is applied to drawing 1 etc.

[0184] The terminal voltage of EL element 15 changes also with temperature. Usually, it becomes low as it is high and temperature becomes high, when temperature is low. This inclination has the relation of a linear. Therefore, it is desirable to adjust a Vdd electrical potential difference by the outside temperature (temperature which is EL element 15 correctly). A temperature sensor detects an outside temperature, feedback of the Vdd electrical-potential-difference generating section or V<sub>k</sub> electrical-potential-difference generating section is applied, and a Vdd electrical potential difference or V<sub>k</sub> electrical potential difference is changed. A Vdd electrical potential difference etc. is Centigrade 10-degree C change, and it is desirable to make it change 8% or less 2% or more. It is desirable to consider as 6% or less 3% or more especially.

[0185] In addition, as for Vdd electrical potential differences, such as drawing 1, it is desirable to make it lower than the OFF state voltage (a transistor is P channel o'clock) of transistor 11b. Specifically, V<sub>gh</sub> (OFF state voltage of the gate) should be made higher than Vdd-0.5(V) at least. When lower than this, off leak of a transistor occurs and the shot nonuniformity of laser annealing comes to be conspicuous. Moreover, it should be made lower than Vdd+4(V). If too high, the amount of off leaks will increase conversely.

[0186] Therefore, in the OFF state voltage (electrical-potential-difference side near [ in drawing 1 ] V<sub>gh</sub>, i.e., supply voltage) of the gate, supply voltage ( drawing 1 Vdd) should also carry out the twist below +4 (V) more than -0.5 (V). Supply voltage ( drawing 1 Vdd) should also make the twist still more desirable below +2 (V) more than 0 (V). That is, it is made for the OFF state voltage of the transistor impressed to a gate signal line to become sufficiently off. When a transistor is N channel, V<sub>gl</sub> serves as OFF state voltage. Therefore, it is made for V<sub>gl</sub> to serve as range below 0.5 (V) more than -4 (V) to a GND electrical potential difference. The thing below 0 (V) to do for the range is [ more than -2 (V) ] still more preferably desirable.

[0187] It cannot be overemphasized that it is not limited to this although the above matter describes the pixel configuration of the current program of drawing 1, and it can apply also to the pixel configuration of an electrical-potential-difference program. In addition, as for V<sub>t</sub> offset cancellation of an electrical-potential-difference program, it is desirable to compensate every R, G, and B according to an individual.

[0188] The drive current which transistor 11b for a drive accepts in the gate the voltage level held at the capacitor 19, and has the current level according to it is passed to EL element 15 through a channel. The gate of transistor transistor 11a and the gate of transistor transistor 11b are connected directly, and he constitutes current Miller circuit, and is trying for the current level of the signal current I<sub>w</sub> and the current level of a drive current to serve as proportionality.

[0189] Transistor 11b operates in a saturation region, and passes the drive current according to the difference of the voltage level and threshold voltage which were impressed to the gate to EL element 15.

[0190] Transistor 11b is set as the appearance to which the threshold voltage does not become lower than the threshold voltage of transistor 11a which corresponds within a pixel. Specifically, transistor 11b is set as the appearance to which the gate length does not become shorter than the gate length of transistor 11a. Or transistor 11b may be set up so that the gate dielectric film may not become thinner than the gate dielectric film of transistor 11a which corresponds within a pixel.

[0191] Or transistor 11b may adjust the high impurity concentration injected into the channel, and may set it as the appearance to which threshold voltage does not become lower than the threshold voltage



of transistor 11a which corresponds within a pixel. As for transistor 11a and transistor 11b, both should be turned off, if the signal level of cut-off level is impressed to the gate of the transistor by which common connection was made when it sets up temporarily so that the threshold voltage of transistor 11a and transistor 11b may become the same. However, dispersion in a process parameter is also in a pixel slightly in fact, and the threshold voltage of transistor 11b may become low from the threshold voltage of transistor 11a.

[0192] At this time, since the feeble current of subthreshold level flows to transistor 11b for a drive also with the signal level below cut-off level, EL element 15 fine-emits light and the contrast fall of a screen appears. Then, gate length of transistor 11b is made longer than the gate length of transistor 11a. Even if it changes the process parameter of a transistor 11 within a pixel, it is made for the threshold voltage of transistor 11b not to become lower than the threshold voltage of transistor 11a by this.

[0193] In the comparatively short short-channel-effect field A,  $V_{th}$  goes up [ gate length  $L$  ] with the increment in gate length  $L$ . On the other hand, in the comparatively big control field B, gate length  $L$  is not concerned with gate length  $L$ , but  $V_{th}$ 's is almost fixed. Gate length of transistor 11b is made longer than the gate length of transistor 11a using this property. For example, when the gate length of transistor 11a is 7 micrometers, gate length of transistor 11b is set to about 10 micrometers.

[0194] While the gate length of transistor 11a belongs to the short-channel-effect field A, the gate length of transistor 11b may be made to belong to the control field B. Thereby, while being able to control the short channel effect in transistor 11b, the threshold voltage reduction by fluctuation of a process parameter can be controlled. By the above, the leakage current of the subthreshold level which flows to transistor 11b can be controlled, fine luminescence of EL element 15 can be suppressed, and it can contribute to a contrast improvement.

[0195] Thus, direct current voltage was impressed to the EL display device 15 explained by produced drawing 1 , drawing 2 , drawing 38  $R > 8$ , etc., and 10mA /was made to carry out a continuation drive with the fixed current density of 2 cm. EL structure is 7.0V. Luminescence of the green (luminescence maximum wave length  $\lambda_{max} = 460\text{nm}$ ) of 200 cd/cm<sup>2</sup> has been checked. A blue light-emitting part is brightness 100 cd/cm<sup>2</sup>. For a color coordinate,  $x = 0.129$ ,  $y = 0.105$ , and a green light-emitting part are brightness 200 cd/cm<sup>2</sup>. For a color coordinate,  $x = 0.340$ ,  $y = 0.625$ , and a red light-emitting part are brightness 100 cd/cm<sup>2</sup>. The color coordinate was acquired for the luminescent color of  $x = 0.649$  and  $y = 0.338$ . In a full color organic electroluminescence display panel, improvement in a numerical aperture becomes an important development technical problem. It is for the use effectiveness of light increasing, if a numerical aperture is raised, and leading to a raise in brightness, or reinforcement. What is necessary is just to make small area of the transistor which interrupts the light from an organic electroluminescence layer, in order to raise a numerical aperture. A low-temperature polycrystal Si-transistor has one 10 to 100 times the engine performance of this as compared with an amorphous silicon, and since the serviceability of a current is high, it can make magnitude of a transistor very small. Therefore, it is desirable to produce a pixel transistor and a circumference drive circuit with a low-temperature polish recon technique in an organic electroluminescence display panel. Of course, although you may form with an amorphous silicon technique, a pixel numerical aperture will become quite small.

[0196] By forming drive circuits, such as the gate driver circuit 12 or the source driver circuit 14, on a glass substrate 71, the resistance which becomes a problem especially with the organic electroluminescence display panel of a current drive can be lowered. Connection resistance of TCP is lost, and also the outgoing line from an electrode becomes short 2-3mm compared with the case of TCP connection, and wiring resistance becomes small. Furthermore, suppose that there is an advantage whose process for TCP connection is lost that ingredient cost falls.

[0197] Next, EL display panel or EL display of this invention is explained. Drawing 6 is an explanatory view centering on the circuit of EL display. The pixel 16 is arranged or formed in the shape of a matrix. The source driver circuit 14 which outputs the current which performs the current program of each pixel to each pixel 16 is connected. The current Miller circuit corresponding to the number of bits of a

video signal in the output stage of the source driver circuit 14 is formed (it explains later). For example, if it is 64 gradation, 63 current Miller circuits are formed in each source signal line, and it is constituted by choosing the number of such current Miller circuits so that a desired current can be impressed to the source signal line 18.

[0198] In addition, the minimum output current of one current Miller circuit is set to more than 10nA50nA. Especially the minimum output current of current Miller circuit is good to make it more than 15nA35nA. It is for securing the precision of the transistor which constitutes the current Miller circuit in a driver IC 14.

[0199] Moreover, the precharge which emits or charges the charge of the source signal line 18 compulsorily, or a discharge circuit is built in. As for the electrical-potential-difference (current) output value of the precharge which emits or charges the charge of the source signal line 18 compulsorily, or a discharge circuit, it is desirable to constitute so that it can set up independently by R, G, and B. the threshold of EL element 15 — RGB — things — since — it is .

[0200] It cannot be overemphasized that the pixel configuration explained above, an array configuration, a panel configuration, etc. are applied to the configuration and approach which are explained below, and equipment. Moreover, it cannot be overemphasized that the pixel configuration which already explained the configuration and approach which are explained below, and equipment, an array configuration, a panel configuration, etc. are applied. It is known that an organic EL device has a big temperature dependence property (\*\*\*\*). In order to adjust this \*\*, especially luminescence brightness change to depend, nonlinear components, such as a thermistor to which the output current is changed, or posistor, are added to current Miller circuit, and reference current is created in analog by adjusting \*\*, especially change to depend with said thermistor etc.

[0201] In this case, since it is uniquely determined by EL ingredient to choose, a microcomputer etc. does not have to carry out software control in many cases. That is, you may fix to a fixed shift amount etc. with a liquid crystal ingredient. It is important that \*\*\*\* changes with luminescent color ingredients, and it is the point that it is necessary to perform optimal \*\*\*\* compensation to every luminescent color (R, G, B).

[0202] It is necessary to carry out \*\*\*\* of each EL element of R, G, and B within fixed limits. It cannot be overemphasized that it is desirable that there is nothing as for \*\*\*\* of EL element 15 of R, G, and B. at least — the \*\*\*\* direction of R, G, and B — the same direction — or it is made not to change. Moreover, change is change of 10 degrees C of each color Centigrade, and it is desirable to make it change 8% or less 2% or more. It is desirable to consider as 6% or less 3% or more especially. Moreover, a microcomputer may perform \*\*\*\* compensation. The temperature of EL display panel is measured with a temperature sensor, and it is made to change with the measured temperature with a microcomputer (not shown) etc. Moreover, you may control to change reference current etc. automatically by microcomputer control etc. at the time of a change, and to be able to display a specific menu display. Moreover, it can constitute so that it can change using a mouse etc. Moreover, you may constitute so that it can change by using the display screen of EL indicating equipment as a touch panel, and displaying a menu, and pressing down a specific part.

[0203] In this invention, a source driver is formed with a semi-conductor silicon chip, and is connected with the terminal of the source signal line 18 of a substrate 71 with the glass technique on chip (COG). As for wiring of signal lines, such as the source signal line 18, metal wiring of chromium, aluminum, silver, etc. is used. It is because wiring of low resistance is obtained by thin wiring width of face. Wiring is the ingredient which constitutes the reflective film of a pixel, when a pixel is a reflective mold, and forming in the reflective film and coincidence is desirable. It is because it can carry out simple [ of the process ].

[0204] This invention is good also as a configuration which does not limit to a COG technique, loaded the above-mentioned source driver IC 14 etc. into the chip-on film (COF) technique, and was connected with the signal line of a display panel. Moreover, Drive IC produces a power source IC 82 separately, and is good also as 3 chip configurations.

[0205] Moreover, a TCF tape may be used. The film for TCF tapes can carry out thermocompression bonding of a polyimide film and the copper (Cu) foil, without using adhesives. In addition to this, there are a method which carries out cast molding of the polyimide which dissolved on Cu foil in piles, and a method which attaches Cu by plating or vacuum evaporation on the metal membrane which formed by sputtering on the polyimide film in the film for the TCP tapes which attach Cu to a polyimide film, without using adhesives. Although these any are sufficient, the approach using the TCP tape which attaches Cu to a polyimide film, without using adhesives is the most desirable. It corresponds to the lead pitch of 30 micrometers or less with Cu beam laminate not using adhesives. Since the approach of forming Cu layer by plating or vacuum evaporation among Cu beam laminates not using adhesives is suitable for thin shape-ization of Cu layer, it is advantageous to detailed-izing of a lead pitch.

[0206] On the other hand, the gate driver circuit 12 is formed with the low-temperature polish recon technique. That is, it forms in the same process as the transistor of a pixel. As compared with the source driver circuit 14, internal structure is easy for this and it is because clock frequency is also low. Therefore, even if it forms with a low-temperature polysilicon technique, it can form easily, and narrow picture frame-ization can be realized. Of course, it cannot be overemphasized that a gate driver 12 may be formed with a silicon chip, and you may mount on a substrate 71 using a COG technique etc. Moreover, switching elements, such as a pixel transistor, a gate driver, etc. may be formed with an elevated-temperature polish recon technique, and may be formed with an organic material (organic transistor).

[0207] A gate driver 12 contains shift-register-circuit 61a for gate signal line 17a, and shift-register-circuit 61b for gate signal line 17b. Each shift register circuit 61 is controlled by the clock signal (CLKxP, CLKxN) of a non-inverter and a negative phase, and the start pulse (STx). In addition, it is desirable to add the enabling (ENABL) signal which controls the output of a gate signal line and un-outputting, and the up-and-down (UPDWM) signal which carries out the vertical inversion of the shift direction. It is desirable to prepare the output terminal which otherwise checks for a start pulse to be shifted to a shift register, and to be outputted. In addition, the shift timing of a shift register is controlled by the control signal from control IC 81. Moreover, the level shift circuit which performs the level shift of external data is built in. Moreover, an inspection circuit is built in.

[0208] Since the buffer capacity of a shift register circuit 61 is small, the gate signal line 17 cannot be driven directly. Therefore, between the output gates 63 which drive the output and the gate signal line 17 of a shift register circuit 61, at least two or more inverter circuits 62 are formed.

[0209] It is also the same as when forming the source driver 14 directly on a substrate 71 with polysilicon techniques, such as low-temperature polysilicon, and two or more inverter circuits are formed between the gate of analog switches, such as the transfer gate which drives the source signal line 18, and the shift register of the source driver circuit 14. The following matters (the output of a shift register and the output stage (matter about the inverter circuit arranged among output stages, such as the output gate or the transfer gate) which drives a signal line are matters common to a source drive and a gate drive circuit.)

[0210] For example, although it illustrated in drawing 6 as the output of the source driver 14 was connected to the direct source signal line 18, in fact, a multistage inverter circuit is connected and, as for the output of the shift register of a source driver, the output of an inverter is connected to the gate of analog switches, such as the transfer gate.

[0211] An inverter circuit 62 consists of an MOS transistor of P channels, and an MOS transistor of N channel. As explained also in advance, the inverter circuit 62 is connected to the outgoing end of the shift register circuit 61 of the gate driver circuit 12 multistage, and the final output is connected to the output gate circuit 63. In addition, an inverter circuit 62 may consist of only P channels. However, you may constitute not as an inverter but as a mere gate circuit in this case.

[0212] Drawing 8 is the signal of the display of this invention, the block diagram of supply of an electrical potential difference, or the block diagram of a display. The signals (power-source wiring, data wiring,

etc.) supplied to source driver circuit 14a are supplied through the flexible substrate 84 from Cong and a roll IC 81.

[0213] At drawing 8 , it is made to generate in Control IC, and by the source driver 14, after the control signal of a gate driver 12 performs a level shift, it is once impressed to a gate driver 12. Since the driver voltages of the source driver 14 are 4–8 (V), they can change the control signal of the 3.3 (V) amplitude outputted from control IC 81 into 5 (V) amplitude which can receive a gate driver 12.

[0214] It is desirable to give an image memory in the source driver 14. The image data of an image memory may carry out memory of the data after performing error diffusion process or dithering. By performing error diffusion process, dithering, etc., 260,000 color specification data can be changed into 4096 colors etc., and capacity of an image memory can be made small. The error diffusion controller 81 can perform error diffusion process etc. Moreover, after performing dithering, error diffusion process may be performed further. The above matter is applied also to reverse error diffusion process.

[0215] In addition, although 14 was indicated to be a source driver in drawing 8 etc., not only a mere driver but a power circuit, a buffer circuit (circuits, such as a shift register, are included), a data–conversion circuit, a latch circuit, a command decoder, a shift circuit, an address translation circuit, an image memory, etc. may be made to build in. In addition, even if it is in the configuration explained by drawing 8 etc., it cannot be overemphasized that the three–side free configuration explained by drawing 9 etc. or a configuration, a drive method, etc. are applicable.

[0216] When using a display panel for information displays, such as a cellular phone, it is desirable to mount the source driver (circuit) IC 14 and a gate driver (circuit) IC 12 in one side of a display panel, as shown in drawing 9 (formation) (the gestalt which mounts a driver IC (circuit) in one side still in this way (formation) is called a three–side free configuration (structure)). Conventionally, the gate driver IC 12 was mounted X side of a viewing area, and the source driver IC 14 was mounted in Y sides. It is because it is easy to design so that the center line of Screen 50 may take the lead in an indicating equipment, and mounting of a driver IC also becomes easy. In addition, a gate driver circuit may be produced with a configuration free three sides with elevated–temperature polish recon or a low–temperature polish recon technique (that is, at least one side is directly formed in a substrate 71 with a polish recon technique among the source driver circuit 14 of drawing 9 , and the gate driver circuit 12).

[0217] In addition, with a three–side free configuration, not only the configuration that loaded or formed direct IC in the substrate 71 but the configuration which stuck the films (TCP, TAB technique, etc.) furnished with the source driver (circuit) IC 14, a gate driver (circuit) IC 12, etc. on one side (or about one side) of a substrate 71 is included. That is, all similar to the configuration, the arrangement, or it by which IC is not mounted or attached in two sides are meant.

[0218] If the gate driver circuit 12 is arranged beside the source driver circuit 14 like drawing 9 , it is necessary to form the gate signal line 17 along the side C, and to form it to the screen–display field 50.

[0219] In addition, the part illustrated as the thick continuous line in drawing 9 etc. shows the part which the gate signal line 17 arranged in parallel and formed. Therefore, the gate signal line 17 for a number of a scan signal line arranges in parallel the part (bottom of screen) of b, it is formed, and, as for the part (screen upper part) of a, one gate signal line 17 is formed.

[0220] The pitch of the gate signal line 17 formed C side is set to 5 micrometers or more 12 micrometers or less. In less than 5 micrometers, a noise will ride on a contiguity gate signal line under the effect of parasitic capacitance. According to the experiment, the effect of parasitic capacitance occurs notably in 7micro or less. In less than 5 more micrometers, image noises, such as the shape of a beat, occur violently in a display screen. It is difficult for especially generating of a noise to differ by right and left of a screen, and to reduce image noises, such as the shape of this beat. Moreover, if 12 micrometers of reduction are exceeded, the frame width of face D of a display panel becomes large too much and is not practical.

[0221] In order to reduce the above–mentioned image noise, it can decrease by arranging the Grant pattern (electric conduction pattern set as the fixed electrical potential difference by a voltage clamp or

the potential stabilized as a whole) in the lower layer or the upper layer of a part in which the gate signal line 17 was formed. Moreover, what is necessary is just to arrange the shielding plate (shielding foil (electric conduction pattern set as the fixed electrical potential difference by a voltage clamp or the potential stabilized as a whole)) formed separately on the gate signal line 17.

[0222] Although the gate signal line 17 of C side of drawing 9 may be formed with an ITO electrode, in order to form low resistance, it is desirable to carry out the laminating of ITO and the metal thin film, and to form them. Moreover, forming by the metal membrane is desirable. When carrying out a laminating to ITO, the titanium film is formed on ITO and the alloy thin film of aluminum or aluminum, and molybdenum is formed on it. Or the chromium film is formed on ITO. In the case of a metal membrane, it forms with an aluminum thin film and a chromium thin film. The above matter is the same in other examples of this invention.

[0223] In addition, in drawing 9 etc., although [ the gate signal line 17 etc. ] arranged in one side of a viewing area, it may not be limited to this, and it may be arranged to both. For example, gate signal line 17a may be arranged on the right-hand side of a viewing area 50 (formation), and gate signal line 17b may be arranged on the left-hand side of a viewing area 50 (formation). The above matter is the same in other examples.

[0224] Moreover, the source driver IC 14 and a gate driver IC 12 may be formed into 1 chip. If 1 chip is formed, mounting of IC chip to a display panel can be managed with one piece. Therefore, mounting cost can also be reduced. Moreover, the various electrical potential differences used within 1 chip driver IC can also be generated in coincidence.

[0225] In addition, it cannot be overemphasized that the source driver IC 14 and a gate driver IC 12 may be produced with semi-conductor wafers, such as silicon, it may not limit to this although mounted in a display panel, and you may form in a display panel 82 directly with a low-temperature polish recon technique and an elevated-temperature polish recon technique.

[0226] With the configuration illustrated by drawing 1 etc., it connects with Vdd potential through transistor 11a of EL element 15. However, there is a problem that the driver voltages of the organic electroluminescence which constitutes each color differ. for example, green, although the terminal voltage of an EL element is 5 (V) in blue (B) when the current per [ 0.01 ] unit square centimeter (A) is passed — in (G) and red (R), it is 9 (V). That is, terminal voltage differs by B, G, and R. Therefore, in B, G, and R, the source-drain electrical potential differences (SD electrical potential difference) of transistor 11a to hold differ. Therefore, the off leakage current between source-drain electrical potential differences (SD electrical potential difference) of a transistor will differ in each color. If off leakage current occurs and off leak properties differ in each color, it will become about the complicated display condition which a flicker generates after color balance has shifted that correlate with the luminescent color and a gamma property shifts.

[0227] Since this technical problem is coped with, it constitutes so that the potential of one cathode electrode may be changed with the potential of the cathode electrode of other colors among R, G, and B color at least. Or it constitutes so that the potential of one Vdd may be changed with the potential of Vdd of other colors among R, G, and B color.

[0228] It cannot be overemphasized that it is desirable to make it in agreement as much as possible as for the terminal voltage of EL element 15 of R, G, and B. At least, white peak brightness is displayed, and in the or more 6000K9000K or less range, a color temperature needs to carry out an ingredient or structure selection so that the terminal voltage of the EL element of R, G, and B may become below 10 (V). moreover, \*\* of R, G, and B — it is necessary to \*\*\*\* the difference of the greatest terminal voltage of an EL element, and the minimum terminal voltage within 2.5 (V) inside It is necessary to carry out to below 1.5 (V) still more preferably. In addition, in the above example, although the color was set to RGB, it is not limited to this. This is explained later.

[0229] Moreover, color nonuniformity also needs to be amended. This is generated by the variation in thickness, and the variation of a property in order to distinguish EL ingredient of each color by different

color with. In order to amend this, white raster display is performed by 30% or 70% of brightness, and the field internal division cloth of each color in a viewing area 50 is measured. Field internal division cloth is measured by a unit of one point to at least 30 pixels. This measurement data is saved on the table which consists of memory, and this saved data is used, and it constitutes so that input image data may be amended and it may display on the display screen 50.

[0230] In addition, although a pixel is made into the three primary colors of R, G, and B, it may not be limited to this, and cyanogen, yellow, and three colors of MAZENDA are sufficient as it. Moreover, two colors of B and yellow are sufficient. Of course, monochrome is sufficient. Moreover, R, G, B, cyanogen, yellow, and six colors of MAZENDA are sufficient. R, G, B, cyanogen, and five colors of MAZENDA are sufficient. The color reproduction range expands these as a natural color, and they can realize a good display. In addition, four colors of R, G, B, and white are sufficient. Moreover seven colors of R, G, B, cyanogen, yellow, MAZENDA, black, and white are sufficient, the pixel of white luminescence is formed in the viewing-area 50 whole (production), and it is good also as a three-primary-colors display at color filters, such as RGB. In this case, what is necessary is to carry out the laminating of the luminescent material of each color, and just to form it in EL layer. Moreover, 1 pixel may be distinguished by different color with like B and yellow. EL display of this invention is not limited to what performs color display by the three primary colors of RGB as mentioned above.

[0231] There are mainly three methods in colorization of an organic electroluminescence display panel, and a color conversion method is one of these. Remaining green and red required for full-color-izing are made by color conversion from blue glow that what is necessary is just to form the monolayer of a blue chisel as a luminous layer. Therefore, there is an advantage which does not need to distinguish each class of RGB by different color with that it is not necessary to prepare the organic electroluminescence ingredient of each color of RGB. A color conversion method is distinguished by different color with, and it does not have a \*\*\*\*\* fall so that it may be a method. EL display panel of this invention etc. is applied by any of this method.

[0232] Moreover, the pixel of white luminescence may be formed in everything but the three primary colors. The pixel of white luminescence is realizable by producing from that of carrying out the laminating of the structure of R, G, and B luminescence (formation or configuration). 1 set of pixels serve as the three primary colors of RGB from pixel 16W of white luminescence. It becomes easy to express white peak brightness by forming the pixel of white luminescence. therefore, there is a feeling of brightness — image display implementation can be carried out.

[0233] It is desirable that the area of the pixel electrode of each color changes the three primary colors, such as RGB, even if it is the case where 1 set of pixels are carried out. Of course, balance of the luminous efficiency of each color may be good, and the same area is sufficient as long as balance also avoids color purity. However, if the balance of one or more colors is bad, it is desirable to adjust a pixel electrode (luminescence area). The electrode surface product of each color should just determine current density as criteria. That is, when a color temperature adjusts a white balance in the 9000K or less range more than 6000K (kelvin), it is made for the difference of the current density of each color to become less than \*\*30%. It is made to become less than \*\*15% still more preferably. for example, current density — 100A / square meter, then the three primary colors — each — 70A / square — more than meter — 130A / square — it is made to become below meter further — desirable — the three primary colors — each — 85A / square — more than meter — 115A / square — it is made to become below meter

[0234] Moreover, it is desirable to arrange in the adjoining pixel line, so that arrangement in three primary colors may differ. For example, from the left, if the eventh line is arrangement of R, G, and B, it will consider the oddth line as arrangement of B, G, and R. Thus, by arranging, the resolution of the direction of slant of an image is improved also with the small number of pixels. Furthermore, pixel arrangement may be changed above a 3-pixel line so that the 1st line may be considered as arrangement of R, G, B, R, G, and B from the left, the 2nd line may be considered as arrangement of G,



B, R, G, B, and R and the 3rd line may be considered as arrangement of B, R, G, B, R, and G. Of course, it cannot be overemphasized that color arrangement of pixel arrangement or cyanogen of R, G, and B, yellow, MAZENDA, etc. is good also as delta arrangement (arrangement shifted 1/2 pixel).

[0235] Organic electroluminescence 15 is a self-light emitting device. If the light by this luminescence carries out incidence to the transistor as a switching element, a phot conductor phenomena (contest the phot) will occur. In contest a phot, the phenomenon whose leak (off leak) in the time of OFF of switching elements, such as a transistor, increases by optical pumping is said.

[0236] In order to cope with this technical problem, in this invention, the lower layer of a gate driver 12 (depending on the case, it is the source driver 14) and the lower layer light-shielding film of the pixel transistor 11 are formed. A light-shielding film is formed with metal thin films, such as chromium, and the thickness is set to 50nm or more 150nm or less. If thick [ when thickness is thin, the protection-from-light effectiveness is scarce, and ], irregularity will occur and patterning of the upper transistor 11A1 will become difficult.

[0237] The smoothing film which consists of or more 20 an inorganic material 100nm or less is formed on a light-shielding film. One electrode of storage capacitance 19 may be formed using the layer of this light-shielding film. In this case, as for the smooth film, it is desirable to enlarge capacity value of structure storage capacitance thinly as much as possible. Moreover, a light-shielding film may be formed with aluminum, the silicon oxide film may be formed on the surface of a light-shielding film using an anodic oxidation technique, and this silicon oxide film may be used as a dielectric film of storage capacitance 19. On the smoothing film, the pixel electrode of high aperture (HA) structure is formed.

[0238] The driver circuit 12 etc. should control not only a rear face but penetration of the light from a front face. It is because it malfunctions under the effect of contest a phot. Therefore, in this invention, when a cathode electrode is a metal membrane, a cathode electrode is formed also in front faces, such as a driver 12, and this electrode is used as a light-shielding film.

[0239] However, if a cathode electrode is formed on a driver 12, malfunction of the driver by the electric field from this cathode electrode or electric contact of a cathode electrode and a driver circuit may occur. In order to cope with this technical problem, in this invention, at least one layer of organic electroluminescence film of two or more layers is preferably formed on a driver circuit 12 etc. at the organic electroluminescence film formation on a pixel electrode, and coincidence.

[0240] Fundamentally, since the organic electroluminescence film is an insulating material, between a cathode and a driver is isolated by forming the organic electroluminescence film on a driver. Therefore, the above-mentioned technical problem is cancelable.

[0241] If between the terminals of one or more transistors 11 of a pixel or a transistor 11, and a signal line short-circuit, EL element 15 may always serve as the luminescent spot to turn on. Since this luminescent spot is visually conspicuous, it is necessary to sunspot-ize it (astigmatism LGT). To the luminescent spot, the applicable pixel 16 is detected, laser light is irradiated at a capacitor 19, and between the terminals of a capacitor is short-circuited. Therefore, since it becomes impossible to hold a charge to a capacitor 19, transistor 11a cannot pass a current and can carry out it.

[0242] In addition, the location which irradiates laser light is corresponded to. It is desirable to remove the cathode film. It is for preventing that the terminal electrode and cathode film of a capacitor 19 short-circuit by laser radiation.

[0243] The defect of the transistor 11 of a pixel 16 affects a driver IC 14 etc. For example, in drawing 58 , if the source-drain (SD) short-circuit 582 has occurred in drive transistor 11a, the Vdd electrical potential difference of a panel will be impressed to the source driver IC 14. or [ therefore, / that the supply voltage of the source driver IC 14 is the same as the supply voltage Vdd of a panel ] — or it is desirable to make it high. In addition, as for the reference current used by the source driver IC, it is desirable to constitute so that it can adjust by electronic BORIUMU 581.

[0244] If the SD short-circuit 582 has occurred in transistor 11a, an excessive current will flow to EL element 15. That is, EL element 15 will always be in a lighting condition (luminescent spot). The

luminescent spot tends to be conspicuous as a defect. For example, in drawing 58 , if source-drain (SD) short-circuit of transistor 11a has occurred, it is not concerned with the size of (Gate G) terminal potential of transistor 11a, but a current will always flow from a Vdd electrical potential difference to EL element 15 (when transistor 11d is ON). Therefore, the luminescent spot comes.

[0245] On the other hand, when SD short-circuit has occurred in transistor 11a and transistor 11c is an ON state, a Vdd electrical potential difference is impressed to the source signal line 18, and a Vdd electrical potential difference is impressed to the source driver 14. With [ the supply voltage of the source driver 14 ] Vdd [ below ], there is a possibility that the source driver 14 may be destroyed, exceeding pressure-proofing. Therefore, as for the supply voltage of the source driver 14, it is desirable to carry out more than a Vdd electrical potential difference (electrical potential difference of the one where a panel is more expensive).

[0246] SD short-circuit of transistor 11a etc. does not remain in a point defect, but has a possibility of leading the source driver circuit of a panel to destruction, and since the luminescent spot is conspicuous, it serves as a defect as a panel. Therefore, it is necessary to cut wiring which connects between EL elements 15 with transistor 11a of drawing 58 , and to make the luminescent spot into a sunspot defect. It is good for this cutting to cut using optical means, such as laser light. In addition, the method which is not limited to laser, condenses the light generated from a xenon lamp etc., and cuts wiring with this light that condensed is sufficient as an optical means. Moreover, the approach of cutting by the sandblasting method (the sand of a particle being sprayed and cut) may be adopted as a cutting part. That is, anything may be used as a cutting means. However, the approach using optical means, such as laser, is processible into a cutting part by non-contact, and desirable.

[0247] In addition, as for laser light, it is more desirable than the thing of a continuous method to adopt the thing of a pulse oscillation which used the Q switch. Moreover, it is made for two or more laser pulses to be irradiated by the cutting part. And as for the pulse separation of laser, it is desirable to make it 0.1 or more-msec 100 or less msec. It is desirable to make it especially 10 or less msec more than per msec. It is because the melting condition of the processing part by the laser light irradiated previously is continuing at this spacing and good cutting or good processing can be carried out. Moreover, the wavelength of laser light has desirable 1-micrometer order. An YAG laser is illustrated as laser of this wavelength. Of course, other laser may be used. For example, carbon dioxide laser, an excimer laser, a neon helium laser, etc. are illustrated.

[0248] In addition, although the above example carried out to making wiring cut, in order to indicate by black, it is not limited to this. For example, the power source Vdd of transistor 11a may correct so that it may always be impressed by the gate (G) terminal of transistor 11a, so that it may understand also by drawing 1 . For example, if it makes inter-electrode [ of a capacitor 19 / two ] short-circuit, a Vdd electrical potential difference will come to be impressed to the gate (G) terminal of transistor 11a. Therefore, transistor 11a is turned off completely, and can pass and make a current EL element 15. If fastidious, since a capacitor electrode can be short-circuited by irradiating laser light at a capacitor 19, it is easily realizable. Moreover, in fact, since Vdd wiring is arranged at the lower layer of a pixel electrode, the display condition of a pixel is controllable by irradiating laser light at Vdd wiring and a pixel electrode (correction).

[0249] In addition, making open between SD (channel) of transistor 11a can also be realized. Laser light is irradiated simply at transistor 11a, and the channel of transistor 11a is made open. Similarly, a transistor 11d channel may be made open. Of course, since the applicable pixel 16 is not chosen even if it opens the channel of transistor 11b, it becomes a black display.

[0250] In order to indicate the pixel 16 by black, EL element 15 may be degraded. For example, laser light is irradiated at the EL layer 15, the EL layer 15 is degraded physically or chemically, and it is made not to emit light (regular black display). The EL layer 15 can be heated by the exposure of laser light, and it can be made to deteriorate easily. Moreover, if an excimer laser is used, chemical change of the EL film 15 can be performed easily.



[0251] In addition, although the above example illustrated the pixel configuration illustrated to drawing 1, this invention is not limited to this. It cannot be overemphasized that it is applicable even if it is the pixel configuration of the electrical-potential-difference drive illustrated by pixel configurations of other current drives, such as a current mirror, or drawing 62, drawing 51, etc. to use laser light and to make wiring or an electrode open or short-circuit.

[0252] When it is the structure (it is upper ejection to take out light from Shimo drawing and EL film vacuum evaporation side for taking out light from a glass substrate 71 side) of the Mitsukami ejection which considers a pixel electrode as a reflective type and uses a common electrode as transparent electrodes (ITO, IZO, etc.) when a cathode (or anode) electrode is a transparent electrode, the sheet resistance of a transparent electrode poses a problem. Although a transparent electrode is high resistance, it is necessary to pass a current with high current density to the cathode of organic electroluminescence. If it carries out and backlash forms a cathode electrode by the monolayer of the ITO film, it will be in a heating condition by generation of heat, or the brightness inclination of the degree of pole occurs in the display screen.

[0253] What is necessary is just to form in the front face of a cathode electrode low resistance-ized wiring which consists of a metal thin film, since this technical problem is coped with. Low resistance-ized wiring is the same configuration (it is 50nm – 200nm thickness with chromium or an aluminum ingredient) as the black matrix (BM) of a liquid crystal display panel, and is the same locations (on pixel inter-electrode and a driver 12 etc.). However, in organic electroluminescence, since it is not necessary to form BM, functions completely differ. In addition, low resistance-ized wiring may not be limited on the surface of a transparent electrode, and may be formed in a rear face (field which touches the organic electroluminescence film). Moreover, an alloy or the laminating structures, such as Mg-Ag, Mg-Li, and aluminum-Li, etc. may use aluminum, magnesium, an indium, copper, or each alloy as a metal membrane formed in the shape of BM. In addition, in order to prevent corrosion etc. on BM, the laminating of ITO and the IZO film is carried out further, and organic thin films, such as inorganic thin films, such as SiNx and SiO<sub>2</sub>, or polyimide, are formed.

[0254] Moreover, as for the case in the case (upper ejection) of taking out light from the vacuum evaporation side of EL film, it is desirable to form the Mg-aluminum film on the organic electroluminescence film 15, and to form ITO and the IZO film on it. Moreover, it is desirable to form the Mg-aluminum film on the organic electroluminescence film 15, and to form a black matrix (a black matrix like a liquid crystal display panel) on it. As for this black matrix, it is desirable to form by chromium, aluminum, Ag, Au, Cu, etc., and to form on this the protective coat which consists of organic compound insulators, such as inorganic insulator layers, such as SiO<sub>2</sub> and SiNx, polyester, and an acrylic. Furthermore, an antireflection film (AIR coat) is formed on this protective coat.

[0255] An AIR coat has the configuration of three layers, or a two-layer configuration. In the case of 3 lamination, optical thickness carries out  $nd_1 = \lambda / 4$  laminatings of  $nd_1 = \lambda / 2$  and the magnesium fluoride (MgF<sub>2</sub>) for  $nd = \lambda / 4$ , and a zirconium (ZrO<sub>2</sub>), and an aluminum oxide (aluminum 2O<sub>3</sub>) is formed. Usually, a thin film is formed as a value of 520nm or near of those as  $\lambda$ .

[0256] optical in silicon monoxide (SiO) in a two-layer configuration —  $nd_1 = \lambda / 4$  laminatings of  $nd_1 = \lambda / 4$  or yttrium oxide (Y<sub>2</sub>O<sub>3</sub>), and the magnesium fluoride (MgF<sub>2</sub>) are carried out, and thickness  $nd_1 = \lambda / 4$ , and magnesium fluoride (MgF<sub>2</sub>) are formed.

[0257] In the case of one layer,  $nd_1 = \lambda / 2$  laminatings of the magnesium fluoride (MgF<sub>2</sub>) are carried out, and it is formed.

[0258] In addition, even if it is the case of bottom ejection, it is effective to make high the permeability of the metal membrane of the cathode electrode 106. Even if it is the configuration of seeing a display image from a substrate 71 side, it is because it is high, so a reflect lump decreases the permeability of a metal membrane. If a reflect lump decreases, the circular polarization of light plate (phase plate) 108 will become unnecessary. Therefore, optical ejection effectiveness may improve rather than upper ejection. As for the permeability of a metal membrane, it is desirable to make it to 90% or less 60% or more. It is

desirable to make it to especially 90% or less 70% or more. The sheet resistance of a cathode electrode becomes it low that it is 60% or less. However, a reflect lump becomes large. Conversely, at 90% or more, the sheet resistance of a cathode electrode becomes high. Therefore, the brightness inclination of a display image becomes large.

[0259] For making the permeability of a metal membrane high, aluminum film is formed thinly. Thickness is formed in 20nm or more 100nm or less. It is desirable to form ITO and the IZO film on it. Moreover, it is desirable to form a black matrix on aluminum film. As for this black matrix, it is desirable to form by chromium, aluminum, Ag, Au, Cu, etc., and to form on this the protective coat which consists of organic compound insulators, such as inorganic insulator layers, such as SiO<sub>2</sub> and SiN<sub>x</sub>, polyester, and an acrylic. Furthermore, it is desirable to form an antireflection film (AIR coat) on this protective coat.

[0260] In addition, the EL film 15 or the pixel electrode 105 may not be limited in the shape of radii, and the shape of the shape of a triangular pyramid and a cone and the letter of a sign curve are sufficient as it, and the structure which combined these is sufficient as it. Moreover, you may be the configuration that the shape of the shape of a triangular pyramid and a cone and the letter of a sign curve should have been formed, these had combined enough, or random irregularity was formed, on radii detailed to 1 pixel.

[0261] As for the semi-conductor film which constitutes the transistor 11 of a pixel 16, in a low-temperature polish recon technique, forming by laser annealing is common. The variation in the conditions of this laser annealing turns into variation in transistor 11 property. However, by the method which performs current programs, such as drawing 1, if the property of the transistor 11 in 1-pixel 16 is in agreement, it can drive so that a predetermined current may flow to EL element 15. This point is an advantage which is not in an electrical-potential-difference program. It is desirable to use an excimer laser as laser.

[0262] In addition, in this invention, formation of the semi-conductor film may not be limited to the laser annealing approach, and the heat annealing approach and the approach by solid phase (CGS) growth may be used for it. In addition, it cannot be overemphasized that not the thing to limit to a low-temperature polish recon technique but an elevated-temperature polish recon technique may be used.

[0263] To this technical problem, by this invention, as shown in drawing 7, the laser radiation spot 72 at the time of annealing (laser radiation range) is irradiated in parallel with the source signal line 18. Moreover, the laser radiation spot 72 is moved so that it may be in agreement with a 1-pixel train. Of course, 1 pixel may irradiate laser in the unit [ RGB / not the thing to limit to a 1 pixel train but / of drawing 72 ] 16 (in this case, it will be called a 3-pixel train). Moreover, two or more pixels may be irradiated at coincidence. Moreover, it cannot be overemphasized that migration of the exposure range of laser may overlap (as for the exposure range of laser light where it moves, overlapping is usually common).

[0264] The pixel is produced so that it may become a square configuration by 3 pixels of RGB. Therefore, each pixel of R, G, and B serves as a longwise pixel configuration. Therefore, the property variation of a transistor 11 can be prevented from generating within 1 pixel by making the laser radiation spot 72 longwise and annealing it. Moreover, the properties (mobility, V<sub>t</sub>, S value, etc.) of the transistor 11 connected to one source signal line 18 can be made into homogeneity (that is, in the transistor 11 of the adjoining source signal line 18, although properties may differ, the property of the transistor 11 connected to one source signal line can be made almost equal).

[0265] Generally the die length of the laser radiation spot 72 is a fixed value like 10 inches. Since this laser radiation spot 72 is moved, it is necessary to arrange a panel so that it may fall within the range which can move one laser radiation spot 72 (that is, are and it carries out so that the laser radiation spot 72 may not lap in the center section of the viewing area 50 of a panel).

[0266] With the configuration of drawing 7, it is formed so that three panels may be perpendicularly arranged within the limits of the die length of the laser radiation spot 72. The annealer which irradiates the laser radiation spot 72 recognizes the positioning markers 73a and 73b of a glass substrate 74

(automatic positioning by pattern recognition), and moves the laser radiation spot 72. Pattern recognition equipment performs recognition of the positioning marker 73. An annealer (not shown) recognizes the positioning marker 73 and deduces the location of a pixel train (it is made for the laser radiation range 72 to become parallel to the source signal line 18). The laser radiation spot 72 is irradiated and annealing is performed one by one so that it may lap with a pixel aisle location.

[0267] As for especially the laser annealing approach (method which irradiates a laser Rhine-like spot in parallel with the source signal line 18) explained by drawing 7, it is desirable to adopt at the time of the current program method of an organic electroluminescence display panel. Because, it is because the property of a transistor 11 is in agreement in a source signal line in parallel (the property of the pixel transistor which adjoined the lengthwise direction approximates). Therefore, there is little change of the voltage level of a source signal line at the time of a current drive, and it is hard to generate current write-in lack at it.

[0268] For example, if it is white raster display, since the current passed to transistor 11a of each pixel which adjoined is almost the same, there is little change of the current amplitude outputted from the source driver IC 14. The property of transistor 11a of drawing 1 is the same, and if the current value which carries out a current program is a pixel train and is equal to each pixel, the potential of the source signal line 18 at the time of a current program is fixed. Therefore, potential fluctuation of the source signal line 18 is not generated. If the property of transistor 11a connected to one source signal line 18 is almost the same, potential fluctuation of the source signal line 18 will be small. As for this, the pixel configuration of other current program methods, such as drawing 38, is also the same (that is, it is desirable to apply the manufacture approach of drawing 7).

[0269] Moreover, homogeneity can realize image display (it is because it is hard to generate the display nonuniformity which originates mainly in dispersion in transistor characteristics) by the method which carries out the coincidence writing of two or more pixel lines explained by drawing 27, drawing 30, etc. Since drawing 27 etc. is chosen as two or more pixel line coincidence, if its transistor of the adjoining pixel line is uniform, the transistor-characteristics nonuniformity of a lengthwise direction is absorbable in a driver circuit 14.

[0270] In addition, at drawing 7, it cannot be overemphasized that it may not limit to this and the source driver circuit 14 may be formed in the same process as a pixel 16 although the source driver circuit 14 is illustrated so that IC chip may be loaded.

[0271] Hereafter, the drive approach is explained about the pixel configuration of drawing 1. As shown in drawing 1, gate signal line 17a will be in switch-on (since the transistor 11 of drawing 1 is a p channel transistor here, it is flowed with a low level) at a line selection period, and gate signal line 17b is taken as switch-on at the time of a non-selection period.

[0272] Parasitic capacitance (not shown) exists in the source signal line 18. Parasitic capacitance is generated with the capacity of the cross section of the source signal line 18 and the gate signal line 17, the channel capacity of Transistors 11b and 11c, etc.

[0273] Since the time amount  $t$  which current value change of the source signal line 18 takes is  $t=C-V/I$  when the current which flows the electrical potential difference of  $C$  and a source signal line to  $V$  and a source signal line in the magnitude of stray capacity is set to  $I$ , that a current value can be enlarged 10 times can do short-time amount which current value change takes to about  $1/10$ . Or even if source capacity increases 10 times, it is shown that it can change to a predetermined current value. Therefore, in order to write in a predetermined current value within a short horizontal scanning period, it is effective to make a current value increase.

[0274] Since the output current will also become 10 times and the brightness of EL will become 10 times, if an input current is increased 10 times, in order to obtain predetermined brightness, predetermined brightness was displayed by setting a transistor 17d [ of drawing 1 ] "on" period to  $1/10$  over the past, and setting a luminescence period to  $1/10$ .

[0275] That is, in order to fully perform the charge and discharge of the parasitic capacitance of the

source signal line 18 and to perform a program for a predetermined current value to transistor 11a of a pixel 16, it is necessary to output a comparatively big current from the source driver 14. However, if a big current in this way is passed to the source signal line 18, this current value will be programmed by the pixel, and a big current flows to EL element 15 to a predetermined current. For example, if it programs with a 10 times as many current as this, naturally, a 10 times as many current as this will flow to EL element 15, and EL element 15 will emit light by one 10 times the brightness of this. What is necessary is just to make into 1/10 time amount which flows to EL element 15, in order to make it predetermined luminescence brightness. Thus, by driving, the charge and discharge of the parasitic capacitance of the source signal line 18 can fully be carried out, and predetermined luminescence brightness can be obtained.

[0276] In addition, this is an example, although one 10 times the current value of this is written in transistor 11a (the terminal voltage of a capacitor 19 is set up correctly) of a pixel and ON time amount of EL element 15 is made into 1/10. Depending on the case, one 10 times the current value of this is written in transistor 11a of a pixel, and it is good as for 1/5 in the ON time amount of EL element 15. Conversely, one 10 times the current value of this may be written in transistor 11a of a pixel, and ON time amount of EL element 15 may be made into 1/2.

[0277] This invention has the description in making the write-in current to a pixel into values other than a predetermined value, making into an intermittent condition the current which flows to EL element 15, and driving. On these specifications, in order to give explanation easy, one N times the current value of this is written in the transistor 11 of a pixel, and it explains increasing the ON time amount of EL element 15 1/N time. However, not the thing to limit to this but a current value 1 time the N of this is written in the transistor 11 of a pixel, and it cannot be overemphasized that twice (it differs in N1 and N2) as many 1-N as this is sufficient in the ON time amount of EL element 15. In addition, spacing which carries out an intermission is not limited at equal intervals. For example, random is sufficient (a display period or a non-display period should just serve as a predetermined value (fixed comparatively) as a whole). Moreover, you may differ by RGB. That is, in order [ to adjust so that R, G, a B display period, or a non-display period may serve as a predetermined value (fixed comparatively) (setup) ] to give explanation easy, 1-N is explained again setting these 1F to 1-N on the basis of 1F (1 field or one frame), so that white (White) balance may become the optimal. However, a 1-pixel line is chosen, and there is time amount (usually 1 horizontal-scanning period (1H)) by which a current value is programmed, and an error is also produced depending on a scan condition. Therefore, the above explanation is only the problem of the shape of facilities for giving explanation easy to the last, and is not limited to this.

[0278] Organic (inorganic) EL indicating equipment has a technical problem also in the point that the method of presentation differs from the display which displays an image as a set of a line display with an electron gun like CRT fundamentally. That is, in EL display, the current (electrical potential difference) written in the pixel is held between the periods of 1F (1 field or one frame). Therefore, if a movie display is performed, the technical problem that profile dotage of a display image occurs will occur.

[0279] In this invention, as for a sink and other periods (1F (N-1) / N), during the period of 1 F/N does not pass a current for a current to EL element 15. The case where carried out this drive method and one point of a screen is observed is considered. In this display condition, image data display and a black display (astigmatism LGT) are repeatedly displayed on every 1F. That is, an image data display condition will be in a discontinuous display (intermittent display) condition in time. If animation data display is seen in the state of this intermittent display, profile dotage of an image is lost and a good display condition can be realized. That is, animation display near CRT is realizable. Moreover, although an intermittent display is realized, the Main clock of a circuit is not different from the former. Therefore, the power consumption of a circuit does not increase.

[0280] The image data (electrical potential difference) to which light modulation is carried out in the case of a liquid crystal display panel is held at a liquid crystal layer. Therefore, if it is going to carry out

a black insertion display, it is necessary to rewrite the data currently impressed to a liquid crystal layer. Therefore, it is necessary to make high the clock of the source driver IC 14 of operation, and to impress a black indicative data to the source signal line 18 for image data by turns. Therefore, if black insertion (intermittent display of a black display etc.) is made into implementation \*\*\*\*\*, it is necessary to raise the Main clock of a circuit. Moreover, the image memory for carrying out time-axis elongation is also needed.

[0281] With the pixel configuration of EL display panel of this invention shown in drawing 1 , drawing 2 , drawing 38 , etc., image data is held at the capacitor 19. The current corresponding to the terminal voltage of this capacitor 19 is passed to EL element 15. Therefore, image data is not held like a liquid crystal display panel at a light modulation layer.

[0282] This invention controls the current passed to EL element 15 only by making transistor 11d of switching, or transistor 11e turn on and off. That is, even if it turns off the current  $I_w$  which flows to EL element 15, as for image data, the capacitor 19 is held as it is. Therefore, if 11d of switching elements etc. is made to turn on to the following timing and a current is passed to EL element 15, the flowing current is the same as that of the current value which was flowing before. In case it is going to realize black insertion (intermittent display of a black display etc.), it is not necessary to raise the Main clock of a circuit with this invention. Moreover, since it is not necessary to carry out time-axis elongation, an image memory is also unnecessary. Moreover, time amount after an organic EL device 15 impresses a current until it emits light is a high-speed response short. Therefore, it is suitable for a movie display and the problem of the movie display which is the problem of the display panels (a liquid crystal display panel, EL display panel, etc.) of the conventional data-hold mold can be solved from that of carrying out an intermittent display further.

[0283] Furthermore, what is necessary is just to make the source current into 10 or more times, when source capacity becomes large with a large-sized display. What is necessary is just to make the "on" period of gate signal line 17b (transistor 11d) into  $1/F/N$ , when a source current value is generally increased N times. Thereby, it is applicable to the display for television and monitors etc.

[0284] Hereafter, it explains in more detail about the drive approach of this invention, referring to a drawing. The parasitic capacitance of the source signal line 18 is generated with the joint capacity between the adjoining source signal lines 18, the buffer output capacitance of a source drive (circuit) IC 14, the cross capacity of the gate signal line 17 and the source signal line 18, etc. This parasitic capacitance is usually set to 10pF or more. In an electrical-potential-difference drive, since an electrical potential difference is impressed to the source signal line 18 by low impedance, parasitic capacitance does not become large from a driver IC 14 with a problem by drive somewhat.

[0285] However, it is necessary to program the capacitor 19 of a pixel with the minute current of 5 or less nAs by the image display of black level especially at a current drive. Therefore, if parasitic capacitance occurs in the magnitude beyond a predetermined value, the charge and discharge of the parasitic capacitance cannot be carried out into the time amount (since less than  $[1H]$ , however a 2-pixel line may be written in coincidence, not usually limited to less than  $[1H]$ .) programmed in a 1-pixel line. If charge and discharge become impossible in 1H period, it will become insufficient writing in to a pixel and resolution will not come out.

[0286] In the pixel configuration of drawing 1 , as shown in drawing 3 (a), the program current  $I_w$  flows to the source signal line 18 at the time of a current program. An electrical-potential-difference setup (program) is carried out to a capacitor 19 so that this current  $I_w$  may flow transistor 11a and the current which passes  $I_w$  may be held. At this time, transistor 11d is in an opening condition (OFF state).

[0287] Next, Transistors 11c and 11b turn off the period which passes a current to EL element 15 like drawing 3 R> 3 (b), and transistor 11d operates. That is, OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17a, and Transistors 11b and 11c turn off. On the other hand, ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b, and transistor 11d turns on.

[0288] Now, supposing a current  $I_1$  is N times the current (predetermined value) originally passed, the

current which flows to EL element 15 of drawing 3 (b) will also serve as  $I_w$ . Therefore, EL element 15 emits light with a value 10 times the brightness of predetermined. That is, the display brightness  $B$  of a display panel becomes high, so that it may illustrate to drawing 12 and a scale factor  $N$  is made high. Therefore, a scale factor and brightness serve as proportionality. Conversely, brightness and a scale factor serve as relation of an inverse proportion by driving with  $1-N$ .

[0289] Then, only the period of  $1-N$  of the time amount (about  $1 F$ ) which originally turns on transistor 11d is made to turn on, and if other period  $(N-1) / N$  periods are made to turn off, the average luminance of the  $1 F$  whole will turn into predetermined brightness. This display condition is approximated with CRT scanning the screen with the electron gun. The range where a different point shows the image is the point which  $1-N$  (a full screen is set to 1) of the whole screen has turned on (the range turned on in CRT is a 1-pixel line (it is 1 pixel strictly)).

[0290] In this invention, as the image display field 53 of this  $1 F/N$  shows drawing 13 (b), it moves downward from on Screen 50. In this invention, only in during the period of  $1 F/N$ , a current flows to EL element 15, and other periods  $(1 F - (N-1) / N)$  do not flow a current. Therefore, each pixel serves as an intermittent display. However, since it will be in the condition that the image was held according to the after-image at human being's eyes, it seems that the full screen is displayed on homogeneity.

[0291] In addition, write-in pixel line 51a is taken as astigmatism LGT display 52a so that it may illustrate to drawing 13. However, this is the case of pixel configurations, such as drawing 1 and drawing 2. With the pixel configuration of the current mirror illustrated by drawing 38 etc., write-in pixel line 51a is good also as a lighting condition. However, this specification explains mainly by illustrating the pixel configuration of drawing 1, in order to give explanation easy. Moreover, it programs with a larger current than the predetermined drive currents  $I_w$ , such as drawing 13 and drawing 16, and the drive approach which carries out an intermittent drive is called  $N$  double pulse drive.

[0292] In this display condition, image data display and a black display (astigmatism LGT) are repeatedly displayed on every  $1 F$ . That is, an image data display condition will be in a discontinuous display (intermittent display) condition in time. By the liquid crystal display panel (EL display panels other than this invention), since data were held at the period of  $1 F$ , and the pixel, when it was animation display, even if image data changed, the change could not be followed, but it had become animation dotage (profile dotage of an image). However, in this invention, since the image is indicated by intermittent, profile dotage of an image is lost and a good display condition can be realized. That is, animation display near CRT is realizable.

[0293] This timing chart is illustrated to drawing 14. In addition, in this invention etc., a pixel configuration in case there is especially no notice presupposes that it is drawing 1. When ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17a in the each chosen pixel line (the selection period is set to  $1 H$ ) so that it may understand by drawing 14 (see drawing 14 (a)), OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17b (see the drawing 14 (b)). Moreover, as for this period, the current is not flowing to EL element 15 (astigmatism LGT condition). In the pixel line which is not chosen, OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17a, and ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. Moreover, as for this period, the current is flowing to EL element 15 (lighting condition). Moreover, in the lighting condition, EL element 15 is turned on by one  $(N-B) N$  times [ predetermined ] the brightness of this, and the lighting period is  $1 F/N$ . Therefore, the display brightness of the display panel which averaged  $1 F$  is set to  $(N-B) \times (1-N) = B$  (predetermined brightness).

[0294] Drawing 15 is the example which applied actuation of drawing 14 to each pixel line. The voltage waveform impressed to the gate signal line 17 is shown. A voltage waveform sets OFF state voltage to  $V_{gh}$  (H level), and is setting ON state voltage to  $V_{gl}$  (L level). Suffixes, such as (1) and (2), show the chosen pixel line number.

[0295] In drawing 15, gate signal line 17a (1) is chosen ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line to the source signal line 18 toward the source driver 14. This program current is  $N$  times (in order to give explanation easy, it explains as



N= 10.) of a predetermined value. of course, since a predetermined value is a data current which displays an image, unless it is white raster display etc., it is not a fixed value. it is . Therefore, it is programmed by the capacitor 19 so that a current flows 10 times at transistor 11a. When the pixel line (1) is chosen, with the pixel configuration of drawing 1 , OFF state voltage (V<sub>gh</sub>) is impressed and, as for gate signal line 17b (1), a current does not flow to EL element 15.

[0296] After 1H, gate signal line 17a (2) is chosen (V<sub>gl</sub> electrical potential difference), and a program current flows from transistor 11a of the selected pixel line to the source signal line 18 toward the source driver 14. This program current is N times (in order to give explanation easy, it explains as N= 10) the predetermined value. Therefore, it is programmed by the capacitor 19 so that a current flows 10 times at transistor 11a. When the pixel line (2) is chosen, with the pixel configuration of drawing 1 , OFF state voltage (V<sub>gh</sub>) is impressed and, as for gate signal line 17b (2), a current does not flow to EL element 15. However, since OFF state voltage (V<sub>gh</sub>) is impressed to gate signal line 17 of previous pixel line (1) a (1) and ON state voltage (V<sub>gl</sub>) is impressed to gate signal line 17b (1), it is in the lighting condition.

[0297] After the following 1H, gate signal line 17a (3) is chosen, OFF state voltage (V<sub>gh</sub>) is impressed and, as for gate signal line 17b (3), a current does not flow to EL element 15 of a pixel line (3). However, since OFF state voltage (V<sub>gh</sub>) is impressed to gate signal line 17 of previous pixel line (1) and (2) a (1), and (2) and ON state voltage (V<sub>gl</sub>) is impressed to gate signal line 17b (1) and (2), it is in the lighting condition.

[0298] Synchronizing with the synchronizing signal of 1H, the image is displayed for the above actuation. However, by the drive method of drawing 15 , a 10 times as many current as this flows to EL element 15. Therefore, the display screen 50 is displayed by one about 10 times the brightness of this. Of course, in order to perform a brightness display predetermined in this condition, it cannot be overemphasized that what is necessary is just to make a program current into 1/10. However, since it will write in with parasitic capacitance etc. and lack will occur if it is 1/10 of currents, it programs with a high current and the fundamental main point of this invention obtains predetermined brightness by black screen 52 insertion.

[0299] In addition, in the drive approach of this invention, it is the concept that make it a current higher than a predetermined current flow to EL element 15, and it fully carries out the charge and discharge of the parasitic capacitance of the source signal line 18. That is, it is not necessary to pass a N times as many current as this to EL element 15. For example, a current path is formed in juxtaposition at EL element 15, it may shunt that a dummy EL element is formed, this EL element forms a light-shielding film, and light is not made (emit) toward a dummy EL element and EL element 15, and they may pass a current. [ it ] For example, when the signal current is 0.2microA, 2.2microA is passed to transistor 11a, using a program current as 2.2microA. A method, such as passing 0.2micro of signal currents A to EL element 15 among this current, and passing 2microA to a dummy EL element, is illustrated.

[0300] by constituting as mentioned above, a twice [ N ] as many current as this flows to drive transistor 11a by making the current passed to the source signal line 18 increase N twice — as — the current sufficiently smaller programmable than N twice to current EL element 15 — \*\*\*\*\* — things will be made. All the viewing areas 50 can be made into the image display field 53 by the above approach, without forming the astigmatism LGT-field 52 so that it may illustrate to drawing 5.

[0301] Drawing 13 (a) is illustrating the write-in condition to a display image 50. In drawing 13 (a), 51a is a write-in pixel line. A program current is supplied to each source signal line 18 from the source driver IC 14. In addition, in drawing 13 , there is one pixel line written in 1H period. However, not a limiting [ to 1H ]—in any way thing but 0.5H period or 2H period is sufficient. Moreover, although a program current is written in the source signal line 18, this invention is not limited to a current program method, and the electrical-potential-difference program method which is an electrical potential difference may be written in the source signal line 18.

[0302] In drawing 13 (a), if gate signal line 17a is chosen, the current which flows to the source signal

line 18 will be programmed by transistor 11a. At this time, OFF state voltage is impressed and, as for gate signal line 17b, a current does not flow to EL element 15. It is because this has the capacity component of EL element 15 visible to an EL element 15 side from the source signal line 18 in transistor 11d being an ON state, it is influenced by this capacity and a current program exact enough becomes impossible to a capacitor 19. Therefore, if the configuration of drawing 1 is made into an example, the pixel line in which the current is written as shown in drawing 1313 (b) will serve as the astigmatism LGT field 52.

[0303] If now programmed with the twice [  $N$  (here, as stated previously, referred to as  $N=10$ ) ] as many current as this, the brightness of a screen increases 10 times. Therefore, what is necessary is just to let 90% of range of a viewing area 50 be the astigmatism LGT field 52. Therefore, the horizontal scanning line of an image display field makes 220 ( $S=220$ ) of QCIF, then 22 a viewing area 53, and should just  $220-22=198$  make it the non-display field 52. If it generally states,  $S$ , then the field of  $S/N$  will be made into a viewing area 53 for a horizontal scanning line (pixel line count), and this viewing area 53 will be made to emit light by one  $N$  times the brightness of this. And this viewing area 53 is scanned in the vertical direction of a screen. Therefore, let the field of  $S(N-1)/N$  be the astigmatism LGT field 52. This astigmatism LGT field is a black display (nonluminescent). Moreover, this nonluminescent section 52 is realized by making transistor 11d turn off. In addition, although carried out to making the light switch on by one  $N$  times the brightness of this, it cannot be overemphasized that it adjusts with one  $N$  times the value of this by brightness adjustment and gamma adjustment with a natural thing.

[0304] Moreover, in the previous example, if programmed with the 10 times as many current as this, the brightness of a screen increased 10 times and it was presupposed that what is necessary is just to make 90% of range of a viewing area 50 into the astigmatism LGT field 52. However, this does not limit the pixel of RGB to considering as the astigmatism LGT field 52 in common. For example, the pixel of R may make one eighth the astigmatism LGT field 52, the pixel of G may make one sixth the astigmatism LGT field 52, and the pixel of B may change  $1/10$  in the astigmatism LGT field 52 and each color. Moreover, you may enable it to adjust the astigmatism LGT field 52 (or lighting field 53) according to an individual by the color of RGB. In order to realize these, gate signal line 17b of an individual exception is needed by R, G, and B. However, by enabling individual adjustment of the above RGB, it becomes possible to adjust a white balance and balance adjustment of a color becomes easy in each gradation (refer to drawing 41 ).

[0305] The pixel line containing write-in pixel line 51a considers as the astigmatism LGT field 52, and makes the range of  $S/N$  (in time  $1 F/N$ ) of an upper screen a viewing area 53 so that it may illustrate rather than write-in pixel line 51a to drawing 13 (b) (when a write-in scan scans a screen from the bottom upwards to in a down case, it serves as the reverse from on a screen). A viewing area 53 becomes band-like and moves an image display condition downward from on a screen.

[0306] In the display of drawing 13 , one viewing area 53 moves to down from on a screen. If a frame rate is low, it will be recognized visually that a viewing area 53 moves. It becomes that it is easy to be recognized when a palpebra is closed especially, or when moving a face up and down.

[0307] It is good to divide a viewing area 53 into plurality so that it may illustrate to drawing 16 to this technical problem. If this divided total serves as area of  $S(N-1)/N$ , it will become equivalent to the brightness of drawing 13 . In addition, it is not necessary to make equal the divided viewing area 53 (to division into equal parts). Moreover, it is not necessary to also make equal the divided non-display field 52.

[0308] As mentioned above, a flicker of a screen decreases by dividing a viewing area 53 into plurality. Therefore, there is no generating of a flicker and it can realize good image display. In addition, division may be made finer. However, the more it divides, the more the animation display engine performance falls.

[0309] Drawing 17 is illustrating the voltage waveform of the gate signal line 17, and the luminescence brightness of EL. The period ( $1 F/N$ ) which sets gate signal line 17b to  $V_{gl}$  is divided into plurality so

that clearly [ in drawing 17 ] (number of partitions K). That is, the period set to Vgl carries out the period of  $1F/(K/N)$  K times. Thus, if it controls, generating of a flicker can be controlled and image display of a low frame rate can be realized. Moreover, it is desirable to constitute so that it can carry out adjustable [ of the number of partitions of this image ]. For example, that a user pushes a brightness adjustment switch or by turning a brightness adjusting volume, this change may be detected and the value of K may be changed. Moreover, you may constitute so that a user may adjust brightness. You may constitute so that it may be manual or may be made to change with the contents of the image to display, and data automatically.

[0310] In addition, in drawing 17 etc., the period ( $1 F/N$ ) which sets gate signal line 17b to Vgl is divided into plurality (number of partitions K), and although [ the period set to Vgl ] the period of  $1F/(K/N)$  is carried out K times, it is not this-limited. L ( $L \neq K$ ) time operation of the period of  $1F/(K/N)$  may be carried out. That is, this invention displays an image 50 by controlling the period (time amount) passed to EL element 15. Therefore, carrying out L ( $L \neq K$ ) time operation of the period of  $1F/(K/N)$  is included in the technical thought of this invention. Moreover, the brightness of an image 50 can be changed in digital one by changing the value of L. For example, in  $L = 2$  and  $L = 3$ , it becomes 50% of brightness (contrast) change. Moreover, when dividing the viewing area 53 of an image, the period which sets gate signal line 17b to Vgl is not limited to the same period.

[0311] The above example was what turns the display screen 50 on and off (lighting, astigmatism LGT) by connecting the current which intercepts the current which flows to EL element 15, and flows to an EL element. That is, multiple times and an abbreviation same current are passed to transistor 11a with the charge held at the capacitor 19. This invention is not limited to this. For example, the method which turns the display screen 50 on and off (lighting, astigmatism LGT) may be used by carrying out the charge and discharge of the charge held at the capacitor 19.

[0312] Drawing 18 is a voltage waveform impressed to the gate signal line 17 for realizing the image display condition of drawing 16. The difference between drawing 18 and drawing 15 is actuation of gate signal line 17b. Gate signal line 17b carries out on-off (Vgl and Vgh) actuation by the number corresponding to the number which divides a screen. Since other points are the same as that of drawing 15, explanation is omitted.

[0313] There is also no contrast fall like [ at the time of indicating the liquid crystal display panel by intermittent at EL display, since the black display was completely an astigmatism LGT ]. Moreover, in the configuration of drawing 1, on-off operation of the transistor 11d is only carried out, on-off operation of the transistor component 11e is only carried out in the configuration of drawing 38, and an intermittent display can be realized. This is because memory (the number of gradation is infinity since it is an analog value) of the image data is carried out to the capacitor 19. That is, image data is held during the period of  $1F$  at each pixel 16. Control of Transistors 11d and 11e has realized whether the current equivalent to this image data currently held is passed to EL element 15.

[0314] It is important to maintain the terminal voltage of a capacitor 19. It is because flicker (flicker etc.) will occur when screen intensity changes and a frame rate falls if the terminal voltage of a capacitor 19 changes in 1 field (frame) period (charge and discharge). It is necessary to make it the current which transistor 11a passes to EL element 15 in an one-frame (1 field) period not fall to at least 65% or less. In these 65%, it is that the current passed to EL element 15 when the beginning of the current passed to EL element 15 considers as 100%, just before it writes in a pixel 16, and writing in said pixel 16 with the following frame (field) considers as 65% or more.

[0315] It is changeless to the number of the transistor 11 which constitutes 1 pixel from a case where it does not consider as the case where an intermittent display is realized, with the pixel configuration of drawing 1. That is, the pixel configuration remained as it was, was removed with the effect of the parasitic capacitance of the source signal line 18, and has realized the good current program. Moreover, the movie display near CRT is realized.

[0316] Moreover, since it is late enough as compared with the clock of the source driver circuit 14 of

operation, as for the clock of the gate driver circuit 12 of operation, the Main clock of a circuit does not necessarily become high. Moreover, modification of the value of N is also easy.

[0317] In addition, the direction of image display (the image write-in direction) is made down from on a screen by 1 field (one frame) eye, and is good also as above from under a screen by the following 2nd field (frame) eye. That is, it is \*\*\*\*\* by turns about down [ a top to ], and above [ the bottom to ].

[0318] Furthermore, once considering as down from on a screen by 1 field (one frame) eye and considering a full screen as a black display (non-display), by the following 2nd field (frame) eye, it is good also as above from under a screen. Moreover, it is once good also considering a full screen as a black display (non-display).

[0319] In addition, in explanation of the above drive approach, although the approach to write in a screen was made into the top from under the bottom from a screen, it does not limit to this. Continuously, it fixes the bottom or the bottom to a top from on a screen, and the write-in direction of a screen makes down the direction of the non-display field 52 of operation from on a screen by 1 field eye, and is good also as above from under a screen by the following 2nd field eye. The above matter is the same also in the example of other this inventions. The non-display field 52 does not completely need to be in an astigmatism LGT condition. Even if feeble luminescence or the image display carried out slightly occurs, it is satisfactory practically. That is, it should be interpreted as the field where display brightness is lower than the image display field 53. Moreover, in the non-display field 52, also when only one color or two colors call it a non-display condition among R, G, and B image display, it is contained.

[0320] The brightness of Screen 50 becomes high, so that the area of a viewing area 53 becomes large, when the brightness (brightness) of a viewing area 53 is fundamentally maintained by the predetermined value. For example, the brightness of a screen will become twice, if the rate that a viewing area 53 occupies to a full screen 50 makes it to 20% from 10% when the brightness of a viewing area 53 is 100 (nt). Therefore, the display brightness of a screen can be changed by changing the area of the viewing area 53 occupied to a full screen 50.

[0321] By controlling the data pulse (ST2) to a shift register 61, the area of a viewing area 53 can be set as arbitration. Moreover, the display condition of drawing 16 and the display condition of drawing 13 can be changed by changing the input timing of a data pulse, and a period. If the data pulse number in 1F period is made [ many ], Screen 50 will become bright, and Screen 50 will become dark if it lessens. Moreover, if a data pulse is impressed continuously, it will be in the display condition of drawing 13 , and if a data pulse is inputted into an intermission, it will be in the display condition of drawing 16 :

[0322] Drawing 19 (a) is a brightness adjustment method when the viewing area 53 is continuing like drawing 13 . The display brightness of Screen 50 of drawing 19 (a1) is the brightest. The display brightness of Screen 50 of drawing 19 (a2) is next bright, and the display brightness of Screen 50 of drawing 19 (a3) is the darkest. The change (or the reverse) to drawing 19 (a3) from drawing 19 (a1) is easily realizable with control of the shift register circuit 61 of the gate driver circuit 12 etc., as indicated also in advance. Under the present circumstances, it is not necessary to change the Vdd electrical potential difference of drawing 1. That is, brightness change of the display screen 50 can be carried out, without changing supply voltage. Moreover, the gamma property of a screen does not change at all in the case of the change to drawing 19 (a3) from drawing 19 (a1). Therefore, it is not based on the brightness of Screen 50, but the contrast of a display image and a gradation property are maintained. This is the effective description of this invention. In the brilliance control of the conventional screen, when the brightness of Screen 50 is low, the gradation engine performance falls. That is, even if 64 gradation displays are realizable at the time of a daylight display, it is being able to display only the number of gradation below one half in most cases at the time of a low brightness display. As compared with this, by the drive approach of this invention, it is not dependent on the display brightness of a screen, and 64 highest gradation displays can be realized.

[0323] Drawing 19 (b) is a brightness adjustment method when the viewing area 53 is distributing like drawing 16 . The display brightness of Screen 50 of drawing 19 (b1) is the brightest. The display

brightness of Screen 50 of drawing 19 (b2) is next bright, and the display brightness of Screen 50 of drawing 19 (b3) is the darkest. The change (or the reverse) to drawing 19 (b3) from drawing 19 (b1) is easily realizable with control of the shift register circuit 61 of the gate driver circuit 12 etc., as indicated also in advance. If a viewing area 53 is distributed like drawing 19 (b), a flicker will not generate a low frame rate, either.

[0324] Furthermore, a low frame rate should just also distribute a viewing area 53 finely like drawing 19 (c), in order to make it a flicker not occur. However, the display engine performance of an animation falls. Therefore, in order to display an animation, the drive approach of drawing 19 (a) is suitable. When displaying a still picture and demanding low-power-ization, the drive approach of drawing 19 (c) is suitable. The change of the drive approach of drawing 19 (a) to drawing 19 (c) is also easily realizable with control of a shift register 61.

[0325] Drawing 20 is the explanatory view of other examples which increase the current which flows to the source signal line 18. It is the method which chooses two or more pixel lines as coincidence fundamentally, carries out the charge and discharge of the parasitic capacitance of the source signal line 18 etc. with the current with which two or more pixel lines were united, and improves current write-in lack sharply. However, since two or more pixel lines are chosen as coincidence, the current which per pixel drives can be decreased. Therefore, the current which flows to EL element 15 can be decreased. Here, in order to give explanation easy, it explains as  $N=10$  as an example (the current passed to the source signal line 18 is increased 10 times). In this invention explained by drawing 20, a pixel line chooses a  $K$  pixel line as coincidence. From the source driver IC 14,  $N$  double current of a predetermined current is impressed to the source signal line 18. A  $N/K$  twice as many current as the current passed to EL element 15 is programmed by each pixel. In order to make EL element 15 into predetermined luminescence brightness, time amount which flows to EL element 15 is made into the  $K/N$  time amount of one frame (1 field). Thus, by driving, the charge and discharge of the parasitic capacitance of the source signal line 18 can fully be carried out, and predetermined luminescence brightness can be obtained for good resolution.

[0326] That is, as for a sink and other periods ( $1F (N-1) K/N$ ), during the period of  $K/N$  of one frame (1 field) does not pass a current for a current to EL element 15. In this display condition, image data display and a black display (astigmatism LGT) are repeatedly displayed on every  $1F$ . That is, an image data display condition will be in a discontinuous display (intermittent display) condition in time. Therefore, profile dotage of an image is lost and a good movie display can be realized. Moreover, since it drives with a  $N$  times as many current as this to the source signal line 18, effect of parasitic capacitance is not received but it can respond also to a highly minute display panel.

[0327] Drawing 21 is the explanatory view of a drive wave for realizing the drive approach of drawing 20. A signal wave form sets OFF state voltage to  $V_{gh}$  (H level), and is setting ON state voltage to  $V_{gl}$  (L level). The suffix of each signal line has indicated the numbers ((1), (2), (3), etc.) of a pixel line. In addition, in the case of, in the case of a QCIF display panel, it is 220, and a line count is 480 by the VGA panel.

[0328] In drawing 21, gate signal line 17a (1) is chosen ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line to the source signal line 18 toward the source driver 14. Here, in order to give explanation easy, it explains first that write-in pixel line 51a is eye pixel line (1) watch.

[0329] Moreover, the program current which flows to the source signal line 18 is  $N$  times (in order to give explanation easy, it explains as  $N=10$ .) of a predetermined value. of course, since a predetermined value is a data current which displays an image, unless it is white raster display etc., it is not a fixed value. it is . Moreover, a 5-pixel line explains to coincidence as selection ( $K=5$ ). Therefore, ideally, it is programmed by the capacitor 19 of one pixel so that a current flows twice ( $N / K = 10 / 5 = 2$ ) at transistor 11a.

[0330] When a write-in pixel line is eye (1) pixel line, as illustrated by drawing 21, as for gate signal line

17a, (1), (2), (3), (4), and (5) are chosen. That is, switching transistor 11b of a pixel line (1), (2), (3), (4), and (5) and transistor 11c are ON states. Moreover, gate signal line 17b is the opposite phase of gate signal line 17a. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (1), (2), (3), (4), and (5) is an OFF state, and corresponds. That is, it is in the astigmatism LGT condition 52.

[0331] Ideally, 5-pixel transistor 11a passes the current of  $I_{wx2}$  to the source signal line 18, respectively (that is, the source signal line 18  $I_{wx2} \times N = I_{wx2} \times 5 = I_{wx10}$ ). Therefore, if the case where N double pulse drive of this invention is not carried out considers as the predetermined current  $I_w$ , a 10 times as many current as  $I_w$  will flow to the source signal line 18.

[0332] A twice as many current as this is programmed by the capacitor 19 of each pixel 16 by the above actuation (the drive approach). Here, in order to make an understanding easy, it explains noting that the property ( $V_t$ , S value) of each transistor 11a corresponds.

[0333] Since the pixel line chosen as coincidence is a 5-pixel line ( $K=5$ ), five drive transistor 11a operates. That is, per pixel, and  $10 / 5 = 2$  twice as many current as this flows to transistor 11a. In the source signal line 18, the current which added five program currents of transistor 11a flows. For example, originally, it considers as the current  $I_w$  to write in and the current of  $I_{wx10}$  is passed to the source signal line 18 at write-in pixel line 51a. In order to make the amount of currents to the write-in pixel line 51b source signal line 18 which writes in image data henceforth increase from a write-in pixel line (1), it is the pixel line used auxiliary. However, since the image data of normal is written in behind, write-in pixel line 51b is satisfactory.

[0334] Therefore, in 4-pixel line 51b, it is the same display as 51a between 1H periods. Therefore, pixel line 51b chosen in order to make write-in pixel line 51a and a current increase is made into the non-display condition 52 at least. However, with a pixel configuration of a current mirror like drawing 38, and the pixel configuration of other electrical-potential-difference program methods, it is good also as a display condition depending on the case.

[0335] After the following 1H, gate signal line 17a (1) is un-choosing, and ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. Moreover, gate signal line 17a (6) is chosen as coincidence ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line (6) to the source signal line 18 toward the source driver 14. Thus, by operating, the image data of normal is held at a pixel line (1).

[0336] After the following 1H, gate signal line 17a (2) is un-choosing, and ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. Moreover, gate signal line 17a (7) is chosen as coincidence ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line (7) to the source signal line 18 toward the source driver 14. Thus, from that of operating, the image data of normal is held at a pixel line (2). one screen is rewritten by scanning, shifting a 1-pixel line every with the above actuation.

[0337] By the drive approach of drawing 20, in order to program with a twice as many current (electrical potential difference) as this to each pixel, the luminescence brightness of EL element 15 of each pixel becomes twice ideally. Therefore, the brightness of the display screen becomes twice from a predetermined value. What is necessary is just to let one half of the range of a viewing area 50 be the non-display fields 52, including the write-in pixel line 51, so that you may illustrate to drawing 16 in order to make this into predetermined brightness.

[0338] If a frame rate is low like drawing 13 when one viewing area 53 moves to down from on a screen like drawing 20, it will be recognized visually that a viewing area 53 moves. It becomes that it is easy to be recognized when a palpebra is closed especially, or when moving a face up and down.

[0339] It is good to divide a viewing area 53 into plurality so that it may illustrate to drawing 22 to this technical problem. If the part which added the divided non-display field 52 serves as area of  $S(N-1)/N$ , it will become the same as that of the case where it does not divide.

[0340] Drawing 23 is a voltage waveform impressed to the gate signal line 17. The difference between



drawing 21 and drawing 23 is actuation of gate signal line 17b fundamentally. Gate signal line 17b carries out on-off ( $V_{gl}$  and  $V_{gh}$ ) actuation by the number corresponding to the number which divides a screen. other points are almost the same as that of drawing 21 — or since it can guess, explanation is omitted. [0341] As mentioned above, a flicker of a screen decreases by dividing a viewing area 53 into plurality. Therefore, there is no generating of a flicker and it can realize good image display. In addition, division may be made finer. However, the more it divides, the more a flicker is mitigated. Since especially the responsibility of EL element 15 is quick, even if it turns on and off by time amount smaller than 5microsec, there is no fall of display brightness.

[0342] In the drive approach of this invention, turning on and off of EL element 15 is controllable by turning on and off of the signal impressed to gate signal line 17b. Therefore, a clock frequency is controllable by the low frequency of KHz order. Moreover, an image memory etc. is not needed although black screen insertion (non-display field 52 insertion) is realized. Therefore, the drive circuit or approach of this invention is realizable by low cost.

[0343] Drawing 24 is the case where the pixel line chosen as coincidence is a 2-pixel line. According to the examined result, the approach of choosing a 2-pixel line as coincidence in the display panel formed with the low-temperature polish recon technique had practical display homogeneity. This is presumed because the property of transistor 11a for a drive of the pixel which adjoined is extremely in agreement. Moreover, when carrying out laser annealing, the good result was obtained by irradiating the direction of radiation of stripe-like laser in parallel with the source signal line 18.

[0344] The semi-conductor film of the range where annealing of this is carried out to the same time amount is because the property is uniform. That is, in stripe-like laser radiation within the limits, it is because  $V_t$  of TFT which the semi-conductor film was produced by homogeneity and used this semi-conductor film, and mobility become almost equal. Therefore, a laser stripe-like shot is irradiated in parallel with the formation direction of the source signal line 18, and the property of a pixel (pixel of a pixel train and the vertical direction of a screen) of having met the source signal line 18 is produced almost equally by moving this exposure location. Therefore, when coincidence is made to turn on two or more pixel lines and a current program is performed, the current program of the current divided by the number of pixels which the program current was chosen [ number ] as coincidence and had the program current chosen by two or more pixels is carried out almost identically. Therefore, the current program near desired value can be carried out and a homogeneity display can be realized. Therefore, the drive method explained in the direction of a laser shot, drawing 2424 , etc. has the synergistic effect.

[0345] As mentioned above, by carrying out abbreviation coincidence of the direction of a laser shot with the formation direction of the source signal line 18, the property of TFT11a of the vertical direction of a pixel becomes almost the same, and a good current program can be carried out (even if the property of TFT11a of the longitudinal direction which is a pixel is not in agreement). the above actuation is carried out synchronizing with 1H (1 horizontal-scanning period) by the ability shifting two or more 1-pixel line or pixel line [ every ] selection pixel line number. In addition, although [ this invention ] the direction of a laser shot is used as the source signal line 18 at parallel, it hopes that it is not necessarily parallel. It is because the property of TFT11a of the vertical direction of a pixel which met one source signal line 18 is mostly in agreement and it is formed, even if it irradiates a laser shot in the direction of slant to the source signal line 18. Therefore, I hear that the semantics of irradiating a laser shot in parallel with a source signal line forms the pixel which adjoined on the pixel of the arbitration which met the source signal line 18, or the bottom so that it may go into one laser radiation range, and there is. Moreover, it is wiring which, generally [ the source signal line 18 ], transmits the program current or electrical potential difference used as a video signal.

[0346] in addition — the example of this invention — 1 — what is limited to this for every H although a write-in pixel line number is shifted — it is not — 2 — every H — you may shift — moreover, more than it — you may make it shift a pixel line every Moreover, you may shift by the time basis of arbitration. Moreover, the time amount to shift may be changed according to a screen location. For

example, the shift hours in the center section of the screen may be shortened, and shift hours may be lengthened in the vertical section of a screen. Moreover, shift hours may be changed for every frame. Moreover, it does not limit to choosing two or more continuous pixel line. For example, a \*\*\*\*\* pixel line may be chosen to a 1-pixel line. That is, the 1st pixel line and the 3rd pixel line are chosen as the 1st horizontal scanning period. It is the drive approach which chooses the 2nd pixel line and the 4th pixel line as the 2nd horizontal scanning period, chooses the 3rd pixel line and the 5th pixel line as the 3rd horizontal scanning period, and chooses the 4th pixel line and the 6th pixel line as the 4th horizontal scanning period. Of course, the drive approaches of choosing the 1st pixel line, the 3rd pixel line, and the 5th pixel line as the 1st horizontal scanning period are also technical criteria.

[0347] In addition, it cannot be overemphasized that combination of choosing the above direction of a laser shot and two or more pixel lines as coincidence is not limited only to the pixel configuration of drawing 1 R> 1, drawing 2 , and drawing 32 , and it can apply also to the pixel configuration of other current drive methods, such as drawing 38 which is the pixel configuration of a current mirror, drawing 42 R> 2, and drawing 50 . Moreover, it is applicable also to the pixel configuration of electrical-potential-difference drives, such as drawing 43 , drawing 51 , drawing 54 , and drawing 62 . That is, it is because an electrical-potential-difference program can be carried out good with the electrical-potential-difference value impressed to the same source signal line 18 if the property of TFT of the pixel upper and lower sides is in agreement.

[0348] In drawing 24 , when a write-in pixel line is eye (1) pixel line, as for gate signal line 17a, (1) and (2) are chosen (refer to drawing 25 ). That is, switching transistor 11b of a pixel line (1) and (2) and transistor 11c are ON states. Moreover, gate signal line 17b is the opposite phase of gate signal line 17a. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (1) and (2) is an OFF state at least, and corresponds. That is, it is in the astigmatism LGT condition 52. In addition, in drawing 24 , in order to reduce generating of a flicker, the viewing area 53 is divided into five.

[0349] Ideally, 2 pixels (line) transistor 11a is  $I_{wx} \times 5$  (in the case of  $N = 10$ ), respectively. That is, since it is  $K = 2$ , the current which flows to the source signal line 18 passes the current used as  $I_{wx} \times 5 = I_{wx} \times 10$  to the source signal line 18. And a 5 times as many current as this is programmed by the capacitor 19 of each pixel 16.

[0350] Since the pixel line chosen as coincidence is a 2-pixel line ( $K = 2$ ), two drive transistor 11a operates. That is, per pixel, and  $10 / 2 = 5$  times as many current as this flows to transistor 11a. In the source signal line 18, the current which added two program currents of transistor 11a flows.

[0351] For example, originally, it considers as the current  $I_d$  to write in and the current of  $I_{wx} \times 10$  is passed to the source signal line 18 at write-in pixel line 51a. Since the image data of normal is written in behind, write-in pixel line 51b is satisfactory. Pixel line 51b is the same display as 51a between 1H periods. Therefore, pixel line 51b chosen in order to make write-in pixel line 51a and a current increase is made into the non-display condition 52 at least. After the following 1H, gate signal line 17a (1) is un-choosing, and ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. Moreover, gate signal line 17a (3) is chosen as coincidence ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line (3) to the source signal line 18 toward the source driver 14. Thus, by operating, the image data of normal is held at a pixel line (1).

[0352] After the following 1H, gate signal line 17a (2) is un-choosing, and ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. Moreover, gate signal line 17a (4) is chosen as coincidence ( $V_{gl}$  electrical potential difference), and a program current flows from transistor 11a of the selected pixel line (4) to the source signal line 18 toward the source driver 14. Thus, by operating, the image data of normal is held at a pixel line (2). the above actuation and a 1-pixel line [ every ] shift (of course, you may shift two or more pixel line every.) For example, if it is a false interlace drive, it will shift two lines at a time. Moreover, one screen is rewritten from a viewpoint of image display by [ for which the same image may be written in two or more pixel lines ] scanning, carrying out.

[0353] Although it is the same as that of drawing 16 , in order to program with a 5 times as many current (electrical potential difference) as this to each pixel, by the drive approach of drawing 24 , the luminescence brightness of EL element 15 of each pixel becomes 5 times ideally. Therefore, the brightness of a viewing area 53 becomes 5 times from a predetermined value. What is necessary is just to let one fifth of the range of the display screen 1 be the non-display fields 52, including the write-in pixel line 51 so that you may illustrate to drawing 16 etc. in order to make this into predetermined brightness.

[0354] Two write-in pixel lines 51 (51a, 51b) are chosen, and sequential selection is made the lower side from the surface of Screen 50 so that it may illustrate to drawing 27 (also refer to drawing 26 ). In drawing 26 , the pixel lines 16a and 16b are chosen. However, 51b is lost, although it writes in and pixel line 51a exists like drawing 27 (b), if it comes to the lower side of a screen. That is, the pixel line only of one to choose is lost. Therefore, all the currents impressed to the source signal line 18 are written in pixel line 51a. Therefore, a twice as many current as this will be programmed by the pixel as compared with pixel line 51a.

[0355] To this technical problem, this invention forms the dummy pixel line 281 the lower side of Screen 50 so that it may illustrate to drawing 27 (b) (arrangement). Therefore, when a selection pixel line is chosen to the lower side of Screen 50, the last pixel line and the dummy pixel line 281 of Screen 50 are chosen. Therefore, the current as a convention is written in the write-in pixel line of drawing 27 (b).

[0356] Drawing 28 shows the condition of drawing 27 (b). When a selection pixel line is chosen to the pixel 16c line of the lower side of Screen 50 so that clearly [ in drawing 28 ], the last pixel line 281 of Screen 50 is chosen. The dummy pixel line 281 is arranged out of a viewing area 50. That is, or it does not switch on the light, the light is not made to switch on, or the dummy pixel line 281 is constituted so that it may not be visible as a display, even if it switches on the light. For example, if the contact hole of a pixel electrode and TFT11 is lost or EL film is not formed in a dummy pixel line, it is.

[0357] Although [ drawing 27 ] the dummy pixel (line) 281 is formed the lower side of Screen 50 (it forms and arranges), it does not limit to this. For example, when [ which is scanned from the lower side of a screen to the surface ] carrying out (vertical inversion scan), the dummy pixel line 281 should be formed also in the surface of Screen 50 so that it may illustrate to drawing 29 (b), so that it may illustrate to drawing 29 (a). That is, the dummy pixel line 281 is formed in each of the lower side for the surface of Screen 50 (arrangement). By constituting as mentioned above, it can respond now also to the vertical reversal scan of a screen. The above example was the case where coincidence selection of the 2-pixel line was made.

[0358] The method (refer to drawing 23 ) which does not limit to this and makes coincidence selection of the 5-pixel line is sufficient as this invention. That is, in a 5-pixel line coincidence drive, the dummy pixel line 281 should just be formed by four lines. The dummy pixel line configuration of this invention or a dummy pixel line drive is a method which uses at least one or more dummy pixel lines. Of course, it is desirable to use combining the dummy pixel line drive approach and N double pulse drive.

[0359] By the drive approach which chooses two or more pixel lines as coincidence, it becomes difficult to absorb the property variation of transistor 11a, so that the pixel line count chosen as coincidence increases. However, when a selection number falls, the current programmed to 1 pixel becomes large, and a big current will be passed to EL element 15. If the current passed to EL element 15 is large, EL element 15 will become easy to deteriorate.

[0360] Drawing 30 solves this technical problem. The fundamental concept of drawing 30 is the approach of choosing two or more pixel lines as coincidence, as drawing 22 and drawing 29 explained  $1/2H$  ( $1/2$  of a horizontal scanning period).  $1/2H$  ( $1/2$  of a horizontal scanning period) of after that combine the approach of choosing a 1-pixel line, as drawing 5 , drawing 13 , etc. explained. Thus, by constructing and uniting, the property variation of transistor 11a can be absorbed and homogeneity within a field can be made good more at high speed.

[0361] In drawing 30 , in order to give explanation easy, by the 1st period, a 5-pixel line is chosen as

coincidence, and in the 2nd period, it explains noting that a 1-pixel line is chosen. First, in the 1st period (1/2H of the first half), a 5-pixel line is chosen as coincidence so that it may illustrate to drawing 30 (a1). Since it explained using drawing 2222, this actuation is omitted. The current passed to the source signal line 18 as an example is made into 25 times of a predetermined value. Therefore, a 5 times as many current ( $25/5\text{-pixel line} = 5$ ) as this is programmed by transistor 11a (in the case of the pixel configuration of drawing 1) of each pixel 16. Since it is a 25 times as many current as this, the charge and discharge of the parasitic capacitance generated in the source signal line 18 etc. are carried out extremely for a short period of time. Therefore, the potential of the source signal line 18 turns into target potential for a short time, and it is programmed so that the terminal voltage of the capacitor 19 of each pixel 16 also passes a current 5 times. Impression time amount of a current is set to 1/2H (1/2 of 1 horizontal-scanning period) of the first half these 25 times.

[0362] Since, as for the 5-pixel line of a write-in pixel line, the same image data is written in with a natural thing, transistor 11d of a 5-pixel line is cost by the OFF state so that it may not display. Therefore, a display condition serves as drawing 30 (a2).

[0363] 1/2H period in the second half of a degree chooses a 1-pixel line, and performs a current (electrical potential difference) program. This condition is illustrated to drawing 30 R> 0 (b1). The current (electrical potential difference) program of the write-in pixel line 51a is carried out so that a 5 times as many current as this may be passed like the point. The current passed to each pixel by drawing 30 (a1) and drawing 30 (b1) is made the same, because change of the terminal voltage of the programmed capacitor 19 is made small and a target current can be passed more at a high speed.

[0364] That is, it brings close by drawing 30 (a1) to the value to which a sink flows to two or more pixels, and the current of an outline flows a current at a high speed. In this 1st phase, since it is programming by two or more transistor 11a, the error by the variation in a transistor has occurred to desired value. Only the pixel line which writes in and holds data in the 2nd next phase is chosen, and a perfect program is performed from the desired value of an outline to predetermined desired value.

[0365] In addition, since it is the same as that of examples, such as drawing 13, to scan the astigmatism LGT field 52 down from on a screen, and to also scan write-in pixel line 51a down from on a screen, explanation is omitted.

[0366] Drawing 31 is a drive wave for realizing the drive approach of drawing 30. 1H (1 horizontal-scanning period) consist of two phases so that it may understand by drawing 31. These two phases are changed by the ISEL signal. The ISEL signal is illustrated to drawing 31.

[0367] First, the ISEL signal is explained. The driver circuit 14 which carries out drawing 30 possesses the current output circuit A and the current output circuit B. Each current output circuit consists of DA circuits, OPEN amplifier, etc. which carry out the DA translation of the 8-bit gradation data. The current output circuit A consists of examples of drawing 30 so that a 25 times as many current as this may be outputted. On the other hand, the current output circuit B is constituted so that a 5 times as many current as this may be outputted. The switching circuit formed in the current-output section by the ISEL signal (arrangement) is controlled, and the output of the current output circuit A and the current output circuit B is impressed to the source signal line 18. This current output circuit is arranged at each source signal line.

[0368] The current output circuit A where an ISEL signal outputs a current 25 times at the time of L level is chosen, and the source driver IC 14 absorbs the current from the source signal line 18 (the current output circuit A formed in the source driver circuit 14 absorbs appropriately). Magnitude adjustment of current output circuit currents, such as 25 times and 5 times, is easy. It is because it can constitute from two or more resistance and an analog switch easily.

[0369] It writes in, as shown in drawing 30, and when a pixel line is eye (1) pixel line (see the column which is 1H of drawing 30), as for gate signal line 17a, (1), (2), (3), (4), and (5) are chosen (when it is the pixel configuration of drawing 1). That is, switching transistor 11b of a pixel line (1), (2), (3), (4), and (5) and transistor 11c are ON states. Moreover, since ISEL is L level, the current output circuit A which

outputs a current 25 times is chosen, and it connects with the source signal line 18. Moreover, OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17b. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (1), (2), (3), (4), and (5) is an OFF state, and corresponds. That is, it is in the astigmatism LGT condition 52.

[0370] Ideally, 5-pixel transistor 11a passes the current of  $I_{wx2}$  to the source signal line 18, respectively. And a 5 times as many current as this is programmed by the capacitor 19 of each pixel 16. Here, in order to make an understanding easy, it explains noting that the property ( $V_t$ , S value) of each transistor 11a corresponds.

[0371] Since the pixel line chosen as coincidence is a 5-pixel line ( $K=5$ ), five drive transistor 11a operates. That is, per pixel, and  $25 / 5 = 5$  times as many current as this flows to transistor 11a. In the source signal line 18, the current which added five program currents of transistor 11a flows. For example, when considering as the current  $I_w$  written in a pixel by the conventional drive approach at write-in pixel line 51a, the current of  $I_{wx25}$  is passed to the source signal line 18. In order to make the amount of currents to the write-in pixel line 51b source signal line 18 which writes in image data henceforth increase from a write-in pixel line (1), it is the pixel line used auxiliary. However, since the image data of normal is written in behind, write-in pixel line 51b is satisfactory.

[0372] Therefore, pixel line 51b is the same display as 51a between 1H periods. Therefore, pixel line 51b chosen in order to make write-in pixel line 51a and a current increase is made into the non-display condition 52 at least.

[0373] In the following  $1/2H$  ( $1/2$  of a horizontal scanning period), only write-in pixel line 51a is chosen. That is, only eye (1) pixel line is chosen. ON state voltage ( $V_{gl}$ ) is impressed for gate signal line 17a (1), and, as for gate signal line 17a (2), (3), (4), and (5), OFF ( $V_{gh}$ ) is impressed so that clearly [ in drawing 31 ]. Therefore, although transistor 11a of a pixel line (1) is operating state (condition which supplies the current to the source signal line 18), switching transistor 11b of a pixel line (2), (3), (4), and (5) and transistor 11c are OFF states. That is, it is in the condition of not choosing. Moreover, since ISEL is H level, the current output circuit B which outputs a current 5 times is chosen, and this current output circuit B and the source signal line 18 are connected. Moreover, the condition of gate signal line 17b does not have the previous condition of  $1/2H$ , and change, and OFF state voltage ( $V_{gh}$ ) is impressed. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (1), (2), (3), (4), and (5) is an OFF state, and corresponds. That is, it is in the astigmatism LGT condition 52.

[0374] From the above thing, transistor 11a of a pixel line (1) passes the current of  $I_{wx5}$  to the source signal line 18, respectively. And a 5 times as many current as this is programmed by the capacitor 19 of each pixel line (1).

[0375] In the next horizontal scanning period, a 1-pixel line and a write-in pixel line shift. That is, a write-in pixel line is (2) shortly. In the first period of  $1/2H$ , it writes in, as shown in drawing 31, and when a pixel line is eye (2) pixel lines, as for gate signal line 17a, (2), (3), (4), (5), and (6) are chosen. That is, switching transistor 11b of a pixel line (2), (3), (4), (5), and (6) and transistor 11c are ON states. Moreover, since ISEL is L level, the current output circuit A which outputs a current 25 times is chosen, and it connects with the source signal line 18. Moreover, OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17b. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (2), (3), (4), (5), and (6) is an OFF state, and corresponds. That is, it is in the astigmatism LGT condition 52. On the other hand, since the  $V_{gl}$  electrical potential difference is impressed, transistor 11d is an ON state and gate signal line 17 of pixel line (1) b (1) turns on EL element 15 of a pixel line (1).

[0376] Since the pixel line chosen as coincidence is a 5-pixel line ( $K=5$ ), five drive transistor 11a operates. That is, per pixel, and  $25 / 5 = 5$  times as many current as this flows to transistor 11a. In the source signal line 18, the current which added five program currents of transistor 11a flows.

[0377] In the following  $1/2H$  ( $1/2$  of a horizontal scanning period), only write-in pixel line 51a is chosen.

That is, only eye (2) pixel lines is chosen. ON state voltage ( $V_{gl}$ ) is impressed for gate signal line 17a (2), and, as for gate signal line 17a (3), (4), (5), and (6), OFF ( $V_{gh}$ ) is impressed so that clearly [ in drawing 31 ]. Therefore, although transistor 11a of a pixel line (1) and (2) is operating state (condition that in the pixel line (1) supply a current to EL element 15 and the sink and the pixel line (2) supply the current to the source signal line 18), switching transistor 11b of a pixel line (3), (4), (5), and (6) and transistor 11c are OFF states. That is, it is in the condition of not choosing. Moreover, since ISEL is H level, the current output circuit B which outputs a current 5 times is chosen, and this current output circuit 1222b and the source signal line 18 are connected. Moreover, the condition of gate signal line 17b does not have the previous condition of  $1/2H$ , and change, and OFF state voltage ( $V_{gh}$ ) is impressed. Therefore, the current is not flowing to EL element 15 of the pixel line which switching transistor 11d of a pixel line (2), (3), (4), (5), and (6) is an OFF state, and corresponds. That is, it is in the astigmatism LGT condition 52.

[0378] From the above thing, transistor 11a of a pixel line (2) passes the current of  $I_{wx5}$  to the source signal line 18, respectively. And a 5 times as many current as this is programmed by the capacitor 19 of each pixel line (2). One screen can be displayed by carrying out the above actuation one by one.

[0379] The drive approach explained by drawing 30 chooses a G pixel line (G is two or more) in the 1st period, and programs it in each pixel line to pass a N times as many current as this. It is the method programmed to choose a B pixel line (for it to be smaller than G and for B to be one or more) in the 2nd period after the 1st period, and to pass a N times as many current as this to a pixel.

[0380] However, there are other policies. A G pixel line (G is two or more) is chosen in the 1st period, and it programs so that the total current of each pixel line turns into a N times as many current as this. It is the method programmed so that a B pixel line (it is smaller than G and B is one or more) is chosen in the 2nd period after the 1st period and the current (current of a 1-pixel line when [ however, ] a selection pixel line is 1) of total of the selected pixel line becomes N times. For example, in drawing 30 R> 0 (a1), a 5-pixel line is chosen as coincidence and a twice as many current as this is passed to transistor 11a of each pixel. Therefore, to the source signal line 18, a  $5 \times 2$  times = 10 times as many current as this flows. In the 2nd next period, a 1-pixel line is chosen in drawing 30 (b1). To this 1-pixel transistor 11a, a 10 times as many current as this is passed.

[0381] In addition, in drawing 31 , although the period which chooses two or more pixel lines as coincidence was set to  $1/2H$  and the period which chooses a 1-pixel line was set to  $1/2H$ , it does not limit to this. It is good also considering the period which sets to  $1/4H$  the period which chooses two or more pixel lines as coincidence, and chooses a 1-pixel line as  $3/4H$ . Moreover, although the period which added the period which chooses two or more pixel lines as coincidence, and the period which chooses a 1-pixel line was set to  $1H$ , it is not limited to this. For example, you may be  $1.5H$  period also in  $2H$  period.

[0382] Moreover, in drawing 30 , though the period which chooses a 5-pixel line as coincidence is set to  $1/2H$  and a 2-pixel line is chosen as coincidence in the 2nd next period, it is good. Even in this case, convenient image display is realizable practically.

[0383] Moreover, in drawing 30 , although considered as two steps which set to  $1/2H$  the 1st period which chooses a 5-pixel line as coincidence, and set to  $1/2H$  the 2nd period which chooses a 1-pixel line, it does not limit to this. For example, it is good also as three phases which the 1st phase chooses a 5-pixel line as coincidence, and the 2nd period chooses a 2-pixel line among said 5-pixel lines, and finally choose a 1-pixel line. That is, you may also write image data in a pixel line in two or more phases.

[0384] By the N double pulse drive approach of the above this invention, by each pixel line, make the same the wave of gate signal line 17b, and it is made to shift at spacing of  $1H$ , and impresses. Thus, the pixel line to turn on can be shifted one by one, specifying the time amount which EL element 15 has turned on by scanning to one  $F/N$ . Thus, it is easy to realize to make the same the wave of gate signal line 17b, and to shift it in each pixel line. It is because what is necessary is just to control ST1 and ST2 which are data impressed to the shift register circuits 61a and 61b of drawing 6 . For example, if  $V_{gl}$  is outputted to gate signal line 17b when an input ST 2 is L level, and  $V_{gh}$  is outputted to gate signal line



17b when an input ST 2 is H level, only the period of 1 F/N inputs ST2 impressed to shift register 17b on L level, and makes it H level at other periods. This inputted ST2 is only shifted with the clock CLK2 which synchronized with 1H.

[0385] In addition, it is necessary to set to 0.5 or more msec the period which turns EL element 15 on and off. When this period was short, it will not be in a perfect black display condition with the after-image property of human being's eyes, but an image came to have faded, and resolution came to have fallen. Moreover, it will be in the display condition of the display panel of a data-hold mold. However, when an on-off period is set to 100 or more msec, it is visible to a flashing condition. Therefore, the on-off period of an EL element should be made 0.5 or more-msec 100 or less msec. The on-off period should be made still more preferably 2 or more-msec 30 or less msec. The on-off period should be made still more preferably 3 or more-msec 20 or less msec.

[0386] Although the number of partitions of the black screen 152 can realize a good movie display if it is set to one, a flicker of a screen becomes easy to be in sight. Therefore, it is desirable to divide the black insertion section into plurality. However, if the number of partitions is made [ many / too much ], animation dotage will occur. The number of partitions should carry out to eight or less [ 1 or more ]. It is desirable to carry out to five or less [ 1 or more ] still more preferably.

[0387] In addition, as for the number of partitions of a black screen, it is desirable to constitute so that it can change by the still picture and the animation. In  $N=4$ , 75% is a black screen and 25% of the number of partitions is image display. At this time, the number of partitions 1 scans 75% of black display in the vertical direction of a screen in the state of 75% of black obi. It is the number of partitions 3 which is scanned by 3 blocks of 25% of black screen, and 25/3% of display screen. A still picture makes [ many ] the number of partitions. An animation lessens the number of partitions. a change — an input image — responding — being automatic (animation detection etc.) — you may carry out and a user may carry out manually. Moreover, what is necessary is just to constitute so that it can change to the image of a display etc. and may be made it corresponding to an input plug socket.

[0388] For example, in a cellular phone etc., the number of partitions is made or more into ten by a wallpaper display and the input screen (you may turn on and off to every 1H extremely). When displaying the animation of NTSC, the number of partitions is made or less [ 1 or more ] into five. In addition, as for the number of partitions, it is desirable to constitute so that it can change to three or more multistage stories. For example, it is number-of-partitions nothing, 2, 4, 8, etc.

[0389] Moreover, when area of a full screen is set to 1, as for the rate of a black screen to all the display screens, it is desirable to carry out to 0.9 (for it to be nine or less [ 1.2 or more ], if it displays by N) or less [ 0.2 or more ]. Moreover, it is desirable to carry out to 0.6 (for it to be six or less [ 1.25 or more ], if it displays by N) especially or less [ 0.25 or more ]. The improvement effect in a movie display is low in it being 0.20 or less. The brightness for a display becomes it high that it is 0.9 or more, and it becomes that the amount of display moves up and down that it is easy to be recognized visually.

[0390] Moreover, as for the frame number per second, 100 (10Hz or more 100Hz or less) or less [ 10 or more ] are desirable. 65 (12Hz or more 65Hz or less) or less [ further 12 or more ] are desirable. When there are few frame numbers, a flicker of a screen comes to be conspicuous, if there are too many frame numbers, the writing from a driver circuit 14 etc. will become painful, and resolution will deteriorate.

[0391] Anyway, in this invention, the brightness of an image can be changed by control of the gate signal line 17. However, it cannot be overemphasized that you may carry out by the brightness of an image changing the current (electrical potential difference) impressed to the source signal line 18. Moreover, it cannot be overemphasized that you may carry out combining control of the gate signal (using drawing 33, drawing 35, etc.) line 17 explained previously and changing the current (electrical potential difference) impressed to the source signal line 18.

[0392] In addition, it cannot be overemphasized that the above matter can also apply the pixel configuration of electrical-potential-difference programs, such as a pixel configuration of current

programs, such as drawing 38 , drawing 43 , drawing 51 , and drawing 54 . What is necessary is to carry out transistor 11d in drawing 43 , and just to carry out on-off control of the transistor 11e for transistor 11d by drawing 51 at drawing 38 . Thus, N double pulse drive of this invention is easily realizable by turning on and off wiring which passes a current to EL element 15.

[0393] Moreover, the time of day which sets only the period of  $1/F/N$  of gate signal line 17b to  $V_{gl}$  is  $1F$  (it does not limit to  $1F$ ). It is good at a unit period. Any time of day is sufficient among periods. When only a predetermined period makes unit time amount turn on EL element 15 inside, it is because it is what obtains predetermined average luminance. Set gate signal line 17b to  $V_{gl}$  immediately, and make it however, better for EL element 15 to emit light in a current program period ( $1H$ ). It is because it is hard coming to win popularity the effect of the retention property of the capacitor 19 of drawing 1 .

[0394] Moreover, it is desirable to constitute so that it can carry out adjustable [ of the number of partitions of this image ]. For example, that a user pushes a brightness adjustment switch or by turning a brightness adjusting volume, this change is detected and the value of  $K$  is changed. You may constitute so that it may be manual or may be made to change with the contents of the image to display, and data automatically.

[0395] Thus, it is also easily realizable to change the value (number of partitions of the image display section 53) of  $K$ . the timing (when [ of  $1F$  ] is it made  $L$  level?) of the data impressed to ST in drawing 6 — adjustment — or it is because what is necessary is just to constitute so that it can carry out adjustable.

[0396] In addition, in drawing 16 , the period ( $1/F/N$ ) which sets gate signal line 17b to  $V_{gl}$  is divided into plurality (number of partitions  $K$ ), and although [ the period set to  $V_{gl}$  ] the period of  $1F/(K/N)$  is carried out  $K$  times, it is not this-limited.  $L$  ( $L=K$ ) time operation of the period of  $1F/(K/N)$  may be carried out. That is, this invention displays an image 50 by controlling the period (time amount) passed to EL element 15. Therefore, carrying out  $L$  ( $L=K$ ) time operation of the period of  $1F/(K/N)$  is included in the technical thought of this invention. Moreover, the brightness of an image 50 can be changed in digital one by changing the value of  $L$ . For example, by  $L=3$ , 50% of brightness (contrast) change is set to  $L=2$ . It cannot be overemphasized that these control is also applicable to other examples of this invention (of course, it is applicable also to this invention explained henceforth). These are also N double pulse drives of this invention. The above example was what gives an on-off indication of Screen 50 by arranging transistor 11d as a switching element between EL element 15 and transistor 11a for a drive (formation), and controlling this transistor 11d. It was what loses the current write-in lack in the black display condition of a current program method, and realizes good resolution or a black display by this drive approach. That is, it is important to realize a good black display by the current program method. The drive approach explained below resets transistor 11a for a drive, and realizes a good black display. Hereafter, the example is explained using drawing 32 .

[0397] Drawing 32 is the pixel configuration of drawing 1 fundamentally. With the pixel configuration of drawing 32 , programmed  $I_w$  current flows to EL element 15, and EL element 15 emits light. That is, drive transistor 11a holds the capacity to pass a current, by being programmed. The method which makes transistor 11a reset (OFF state) using the capacity to pass this current is a drive method of drawing 32 . Henceforth, this drive method is called a reset drive.

[0398] In order to realize a reset drive with the pixel configuration of drawing 1 , it is necessary to constitute so that the on-off control of transistor 11b and the transistor 11c can be carried out independently. That is, it enables it to control independently gate signal line 11a (gate signal line WR) which carries out on-off control of the transistor 11b so that it may illustrate by drawing 32 , and gate signal line 11c (gate signal line EL) which carries out on-off control of the transistor 11c. What is necessary is for two shift registers 61 which became independent so that it might illustrate to drawing 6 just to perform control of gate signal line 11a and gate signal line 11c.

[0399] The driver voltage of the gate signal line WR and the gate signal line EL is good to make it change. Amplitude value (difference of ON state voltage and OFF state voltage) of the gate signal line

WR is made smaller than the amplitude value of the gate signal line EL. If the amplitude value of a gate signal line is fundamentally large, it will run as a gate signal line and a pixel, an electrical potential difference will become large, and a black float will be generated. the potential of the source signal line 18 impresses the amplitude of the gate signal line WR to a pixel 16 — not having (it impressing (at the time of selection)) — what is necessary is just to control Since potential fluctuation of the source signal line 18 is small, amplitude value of the gate signal line WR can be made small. On the other hand, the gate signal line EL needs to carry out on-off control of EL. Therefore, amplitude value becomes large. Since it corresponds to this, output voltage with shift registers 61a and 61b is changed. the case where P pixels are formed by TFT — V<sub>gh</sub> (OFF state voltage) of shift registers 61a and 61b — abbreviation — it is made the same and V<sub>gl</sub> (ON state voltage) of shift register 61a is made lower than V<sub>gl</sub> (ON state voltage) of shift register 61b.

[0400] Hereafter, a reset drive method is explained, referring to drawing 33 . Drawing 33 is the principle explanatory view of a reset drive. First, transistor 11c and transistor 11d are made into an OFF state, and transistor 11b is made into an ON state so that it may illustrate to drawing 33 (a). Then, the drain (D) terminal of transistor 11a for a drive and a gate (G) terminal are short, and Ib current flows. Generally, a current program is carried out in the field in front of one (frame), and transistor 11a has the capacity to pass a current. If transistor 11d will be in an OFF state in this condition and transistor 11b makes it an ON state, the drive current Ib will flow for the gate (G) terminal of transistor 11a. Therefore, the gate (G) terminal of transistor 11a and a drain (D) terminal serve as the same potential, and transistor 11a is reset (condition of not passing a current).

[0401] The reset condition (condition of not passing a current) of this transistor 11a is equivalent to the condition of having held the offset voltage of the electrical-potential-difference offset canceller method explained by drawing 51 etc. That is, in the state of drawing 33 (a), offset voltage will be held between the terminals of a capacitor 19. This offset voltage is a different electrical-potential-difference value according to the property of transistor 11a. Therefore, to the capacitor 19 of each pixel, transistor 11a does not pass a current by operating drawing 33 (a) (that is, a black display current (equal to \*\*\*\*\* 0) will be held.).

[0402] In addition, it is desirable to carry out actuation of making transistor 11b and transistor 11c into an OFF state, making transistor 11d into an ON state, and passing a current to transistor 11a for a drive before actuation of drawing 33 (a). As for this actuation, it is desirable to carry out for a short time as much as possible. It is because there is a possibility of a current flowing to EL element 15, and EL element 15 lighting up to it, and reducing display contrast to it. As for this operating time, it is desirable to carry out 0.1% or more to 10% or less of 1H (1 horizontal-scanning period). It is desirable to make it become 2% or less 0.2% or more still more preferably. Or it is desirable to make it become below 5microsec more than 0.2microsec. Moreover, it may bundle up to the pixel 16 of a full screen, and the above-mentioned actuation (actuation performed before drawing 33 (a)) may be carried out. By carrying out the above actuation, the drain (D) terminal voltage of transistor 11a for a drive can fall, and smooth Ib current can be passed now in the state of drawing 33 (a). In addition, the above matter is applied to other reset drive methods of this invention.

[0403] Ib current flows and there is an inclination for the terminal voltage of a capacitor 19 to become small, so that operation time-amount of drawing 33 (a) is lengthened. Therefore, it is necessary to make operation time amount of drawing 33 (a) into a fixed value. As for the operation time amount of drawing 3333 (a), according to an experiment and examination, it is desirable to make it less than [ more than 1H5H ]. In addition, as for this period, it is desirable to make it differ by the pixel of R, G, and B. It is because EL ingredients differ by the pixel of each color and there is a difference in the standup electrical potential difference of this EL ingredient etc. By each pixel of RGB, it is adapted for EL ingredient and the optimal period is set up. In addition, in an example, although this period is made into less than [ more than 1H5H ], it cannot be overemphasized that you may be more than 5H in the drive method which is mainly concerned with black insertion (a black screen is written in). In addition, the

black display condition of a pixel becomes good, so that this period is long.

[0404] drawing 33 (a) — after operation and the period not more than 1H5H — it is and changes into the condition of drawing 33 (b). Drawing 33 (b) is in the condition of having made transistor 11c and transistor 11b turning on, and having made transistor 11d turning off. Although the condition of drawing 33 (b) was explained above, it is in the condition of performing the current program. That is, the program current  $I_w$  is outputted from the source driver circuit 14 (or absorption), and this program current  $I_w$  is passed to transistor 11a for a drive. The potential of the gate (G) terminal of transistor 11a for a drive is set up so that this program current  $I_w$  may flow (setting potential is held at a capacitor 19).

[0405] If the program current  $I_w$  is 0 (A), since transistor 11a becomes [ that the condition of not passing the current of drawing 33 (a) is held with as, and ] about a current, it can realize a good black display. Moreover, even if it is the case where the current program of a white display is performed by drawing 33 (b) and the property variation of the transistor for a drive of each pixel has occurred, a current program is completely performed from the offset voltage of a black display condition. Therefore, the time amount programmed by the target current value becomes equal according to gradation. Therefore, there is no gradation error by the property variation of transistor 11a, and good image display can be realized.

[0406] Turn off with transistor 11b and transistor 11c, transistor 11d is made to turn on, and a sink and EL element 15 are made for the program current  $I_w$  (=  $I_e$ ) from transistor 11 for drive a to emit light to EL element 15 so that it may illustrate to drawing 3333 (c) after current programming of drawing 33 (b). Also about drawing 33 (c), since drawing 1 etc. explained above, it omits for details.

[0407] That is, the drive method (reset drive) explained by drawing 33 Between transistor 11a for a drive and EL element 15 is cut (condition that a current does not flow). and the drain (D) terminal of the transistor for a drive and a gate (G) terminal (or a source (S) terminal and a gate (G) terminal —) 1st actuation which will short-circuit between 2 terminals containing the gate (G) terminal of the transistor for a drive if it expresses still more generally, and 2nd actuation which performs a current (electrical potential difference) program to the transistor for a drive after said actuation are carried out. And 2nd actuation at least is performed after the 1st actuation. In addition, like the configuration of drawing 32, in order to carry out a reset drive, it must constitute so that transistor 11b and transistor 11c can be controlled independently.

[0408] The pixel line an image display condition (supposing instant-change is observable) has a current program first performed will be in a reset condition (black display condition), and a current program will be performed after 1H (it is in a black display condition also at this time.). It is because transistor 11d is off. . Next, a current is supplied to EL element 15 and a pixel line emits light by predetermined brightness (programmed current). That is, the pixel line of a black display should move to down from on a screen, and it should seem that the image writes and replaces in the location which this pixel line passed. In addition, although a current program is performed after reset and 1H, this period is good also as within about 5H. It is because a long time is comparatively needed for reset of drawing 33 (a) being performed completely. 5H, then a 5-pixel line should serve as a black display (when the pixel line of a current program is also put in, it is a 6-pixel line) in this period.

[0409] moreover, a 1-pixel line every, it may not limit to carrying out and you may change a reset condition into a reset condition at two or more pixel line [ every ] coincidence. moreover, you may scan, changing into a reset condition and overlapping two or more pixel line [ every ] coincidence. If a 4-pixel line is reset to coincidence, for example, at the 1st horizontal scanning period (one unit) A pixel line (1), (2), (3), and (4) are changed into a reset condition, a pixel line (3), (4), (5), and (6) are changed into a reset condition at the 2nd next horizontal scanning period, and a pixel line (5), (6), (7), and (8) are further changed into a reset condition at the 3rd next horizontal scanning period. Moreover, the drive condition of changing a pixel line (7), (8), (9), and (10) into a reset condition at the 4th next horizontal scanning period is illustrated. In addition, naturally the drive condition of drawing 33 (b) and drawing 33 (c) is also carried out synchronizing with the drive condition of drawing 33 (a).

[0410] Moreover, after changing all the pixels of one screen into a reset condition in the state of a scan simultaneous, it cannot be overemphasized that the drive of drawing 33 (b) and (c) may be carried out. moreover, an interlace drive condition (interlaced scanning of a 1-pixel line or two or more pixel line) — a reset condition (a 1-pixel line or two or more pixel line jump) — even if — a good thing cannot be overemphasized. Moreover, a random reset condition may be carried out. Moreover, explanation of a reset drive of this invention is a method which operates a pixel line (that is, the vertical direction of a screen controls). However, as for the concept of a reset drive, the control direction is not limited to a pixel line. For example, it cannot be overemphasized that a reset drive may be carried out in the direction of a pixel train.

[0411] In addition, the reset drive of drawing 33 can realize still better image display combining with N double pulse drive of this invention etc., and by combining with an interlace drive. Especially the configuration of drawing 22 is an intermittent [ N/K twice as many as this ] pulse drive (it is the drive approach of establishing two or more lighting fields in one screen.). This drive approach controls gate signal line 17b, and can realize it easily by carrying out on-off control action of the transistor 11d. This explained above. Since it is easily realizable, there is also no generating of a flicker and good image display can be realized. This is the description which was excellent in drawing 22 or its deformation configuration. Moreover, it cannot be overemphasized that other drive approaches, for example, the reverse bias drive method explained [ subsequent ], a precharge drive method, and the image display that was further excellent by running and combining with an electrical-potential-difference drive method etc. are realizable. As mentioned above, it cannot be overemphasized that a reset drive as well as this invention can be carried out combining other examples of this specification.

[0412] Drawing 34 is the block diagram of the display which realizes a reset drive. Gate driver circuit 12a controls gate signal line 17a and gate signal line 17b in drawing 32 . On-off control of the transistor 11b is carried out by impressing an on-off electrical potential difference to gate signal line 17a. Moreover, on-off control of the transistor 11d is carried out by impressing an on-off electrical potential difference to gate signal line 17b. Gate driver circuit 12b controls gate signal line 17c in drawing 32 . On-off control of the transistor 11c is carried out by impressing an on-off electrical potential difference to gate signal line 17c.

[0413] Therefore, gate signal line 17a is operated by gate driver circuit 12a, and gate signal line 17c is operated by gate driver circuit 12b. Therefore, the timing which is made to turn on transistor 11b and resets transistor 11a for a drive, and the timing which is made to turn on transistor 11c and performs a current program to transistor 11a for a drive can be set up freely. The same as that of what was explained above, or since it is similar, other configurations etc. omit explanation.

[0414] Drawing 35 is the timing chart of a reset drive. When impress ON state voltage to gate signal line 17a, making transistor 11b turn on and having reset transistor 11a for a drive, OFF state voltage is impressed to gate signal line 17b, and transistor 11d is made into the OFF state. Therefore, it is in the condition of drawing 32 (a). Ib current flows at this period.

[0415] In the timing chart of drawing 35 , although the reset time is set to 2H (ON state voltage is impressed to gate signal line 17a, and transistor 11b turns on), it is not limited to this. More than 2H is sufficient. Moreover, when reset can carry out to a high speed extremely, a reset time may be less than [ 1H ]. Moreover, it can be easily changed in the DATA(ST) pulse period inputted into the gate driver circuit 12 into what H periods a reset period is made. For example, the reset period outputted in DATA inputted into ST terminal from H level [ between 2H periods ], then each gate signal line 17a turns into 2H period. Similarly, the reset period outputted in DATA inputted into ST terminal from H level [ between 5H periods ], then each gate signal line 17a turns into 5H period.

[0416] ON state voltage is impressed to gate signal line 17 of pixel line (1) c (1) after reset of 1H period. When transistor 11c turns on, the program current Iw impressed to the source signal line 18 is written in transistor 11a for a drive through transistor 11c.

[0417] OFF state voltage is impressed to gate signal line 17c of a pixel (1) after a current program,

transistor 11c turns off, and a pixel is separated from a source signal line. OFF state voltage is impressed also to gate signal line 17a, and the reset condition of transistor 11a for a drive is canceled by coincidence (it is more suitable to express it as a current program state in addition, rather than it expresses this period as a reset condition). Moreover, ON state voltage is impressed to gate signal line 17b, transistor 11d turns on, and the current programmed by transistor 11a for a drive flows to EL element 15. In addition, since it is the same as that of a pixel line (1) about a pixel line (2) or subsequent ones and the actuation is clear from drawing 35, explanation is omitted.

[0418] In drawing 35, the reset period was 1H period. Drawing 36 is the example which set the reset period to 5H. It can be easily changed in the DATA(ST) pulse period inputted into the gate driver circuit 12 into what H periods a reset period is made. In drawing 36, it is the example which 5H period carried out DATA inputted into ST1 terminal of gate driver circuit 12a between H level, and made the reset period outputted from each gate signal line 17a 5H period. Reset is performed completely and a reset period can realize a good black display, so that it is long. However, as for a part for the rate of a reset period, display brightness will fall.

[0419] Drawing 36 was the example which set the reset period to 5H. Moreover, this reset condition was the successive state. However, it is not limited to performing a reset condition continuously. For example, on-off control action of the signal outputted from each gate signal line 17a may be carried out to every 1H. Thus, it is easily realizable to carry out on-off control action by operating the enabling circuit (not shown) formed in the output stage of a shift register. Moreover, it is easily realizable by controlling the DATA (ST) pulse inputted into the gate driver circuit 12.

[0420] In the circuitry of drawing 34, at least two shift register circuits (one is an object for gate signal line 17a control, and other one is an object for gate signal line 17b control) were required for gate driver circuit 12a. Therefore, the technical problem that the circuit scale of gate driver circuit 12a became large occurred. Drawing 37 is the example which set the shift register of gate driver circuit 12a to one. The timing chart of an output signal which operated the circuit of drawing 37 becomes like drawing 35. In addition, since the notations of the gate signal line 17 by which drawing 35 and drawing 37 are outputted from the gate driver circuits 12a and 12b differ, cautions are required.

[0421] Although it is clear from OR circuit 371 of drawing 37 being added, the output of each gate signal line 17a takes OR with the preceding paragraph output of shift-register-circuit 61a, and is outputted. That is, ON state voltage is outputted from 2H period and gate signal line 17a. On the other hand, as for gate signal line 17c, the output of shift-register-circuit 61a is outputted as it is. Therefore, ON state voltage is impressed during 1H period.

[0422] For example, when H level signal is outputted to the 2nd of shift-register-circuit 61a, ON state voltage is outputted to gate signal line 17c of a pixel 16 (1), and a pixel 16 (1) is in the condition of a current (electrical potential difference) program. ON state voltage will be outputted also to gate signal line 17a of a pixel 16 (2), transistor 11b of a pixel 16 (2) will be in an ON state, and transistor 11a for a drive of a pixel 16 (2) is reset by coincidence.

[0423] Similarly, when H level signal is outputted to the 3rd of shift-register-circuit 61a, ON state voltage is outputted to gate signal line 17c of a pixel 16 (2), and a pixel 16 (2) is in the condition of a current (electrical potential difference) program. To coincidence, it is a pixel 16 (ON state voltage will be outputted also to gate signal line 17a of 3, pixel 16(3) transistor 11b will be in an ON state, and transistor 11a for pixel 16(3) drive is reset.). That is, from 2H period and gate signal line 17a, ON state voltage is outputted and 1H period and ON state voltage are outputted to gate signal line 17c.

[0424] at the time of a program state, transistor 11b and transistor 11c become coincidence with an ON state ( drawing 33 R> 3 (b)) — \*\* — if transistor 11c will be in an OFF state ahead of transistor 11b in case it shifts to a non-program state ( drawing 33 (c)), it will be in the reset condition of drawing 33 (b). In order to prevent with this, transistor 11c needs to make it an OFF state after transistor 11b. For that purpose, gate signal line 17a needs to control so that ON state voltage is impressed ahead of gate signal line 17c.



[0425] The above example was an example about the pixel configuration of drawing 32 (fundamentally drawing 1 R> 1). However, this invention is not limited to this. For example, even if it is the pixel configuration of a current mirror as shown in drawing 38, it can carry out. In addition, in drawing 38, N double pulse drive illustrated by drawing 13, drawing 15, etc. is realizable by carrying out on-off control of the transistor 11e. Drawing 39 is the explanatory view of the example in the pixel configuration of the current mirror of drawing 38 R> 8. Hereafter, the reset drive method in the pixel configuration of a current mirror is explained, referring to drawing 39.

[0426] Transistor 11c and transistor 11e are made into an OFF state, and transistor 11d is made into an ON state so that it may illustrate to drawing 39 (a). Then, the drain (D) terminal of transistor 11b for a current program and a gate (G) terminal are short, and as shown in drawing, Ib current flows. Generally, a current program is carried out in the field in front of one (frame), and transistor 11b has the capacity to pass a current (since 1F period maintenance is carried out and gate potential is performing image display to the capacitor 19, it is natural.). However, when the perfect black display is being performed, a current does not flow. If transistor 11e considers as an OFF state in this condition and transistor 11d makes it an ON state, the drive current Ib will flow in the direction of the gate (G) terminal of transistor 11a (a gate (G) terminal and a drain (D) terminal short-circuit). Therefore, the gate (G) terminal of transistor 11a and a drain (D) terminal serve as the same potential, and transistor 11a is reset (condition of not passing a current). Moreover, since the gate (G) terminal of transistor 11b for a drive is as common as the gate (G) terminal of transistor 11a for a current program, transistor 11b for a drive will also be in a reset condition.

[0427] The reset condition (condition of not passing a current) of this transistor 11a and transistor 11b is equivalent to the condition of having held the offset voltage of the electrical-potential-difference offset canceller method explained by drawing 51 etc. That is, in the condition of drawing 39 (a), it is offset voltage (starting potential to which a current begins to flow.) between the terminals of a capacitor 19. impressing the electrical potential difference more than the absolute value of this electrical potential difference — a transistor 11 — a current — flowing — it will be held. This offset voltage is a different electrical-potential-difference value according to the property of transistor 11a and transistor 11b. Therefore, the condition (that is, black display current (almost equal to 0)) that transistor 11a and transistor 11b do not pass a current to the capacitor 19 of each pixel will be held by operating drawing 39 (a) (reset by the starting potential to which a current begins to flow).

[0428] In addition, Ib current flows and there is an inclination for the terminal voltage of a capacitor 19 to become small, so that operation time amount of reset is lengthened like drawing 33 (a) also in drawing 39 (a). Therefore, it is necessary to make operation time amount of drawing 39 (a) into a fixed value. As for the operation time amount of drawing 39 (a), according to an experiment and examination, it is desirable to carry out to below or more [ 1 ] H10H (10 horizontal-scanning period). Furthermore, it is desirable to make it less than [ more than 1H5H ]. Or it is desirable to be referred to as 2 or less msec more than 20microsec. This is the same also in the drive method of drawing 33.

[0429] Although drawing 33 (a) is the same, when taking a synchronization and performing the reset condition of drawing 39 (a), and the current program state of drawing 39 (b), since the period from the reset condition of drawing 39 (a) to the current program state of drawing 39 (b) serves as a fixed value (constant value), it is satisfactory (made the fixed value). That is, it is desirable that the period from drawing 33 (a) or the reset condition of drawing 39 (a) to drawing 33 (b) or the current program state of drawing 39 (b) carries out to below or more [ 1 ] H10H (10 horizontal-scanning period). Furthermore, it is desirable to make it less than [ more than 1H5H ]. Or it is desirable to be referred to as 2 or less msec more than 20microsec. If this period is short, the transistor 11 for a drive will not be reset completely. Moreover, if too long, the transistor 11 for a drive will be in an OFF state completely, and it comes to take long duration to program a current shortly. Moreover, the brightness of Screen 50 also falls.

[0430] Drawing 39 (a) is changed after operation into the condition of drawing 39 (b). Drawing 39 (b) is in

the condition of having made transistor 11c and transistor 11d turning on, and having made transistor 11e turning off. The condition of drawing 39 (b) is in the condition of performing the current program. That is, the program current  $I_w$  is outputted from the source driver circuit 14 (or absorption), and this program current  $I_w$  is passed to transistor 11a for a current program. The potential of the gate (G) terminal of transistor 11b for a drive is set as a capacitor 19 so that this program current  $I_w$  may flow. [0431] If the program currents  $I_w$  are 0 (A) and (a black display), since transistor 11b becomes [ that the condition of not passing the current of drawing 33 (a) is held with as and ] about a current, it can realize a good black display. Moreover, when performing the current program of a white display by drawing 39 (b), even if the property variation of the transistor for a drive of each pixel has occurred, a current program is completely performed from the offset voltage (starting potential to which the current set up according to the property of each transistor for a drive flows) of a black display condition. Therefore, the time amount programmed by the target current value becomes equal according to gradation. Therefore, there is no gradation error by the property variation of transistor 11a or transistor 11b, and good image display can be realized.

[0432] Turn off with transistor 11c and transistor 11d, transistor 11e is made to turn on, and a sink and EL element 15 are made for the program current  $I_w (= I_e)$  from transistor 11 for drive b to emit light to EL element 15 so that it may illustrate to drawing 3939 (c) after current programming of drawing 39 (b). Also about drawing 39 (c), since it explained above, it omits for details.

[0433] The drive method (reset drive) explained by drawing 33 and drawing 39 cuts between transistor 11 for drive a or transistor 11b, and EL element 15 (condition that a current does not flow.). Carry out by transistor 11e or transistor 11d, and it carries out. the drain (D) terminal of the transistor for a drive, and a gate (G) terminal (or a source (S) terminal and a gate (G) terminal —) 1st actuation which will short-circuit between 2 terminals containing the gate (G) terminal of the transistor for a drive if it expresses still more generally, and 2nd actuation which performs a current (electrical potential difference) program to the transistor for a drive after said actuation are carried out. And 2nd actuation at least is performed after the 1st actuation. In addition, actuation of cutting between transistor 11 for drive a or transistor 11b in the 1st actuation, and EL element 15 is not necessarily indispensable conditions. It is because it may end with extent which the variation in some reset conditions generates even if it performs 1st actuation which short-circuits between the drain (D) terminal of the transistor for a drive, and (Gate G) terminal, without cutting between transistor 11 for drive a or transistor 11b in the 1st actuation, and EL element 15. This examines and determines the transistor characteristics of the produced array.

[0434] The pixel configuration of the current mirror of drawing 39 was the drive approach which resets transistor 11b for a drive as a result by resetting current program transistor 11a.

[0435] In the state of reset, it is not necessary to necessarily cut between transistor 11b for a drive, and EL element 15 with the pixel configuration of the current mirror of drawing 39. therefore, the drain (D) terminal of the transistor a for a current program and a gate (G) terminal (or a source (S) terminal and a gate (G) terminal —) The 1st actuation which will short-circuit between two terminals containing the gate (G) terminal of the transistor for a current program, or 2 terminals containing the gate (G) terminal of the transistor for a drive if it expresses still more generally, 2nd actuation which performs a current (electrical potential difference) program to the transistor for a current program is carried out. after said actuation. And 2nd actuation at least is performed after the 1st actuation.

[0436] The pixel line an image display condition (supposing instant-change is observable) has a current program first performed will be in a reset condition (black display condition), and a current program will be performed after predetermined [ H ]. The pixel line of a black display should move to down from on a screen, and it should seem that the image writes and replaces in the location which this pixel line passed.

[0437] Although the above example explained focusing on the pixel configuration of a current program, the reset drive of this invention is applicable also to the pixel configuration of an electrical-potential-

difference program. Drawing 43 is the explanatory view of the pixel configuration (panel configuration) of this invention for carrying out the reset drive in the pixel configuration of an electrical-potential-difference program.

[0438] With the pixel configuration of drawing 43, transistor 11e for carrying out the reset action of the transistor 11a for a drive is formed. Transistor 11e turns on and between the gate (G) terminal of transistor 11a for a drive and (Drain D) terminal is made to short-circuit by impressing ON state voltage to gate signal line 17e. Moreover, transistor 11d which cuts the current path of EL element 15 and transistor 11a for a drive is formed. Hereafter, the reset drive method of this invention in the pixel configuration of an electrical-potential-difference program is explained, referring to drawing 44.

[0439] Transistor 11b and transistor 11d are made into an OFF state, and transistor 11e is made into an ON state so that it may illustrate to drawing 44 (a). The drain (D) terminal of transistor 11a for a drive and a gate (G) terminal are short, and as shown in drawing, Ib current flows. Therefore, the gate (G) terminal of transistor 11a and a drain (D) terminal serve as the same potential, and transistor 11a for a drive is reset (condition of not passing a current). In addition, before resetting transistor 11a, as drawing 33 or drawing 39 explained, make transistor 11d turn on first, transistor 11e is made to turn off synchronizing with HD synchronizing signal, and the current is passed to transistor 11a. Then, drawing 44 (a) is operated.

[0440] The reset condition (condition of not passing a current) of this transistor 11a and transistor 11b is equivalent to the condition of having held the offset voltage of the electrical-potential-difference offset canceller method explained by drawing 41 etc. That is, in the state of drawing 44 (a), offset voltage (reset electrical potential difference) will be held between the terminals of a capacitor 19. This reset electrical potential difference is a different electrical-potential-difference value according to the property of transistor 11a for a drive. That is, the condition (that is, black display current (equal to \*\*\*\*\* 0)) that transistor 11a for a drive does not pass a current to the capacitor 19 of each pixel will be held by operating drawing 44 (a) (reset by the starting potential to which a current begins to flow).

[0441] In addition, also in the pixel configuration of an electrical-potential-difference program, like the pixel configuration of a current program, Ib current flows and there is an inclination for the terminal voltage of a capacitor 19 to become small, so that operation time amount of reset of drawing 44 (a) is lengthened. Therefore, it is necessary to make operation time amount of drawing 44 (a) into a fixed value. As for operation time amount, it is desirable to carry out to below or more [ 0.2 ] H5H (5 horizontal-scanning period). Furthermore, it is desirable to make it less than [ more than 0.5H4H ]. Or it is desirable to carry out to below 400microsec more than 2microsec.

[0442] Moreover, as for gate signal line 17e, it is desirable to carry out to gate signal line 17a of the pixel line of the preceding paragraph in common. That is, gate signal line 17e and gate signal line 17a of the pixel line of the preceding paragraph are formed in the short condition. This configuration is called a preceding paragraph gate control method. In addition, the gate signal line wave of the pixel line chosen from a view pixel line more than before 1H at least is used for a preceding paragraph gate control method. Therefore, it is not limited before a 1-pixel line. For example, transistor 11a for a drive of a view pixel may be reset using the signal wave form of the gate signal line in front of a 2-pixel line.

[0443] It is as follows if a preceding paragraph gate control method is indicated still more concretely. The pixel line to which its attention is paid considers as (N) pixel line, and the gate signal line sets to gate signal line 17e (N) and gate signal line 17a (N). A pixel line makes the pixel line of the preceding paragraph chosen before 1H a pixel (N-1) line, and the gate signal line sets it to gate signal line 17e (N-1) and gate signal line 17a (N-1). Moreover, the pixel line chosen after 1H next to a view pixel line considers as a pixel (N+1) line, and the gate signal line sets to gate signal line 17e (N+1) and gate signal line 17a (N+1).

[0444] In a \*\* (N-1) H period, if ON state voltage is impressed to gate signal line 17a (N-1) of a \*\* (N-1) pixel line, ON state voltage will be impressed to gate signal line 17 of (\*\* N) pixel line e (N). It is because gate signal line 17e (N) and gate signal line 17a (N-1) of the pixel line of the preceding

paragraph are formed in the short condition. Therefore, transistor 11b (N-1) of the pixel of a \*\* (N-1) pixel line turns on, and the electrical potential difference of the source signal line 18 is written in the gate (G) terminal of transistor 11a for a drive (N-1). In coincidence, transistor 11 of pixel of (\*\* N) pixel line e (N) turns on, between the gate (G) terminal of transistor 11 for drive a (N) and (Drain D) terminal short-circuits to it, and transistor 11 for drive a (N) is reset.

[0445] In the next \*\* (N) period of a \*\* (N-1) H period, if ON state voltage is impressed to gate signal line 17 of (\*\* N) pixel line a (N), ON state voltage will be impressed also to gate signal line 17e (N+1) of a \*\* (N+1) pixel line. Therefore, transistor 11 of pixel of (\*\* N) pixel line b (N) turns on, and the electrical potential difference currently impressed to the source signal line 18 is written in the gate (G) terminal of transistor 11 for drive a (N). In coincidence, transistor 11e (N+1) of the pixel of a \*\* (N+1) pixel line turns on, between the gate (G) terminal of transistor 11a for a drive (N+1) and (Drain D) terminal short-circuits to it, and transistor 11a for a drive (N+1) is reset.

[0446] Like the following, in the next \*\* (N+1) period of a (\*\* N) H period, if ON state voltage is impressed to gate signal line 17a (N+1) of a \*\* (N+1) pixel line, ON state voltage will be impressed also to gate signal line 17e (N+2) of a \*\* (N+2) pixel line. Therefore, transistor 11b (N+1) of the pixel of a \*\* (N+1) pixel line turns on, and the electrical potential difference currently impressed to the source signal line 18 is written in the gate (G) terminal of transistor 11a for a drive (N+1). In coincidence, transistor 11e (N+2) of the pixel of a \*\* (N+2) pixel line turns on, between the gate (G) terminal of transistor 11a for a drive (N+2) and (Drain D) terminal short-circuits to it, and transistor 11a for a drive (N+2) is reset.

[0447] By the preceding paragraph gate control method of the above this invention, 1H period and transistor 11a for a drive are reset, and an electrical-potential-difference (current) program is carried out after that.

[0448] Although drawing 33 (a) is the same, when taking a synchronization and performing the reset condition of drawing 44 (a), and the electrical-potential-difference program state of drawing 44 (b), since the period from the reset condition of drawing 44 (a) to the current program state of drawing 44 (b) serves as a fixed value (constant value), it is satisfactory (made the fixed value). If this period is short, the transistor 11 for a drive will not be reset completely. Moreover, if too long, transistor 11a for a drive will be in an OFF state completely, and it comes to take long duration to program a current shortly. Moreover, the brightness of Screen 12 also falls.

[0449] Drawing 44 (a) is changed after operation into the condition of drawing 44 (b). Drawing 44 (b) is in the condition of having made transistor 11b turning on and having made transistor 11e and transistor 11d turning off. The condition of drawing 44 (b) is in the condition of performing the electrical-potential-difference program. That is, a program electrical potential difference is outputted from the source driver circuit 14, and this program electrical potential difference is written in the gate (G) terminal of transistor 11a for a drive (the potential of the gate (G) terminal of transistor 11a for a drive is set as a capacitor 19). In addition, the case of an electrical-potential-difference program method does not need to make transistor 11d not necessarily turn off at the time of an electrical-potential-difference program.

Moreover, combining with N double pulse drive of drawing 13 R> 3, drawing 15, etc. or the above intermittent [ N/K twice as many as this ] pulse drives (it is the drive approach of establishing two or more lighting fields in one screen.) this drive approach carries out on-off control action of the transistor 11e. ~~easy being realizable if it is not necessary to carry out, transistor 11e is not required.~~

Since this explained above, it omits explanation.

[0450] When performing the configuration of drawing 43, or the electrical-potential-difference program of a white display by the drive approach of drawing 44, even if the property variation of the transistor for a drive of each pixel has occurred, an electrical-potential-difference program is completely performed from the offset voltage (starting potential to which the current set up according to the property of each transistor for a drive flows) of a black display condition. Therefore, the time amount programmed by the target current value becomes equal according to gradation. Therefore, there is no gradation error by the property variation of transistor 11a, and good image display can be realized.

[0451] Turn off transistor 11b, transistor 11d is made to turn on, and a sink and EL element 15 are made for the program current from transistor 11 for drive a to emit light to EL element 15 so that it may illustrate to drawing 4444 (c) after current programming of drawing 44 (b).

[0452] As mentioned above, the reset drive of this invention in the electrical-potential-difference program of drawing 43 First, the 1st actuation which is made to turn on transistor 11d first, is made to turn off transistor 11e synchronizing with HD synchronizing signal, and passes a current to transistor 11a, between transistor 11a and EL element 15 — cutting — and the drain (D) terminal of transistor 11a for a drive and a gate (G) terminal (or a source (S) terminal and a gate (G) terminal —) 2nd actuation which will short-circuit between 2 terminals containing the gate (G) terminal of the transistor for a drive if it expresses still more generally, and 3rd actuation which performs an electrical-potential-difference program to transistor 11a for a drive after said actuation are carried out.

[0453] In the above example, it carries out by making transistor 11d turn on and off, although the current passed to EL element 15 is controlled from drive transistor component 11a (in the case of the pixel configuration of drawing 1 ). In order to make transistor 11d turn on and off, it is necessary to scan gate signal line 17b, and in order to be a scan, a shift register 61 (gate circuit 12) is needed. However, a shift register 61 has a large scale and cannot carry out [ narrow picture frame ]-izing of it in having used the shift register 61 for control of gate signal line 17b. The method explained by drawing 40 solves this technical problem. In addition, it cannot be overemphasized that it is applicable even if they are other current program configurations (pixel configuration of a current mirror) which do not limit to this and were explained by drawing 38 etc., although this invention explains by illustrating the pixel configuration of the current program illustrated mainly to drawing 1 etc. Moreover, it cannot be overemphasized that it is applicable even if the technical concept turned on and off with a block is the pixel configuration of electrical-potential-difference programs, such as drawing 41 . Moreover, since this invention is a method which makes an intermission the current which flows to EL element 15, it cannot be overemphasized that it is combinable also with the method which impresses the reverse bias electrical potential difference explained by drawing 50 etc. As mentioned above, this invention can be carried out combining other examples. Drawing 40 is the example of a block drive method. First, in order to give explanation easy, the gate driver circuit 12 explains noting that it was directly formed in the substrate 71 or loads the gate driver IC 12 of a silicon chip into a substrate 71. Moreover, since a drawing becomes complicated, the source driver 14 and the source signal line 18 are omitted. Gate signal line 17a is connected with the gate driver circuit 12 in drawing 40 . On the other hand, gate signal line 17b of each pixel is connected with the lighting control line 401. In drawing 4040 , four gate signal line 17b is connected with the one lighting control line 401. In addition, blocking by four gate signal line 17b does not limit to this, and it cannot be overemphasized that you may be more than it. As for a viewing area 50, generally, it is desirable to divide or more into at least five. Dividing or more into ten is desirable still more preferably. Furthermore, dividing or more into 20 is desirable. A flicker can tend to be seen when there is little number of partitions. If there is too much number of partitions, the number of the lighting control line 401 will increase and the layout of the control line 401 will become difficult. Therefore, since the number of a vertical-scanning line is 220, it is necessary to block by  $220 / 5 = 44$  or more in the case of a QCIF display panel, and to block it by or more  $220 / 10 = 11$  preferably at least. However, when two blocking is performed by odd lines and even lines, since there is comparatively little generating of a flicker, two blocking may be enough also as a low frame rate. ON state voltage ( $V_{gl}$ ) is impressed one by one with the lighting control lines 401a, 401b, and 401c and 401d .... 401n, or OFF state voltage ( $V_{gh}$ ) is impressed, and the current which flows to EL element 15 for every block is made to turn on and off in the example of drawing 40  $R > 0$ . In addition, in the example of drawing 40 , gate signal line 17b and the lighting control line 401 do not cross. Therefore, the short defect of gate signal line 17b and the lighting control line 401 is not generated. Moreover, in order that gate signal line 17b and the lighting control line 401 may not carry out capacity coupling, the capacity addition when seeing the gate signal line 17b side from the lighting control line 401 is very small. Therefore, it is easy to drive

the lighting control line 401. Gate signal line 17a is connected to the gate driver 12. By impressing ON state voltage to gate signal line 17a, a pixel line is chosen, and the transistors 11b and 11c which are each selected pixel are turned on, and program the current (electrical potential difference) impressed to the source signal line 18 to the capacitor 19 of each pixel. On the other hand, gate signal line 17b is connected with the transistor 11d [ of each pixel ] gate (G) terminal. Therefore, when ON state voltage ( $V_{gl}$ ) is impressed to the lighting control line 401, the current path of drive transistor 11a and EL element 15 is formed and OFF state voltage ( $V_{gh}$ ) is impressed conversely, the anode terminal of EL element 15 is made open. In addition, as for the control timing of the on-off electrical potential difference impressed to the lighting control line 401, and the timing of the pixel line selection electrical potential difference ( $V_{gl}$ ) which the gate driver circuit 12 outputs to gate signal line 17a, it is desirable to synchronize with 1 horizontal-scanning clock (1H). However, it does not limit to this. The signal impressed to the lighting control line 401 makes the current to EL element 15 only turn on and off. Moreover, the image data and synchronization which the source driver 14 outputs do not need to be taken. It is because the signal impressed to the lighting control line 401 is what controls the current programmed by the capacitor 19 of each pixel 16. Therefore, the selection signal of a pixel line and the synchronization do not necessarily need to be taken. Moreover, even if it is the case where it synchronizes, a clock may not be limited to 1H signal and  $1/2H$  may be  $1/4H$ . Even if it is the case of the pixel configuration of the current mirror illustrated to drawing 38, the on-off control of the transistor 11e can be carried out by connecting gate signal line 17b to the lighting control line 401. Therefore, a block drive is realizable. In addition, in drawing 32, if it resets by connecting gate signal line 17a to the lighting control line 401, a block drive is realizable. That is, the block drive of this invention is the one control line, and is the drive approach which uses two or more pixel lines as an astigmatism LGT (or black display) at coincidence.

[0454] The above example was a configuration which arranges one selection pixel line for every 1-pixel line (formation). This invention may not be limited to this and may arrange one selector-gate signal line in two or more pixel lines (formation).

[0455] Drawing 41 is the example. In addition, in order to give explanation easy, a pixel configuration explains by mainly illustrating the case of drawing 1. In drawing 41, selector-gate signal-line 17a of a pixel line chooses three pixels (16R, 16G, 16B) as coincidence. The notation of R means red pixel relation, the notation of G shall mean green pixel relation and the notation of B shall mean blue pixel relation.

[0456] Therefore, pixel 16R, pixel 16G, and pixel 16B is chosen as coincidence by selection of gate signal line 17a, and will be in a data write-in condition by it. Pixel 16R writes data in capacitor 19R from source signal-line 18R, and pixel 16G write data in capacitor 19G from source signal-line 18G. Pixel 16B writes data in capacitor 19B from source signal-line 18B.

[0457] It connects with gate signal line 17bR transistor 11d of pixel 16R. Moreover, it connects with gate signal line 17bG transistor 11d of pixel 16G, and connects with gate signal line 17bB transistor 11d of pixel 16B. Therefore, on-off control of EL element 15R of pixel 16R, EL element 15G of pixel 16G, and the EL element 15 of pixel 16B B can be carried out separately. That is, EL element 15R, EL element 15G, and EL element 15B are controllable according to an individual in lighting time amount and a lighting period by controlling each gate signal line 17bR, 17bG, and 17bB.

[0458] In order to realize this actuation, in the configuration of drawing 6, it is appropriate to form four, the shift register circuit 61 which scans gate signal line 17a, the shift register circuit 61 which scans gate signal line 17bR, the shift register circuit 61 which scans gate signal line 17bG, and the shift register circuit 61 which scans gate signal line 17bB, (arrangement). in addition, the source signal line 18 — a twice [ N ] as many current as a predetermined current — a sink and EL element 15 — a twice [ N ] as many current as a predetermined current — the period of  $1-N$  — although passed, this is unrealizable practically. It is because the signal pulse impressed to the gate signal line 17 in fact runs to a capacitor 19 and a desired electrical-potential-difference value (current value) cannot be set as a



capacitor 19. Generally an electrical-potential-difference value (current value) lower than a desired electrical-potential-difference value (current value) is set to a capacitor 19. For example, even if it drives so that one 10 times the current value of this may be set up, only an about 5-time current is set to a capacitor 19. For example, the current which actually flows to EL element 15 also as  $N=10$  becomes the same as that of the case of  $N=5$ . therefore, this invention set up one times the current value of  $N$ , and was proportional  $N$  twice — it is — it is — it is the approach of driving a corresponding current so that it may flow to EL element 15. Or it is the drive approach of impressing a larger current than a request value to EL element 15 in the shape of a pulse. Moreover, the luminescence brightness of a desired EL element is obtained by making into an intermission the current which performs a current (electrical potential difference) program to drive transistor 11a (when illustrating drawing 1 ), and flows a current (current which will become higher than request brightness as it is if a current is passed succeeding EL element 15) to EL element 15 from a request value. In addition, the compensating circuit to this capacitor 19 depended for running is introduced in the source driver circuit 14. Forge-fire [ back ] explanation is given about this matter.

[0459] Moreover, as for the switching transistors 11b and 11c, such as drawing 1 , etc., forming by N channel is desirable. a capacitor 19 — it is because it runs and an electrical potential difference decreases. Moreover, since off leak of a capacitor 19 also decreases, it can apply also to a low frame rate 10Hz or less.

[0460] Moreover, when acting in the direction to which the current to which it runs depending on a pixel configuration, and an electrical potential difference flows to EL element 15 is made to increase, the white peak current increases and the feeling of contrast of image display increases. Therefore, good image display is realizable.

[0461] On the contrary, the approach of poking from that of using the switching transistors 11b and 11c of drawing 1 as P channels, making generate an omission, and indicating it good by black more is also effective. When P channel transistor 11b turns off, it becomes a  $V_{gh}$  electrical potential difference. Therefore, the terminal voltage of a capacitor 19 shifts a few to the  $V_{dd}$  side. Therefore, the gate (G) terminal voltage of transistor 11a rises, and serves as a black display more. Moreover, since the current value considered as the 1st gradation display can be enlarged (base current fixed by gradation 1 can be passed), it writes in by the current program method and the lack of a current can be mitigated.

[0462] In addition, the configuration which it forms and runs [ configuration ] through capacitor 19b positively, and makes an electrical potential difference increase between (Gate G) terminals of gate signal line 17a and transistor 11a is also effective (see drawing 42 (a)). As for the capacity of this capacitor 19b, it is desirable to carry out to  $1/10$  or less [ of the capacity of capacitor 19a of normal /  $1/50$  or more ]. It is desirable to carry out to  $1/15$  or less [  $1/40$  more or more ]. Or it takes 1 or more times for 10 or less times of the source-gate (source-drain (SG) or gate-drain (GD)) capacity of transistor 11b. It is desirable that it takes more than twice for 6 or less times of SG capacity still more preferably. In addition, the formation location of capacitor 19b may be formed or arranged between one terminal (gate (G) terminal of transistor 11a) of capacitor 19a, and transistor 11d (Source S) terminal. It is the same as that of the value which explained capacity etc. previously also in this case.

[0463] It runs and the capacity (capacity is set to  $C_b$  (pF)) of capacitor 19b for electrical-potential-difference generating passes the current in a black display for the capacity (referred to as capacity and calcium (pF)) of capacitor 19a for charge maintenance, and the gate (G) terminal voltage  $V_w$  at the time of the white peak current of transistor 11a (at the time [ Image display ] of the white raster of the display maximum brightness) (a current is 0 fundamentally.). That is, while considering as the black display by image display, the gate (G) terminal voltage  $V_b$  at the time is related. These relation is  $\text{calcium}/(200C_b)$ .  $\leq |V_w - V_b| \leq \text{calcium}/(8C_b)$

It is desirable to satisfy \*\*\*\*\*. In addition,  $|V_w - V_b|$  is the absolute value of the difference of the terminal voltage at the time of the white display of the transistor for a drive, and the terminal voltage at the time of a black display (that is, changing electrical-potential-difference width of face).

[0464] It is calcium/(100Cb) still more preferably.  $\leq |V_w - V_b| \leq \text{calcium}/(10C_b)$

It is desirable to satisfy \*\*\*\*\*.

[0465] Transistor 11b is used as P channels, and these P channels are carried out on double-gate \*\* at least. This better \*\* is carried out more than the triple gate. It is made the 4 or more gates still more preferably. And it is desirable to form or arrange a 10 or less times [ of the source-gate (SG or gate-drain (GD)) capacity (capacity when the transistor turns on) of transistor 11b ] capacitor to juxtaposition 1 or more times.

[0466] In addition, not only the pixel configuration of drawing 1 but other pixel configurations of the above matter are effective. For example, in the pixel configuration of a current mirror, the capacitor made to generate a thrust omission is arranged or formed between (Gate G) terminals of the gate signal lines 17a or 17b and transistor 11a so that it may illustrate to drawing 42 R> 2 (b). N channel of switching transistor 11c is made into a double-gate \*\* top. Or switching transistors 11c and 11d are used as P channels, and it carries out to more than the triple gate.

[0467] If it is in the configuration of the electrical-potential-difference program of 41, it runs between (Gate G) terminals of gate signal line 17c and transistor 11a for a drive, and capacitor 19c for electrical-potential-difference generating is formed or arranged. Moreover, switching transistor 11c carries out to more than the triple gate. It runs and capacitor 19c for electrical-potential-difference generating may be arranged between the drain (D) terminal (capacitor 19b side) of transistor 11c, and gate signal line 17a. Moreover, it runs and capacitor 19c for electrical-potential-difference generating may be arranged between the gate (G) terminal of transistor 11a, and gate signal line 17a. Moreover, it runs and capacitor 19c for electrical-potential-difference generating may be arranged between the drain (D) terminal (capacitor 19b side) of transistor 11c, and gate signal line 17c.

[0468] moreover, the capacity of capacitor 19a for charge maintenance — calcium — carrying out — transistors [ for switching / 11c or 11d ] source-gate capacitance  $C_c$  (when it runs and there is a capacitor of business) When it considers as the value which applied the capacity, it considers as the high-voltage signal ( $V_{gh}$ ) impressed to a gate signal line and it considers as the low-battery signal ( $V_{gl}$ ) impressed to a gate signal line, a good black display can be realized by constituting so that the following conditions may be satisfied.

[0469]  $0.05 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / \text{calcium}) \leq 0.8 \text{ (V)}$

It is desirable to satisfy the following conditions still more preferably.

[0470]  $0.1 \text{ (V)} \leq (V_{gh} - V_{gl}) \times (C_c / \text{calcium}) \leq 0.5 \text{ (V)}$

The above matter is effective also in pixel configurations, such as drawing 43. With the pixel configuration of the electrical-potential-difference program of drawing 4343, it runs between the gate (G) terminal of transistor 11a, and gate signal line 17a, and capacitor 19b for electrical-potential-difference generating is formed or arranged.

[0471] In addition, capacitor 19b which it runs [ b ] and generates an electrical potential difference is formed with the source wiring of a transistor, and gate wiring. However, the source width of face of a transistor 11 may be expanded, and since it is the gate signal line 17 and the configuration formed in piles, they may be a transistor and an inseparable configuration practically clearly.

[0472] Moreover, the methods which run and constitute capacitor 19b for electrical potential differences seemingly are also the criteria of this invention by forming greatly beyond the need switching transistors 11b and 11c (in the case of the configuration of drawing 1). Switching transistors 11b and 11c are formed in many cases by channel width  $W$  / channel length  $L = 6 / 6$  micrometers. Enlarging this with  $W$  will also run and capacitor 19b for electrical potential differences will be constituted. For example, the configuration which makes the ratio of  $W:L$  20:1 or less [ 2:1 or more ] is illustrated. Preferably, it is good to make the ratio of  $W:L$  or less [ 3:1 or more ] into 10:1.

[0473] Moreover, it runs and, as for capacitor 19b for electrical potential differences, it is desirable to change magnitude (capacity) by R, G, and B which a pixel modulates. It is because the drive currents of each EL element 15 of R, G, and B differ. Moreover, it is because the cut-off voltage of EL element 15

differs. Therefore, it is because the electrical potential differences (current) programmed for the gate (G) terminal of transistor 11a for a drive of EL element 15 differ. For example, when capacitor 11bR of the pixel of R is set to 0.02pF, capacitor 11bG of other colors (pixel of G and B) and 11bB are set to 0.025pF. Moreover, when capacitor 11bR of the pixel of R is set to 0.02pF, it is being referred to as capacitor 11bG of the pixel of G, and 0.03pF, and setting capacitor 11bB of the pixel of B to 0.025pF etc. Thus, the drive current of offset can be adjusted for every RGB from that of changing the capacity of capacitor 11b for every pixel of R, G, and B. Therefore, black display level of each RGB can be made into an optimum value.

[0474] Although [ the above. ] it runs and the capacity of capacitor 19b for electrical-potential-difference generating is changed, it runs, and it runs through an electrical potential difference with capacitor 19a for maintenance, and its capacity with capacitor 19b for electrical-potential-difference generating is relative. Therefore, capacitor 19b is not limited to changing by the pixel of R, G, and B. That is, the capacity of capacitor 19a for maintenance may be changed. For example, when capacitor 11aR of the pixel of R is set to 1.0pF, it is being referred to as capacitor 11aG of the pixel of G, and 1.2pF, and setting capacitor 11aB of the pixel of B to 0.9pF etc. this time — running — business — let capacity of capacitor 19b be a common value by R, G, and B. Therefore, it runs through this invention with capacitor 19a for maintenance, and a capacity factor with capacitor 19b for electrical-potential-difference generating is changed among the pixels of R, G, and B, and it changes [ this invention ] at least one with others. In addition, it may run with the capacity of capacitor 19a for maintenance, and both capacity with capacitor 19b for electrical-potential-difference generating may be changed by R, G, and B pixels.

[0475] Moreover, it may run in right and left of Screen 50, and the capacity of capacitor 19b for electrical potential differences may be changed. Since the pixel 16 in the location near a gate driver 12 is arranged at the signal supply side, and the standup of a gate signal is quick (it is because the slew rate is high), it runs and an electrical potential difference becomes large. The signal wave form of the pixel arranged at gate signal line 17 edge (formation) has become blunt (it is because there is capacity in the gate signal line 17). Since the standup of a gate signal is late (a slew rate is late), it is because it runs and an electrical potential difference becomes small. Therefore, the pixel 16 near a connection side with a gate driver 12 runs, and capacitor 19b for electrical potential differences is made small. Moreover, gate signal line 17 edge enlarges capacitor 19b. For example, the capacity of a capacitor is changed about 10% by right and left of a screen.

[0476] It generates and runs, and it runs through an electrical potential difference with capacitor 19a for maintenance, and it is determined by the capacity factor of capacitor 19b for electrical-potential-difference generating. Therefore, although it runs in right and left of a screen and the magnitude of capacitor 19b for electrical-potential-difference generating is changed, it does not limit to this. It runs, and capacitor 19b for electrical-potential-difference generating may be fixed by right and left of a screen, and may change the capacity of capacitor 19a for charge maintenance by right and left of a screen. Moreover, it cannot be overemphasized that it may run and both capacitor 19b for electrical-potential-difference generating and the capacitor 19a capacity for charge maintenance may be changed by right and left of a screen.

[0477] Although the current impressed to the technical problem of N double-pulse drive of this invention at EL element 15 is instant-like, there is a problem that it is N times larger as compared with the former. If a current is large, the life of an EL element may be reduced. In order to solve this technical problem, it is effective to impress the reverse bias electrical potential difference  $V_m$  to EL element 15.

[0478] In EL element 15, an electron hole is also injected into an electron hole transportation layer from an anode plate (anode) at the same time an electron is injected into an electronic transportation layer from cathode (cathode). The poured-in electron and an electron hole are moved to a counter electrode by impression electric field. In that case, into an organic layer, a trap is carried out or a carrier is accumulated by the difference of the energy level in a luminous layer interface.

[0479] If space charge is accumulated into an organic layer, causing the fall of brightness and the rise of the driver voltage at the time of a constant current drive by deterioration of membrane quality is known for the radical anion molecule or radical cation molecule with which it was oxidized or returned and the molecule was generated being unstable. In order to prevent this, device structure is changed as an example and reverse voltage is impressed.

[0480] If a reverse bias electrical potential difference is impressed, since a reverse current will be impressed, the electron and electron hole which were poured in are drawn out to cathode and an anode plate, respectively. Thereby, the space charge formation in an organic layer is canceled, and it becomes possible to lengthen a life by suppressing electrochemical degradation of a molecule.

[0481] Drawing 45 shows change of the reverse bias electrical potential difference  $V_m$  and the terminal voltage of EL element 15. This terminal voltage is a time of impressing the rated current to EL element 15. Although drawing 45  $R > 5$  was the case where the currents passed to EL element 15 were current density 100A / square meter, the inclination of drawing 45 did not almost have a difference with the case of current density 50–100A / square meter. Therefore, it is presumed that it is applicable with the current density of the large range.

[0482] An axis of ordinate is a ratio with the terminal voltage of 2500 hours after to the terminal voltage of early EL element 15. For example, in elapsed time 0 hour, terminal voltage when the current of current density 100A / square meter impresses sets to 8 (V), and the terminal voltage of 10 (V), then a terminal voltage ratio when the current of current density 100A / square meter impresses is  $10 / 8 = 1.25$  in elapsed time 2500 hours.

[0483] An axis of abscissa is the ratio of the reverse bias electrical potential difference  $V_m$  and the rated terminal voltage  $V_0$  to the product of time amount  $t_1$  which impressed the reverse bias electrical potential difference to one period. For example, it is  $t_1 = 0.5$  if the time amount which is 60Hz (there is especially no semantics in 60Hz), and impressed the reverse bias electrical potential difference  $V_m$  is  $1/2$  (one half). Moreover, in elapsed time 0 hour, terminal voltage (rated terminal voltage) when the current of current density 100A / square meter impresses sets to 8 (V), and is set to 8 (V), then  $| \text{reverse bias electrical-potential-difference } xt_1 | / (\text{rated terminal voltage } xt_2) = |-8(V) \times 0.5| / (8(V) \times 0.5) = 1.0$  in the reverse bias electrical potential difference  $V_m$ .

[0484] According to drawing 45,  $| \text{reverse bias electrical-potential-difference } xt_1 | / (\text{rated terminal voltage } xt_2)$  of change of a terminal voltage ratio is lost or more by 1.0 (it does not change from early rated terminal voltage). The effectiveness by impression of the reverse bias electrical potential difference  $V_m$  is often demonstrated. However,  $| \text{reverse bias electrical-potential-difference } xt_1 | / (\text{rated terminal voltage } xt_2)$  tends to increase a terminal voltage ratio or more by 1.75. Therefore,  $| \text{reverse bias electrical-potential-difference } xt_1 | / (\text{rated terminal voltage } xt_2)$  is good to determine that the magnitude and the impression time amount ratio  $t_1$  (or ratio of  $t_2$ , or  $t_1$  and  $t_2$ ) of the reverse bias electrical potential difference  $V_m$  will carry out to 1.0 or more. Moreover,  $| \text{reverse bias electrical-potential-difference } xt_1 | / (\text{rated terminal voltage } xt_2)$  is good preferably to determine that magnitude, the impression time amount ratio  $t_1$ , etc. of the reverse bias electrical potential difference  $V_m$  will become 1.75 or less.

[0485] However, to perform a bias drive, it is necessary to impress a reverse bias  $V_m$  and the rated current by turns. If it is going to make equal average luminance per unit time amount with Samples A and B like drawing 46, to impress a reverse bias electrical potential difference, it is necessary to pass a current high in instant as compared with the case where it does not impress. Therefore, the terminal voltage of EL element 15 in the case (the sample A of drawing 46) of impressing the reverse bias electrical potential difference  $V_m$  also becomes high.

[0486] However, in drawing 45, it considers as the terminal voltage (that is, terminal voltage which turns on EL element 15) with which are satisfied of average luminance with the rated terminal voltage  $V_0$  also by the drive approach of impressing a reverse bias electrical potential difference (according to the example of this specification, it is terminal voltage when the current of current density 200A / square

meter impresses.). However, since it is 1/2 duty, the average luminance of one period turns into brightness in current density 200A / square meter.

[0487] The above matter assumes white raster display for EL element 15 (when maximum current is being impressed to the EL element of the whole screen). However, when performing graphic display of EL display, it is natural drawing and a gradation display is performed. Therefore, it is the white peak current (current which flows by the maximum white display.) of EL element 15 continuously. By the example of this specification, the current of average current density 100A / square meter is not flowing.

[0488] The current (flowing current) generally impressed to each EL element 15 when performing graphic display is the white peak current (current which flows at the time of rated terminal voltage.). According to the example of this specification, it is about 0.2 times the current of current density 100A / square meter.

[0489] Therefore, in the example of drawing 45 , when performing graphic display, 0.2 shall be applied to the value of an axis of abscissa. Therefore,  $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$  is good to determine that the magnitude and the impression time amount ratios  $t_1$  of the reverse bias electrical potential difference  $V_m$  (or ratio of  $t_2$ , or  $t_1$  and  $t_2$  etc.) will carry out to 0.2 or more. Moreover,  $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$  is good preferably to determine like that magnitude, the impression time amount ratio  $t_1$ , etc. of the reverse bias electrical potential difference  $V_m$  will become less than  $[ 1.75 \times 0.2 = 0.35 ]$ .

[0490] That is, in the axis of abscissa ( $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$ ) of drawing 45, it is necessary to set the value of 1.0 to 0.2. Therefore, an image is displayed on a display panel (this busy condition will be usual.). When always not displaying a white raster, it is made to impress the reverse bias electrical potential difference  $V_m$  predetermined time  $t_1$  so that  $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$  may become larger than 0.2. Moreover, even if the value of  $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$  becomes large, the increment in a terminal voltage ratio is not large so that it may illustrate by drawing 45. Therefore, what is necessary is for a upper limit to also take carrying out white raster display into consideration, and just to make it the value of  $| \text{reverse bias electrical-potential-difference } x_{t1} | / (\text{rated terminal voltage } x_{t2})$  satisfy 1.75 or less.

[0491] Hereafter, the reverse bias method of this invention is explained, referring to a drawing. In addition, this invention is based on impressing the reverse bias electrical potential difference  $V_m$  (current) to the period when the current is not flowing to EL element 15. However, it does not limit to this. For example, the reverse bias electrical potential difference  $V_m$  may be compulsorily impressed to EL element 15 in the condition that the current is flowing. In addition, in this case, to EL element 15, a current will not flow as a result, but it will be in the astigmatism LGT condition (black display condition). Moreover, although this invention explains impressing the reverse bias electrical potential difference  $V_m$  mainly with the pixel configuration of a current program as a core, it is not limited to this.

[0492] With the pixel configuration of a reverse bias drive, let transistor 11g be N channel so that you may illustrate to drawing 47. Of course, P channels are sufficient.

[0493] In drawing 47, by making it higher than the electrical potential difference which is impressing the electrical potential difference impressed to the gate potential control line 473 to the reverse bias line 471, transistor 11g (N) turns on and the reverse bias electrical potential difference  $V_m$  is impressed to the anode electrode of EL element 15.

[0494] Moreover, in the pixel configuration of drawing 47 etc., the voltage clamp of the gate potential control line 473 may always be carried out, and it may be operated. For example, when  $V_k$  electrical potential difference sets to 0 (V) in drawing 47, potential of the gate potential control line 473 is carried out more than 0 (V) (preferably more than 2 (V)). In addition, this potential is set to  $V_{sg}$ . In this condition, if potential of the reverse bias line 471 is made into the reverse bias electrical potential difference  $V_m$  (it is a small electrical potential difference more than -5 (V) from  $V_k$  preferably below 0 (V)), transistor 11g (N) will turn on and the reverse bias electrical potential difference  $V_m$  will be

impressed to the anode of EL element 15. Since transistor 11g is an OFF state when the electrical potential difference of the reverse bias line 471 is made higher than the electrical potential difference (that is, transistor 11g gate (G) terminal voltage) of the gate potential control line 473, the reverse bias electrical potential difference  $V_m$  is not impressed to EL element 15. Of course, it cannot be overemphasized that it is good in this condition also considering the reverse bias line 471 as hi-z states (opening condition etc.).

[0495] Moreover, gate driver circuit 12c which controls the reverse bias line 471 may be separately formed or arranged so that it may illustrate to drawing 48. The shift action of the gate driver circuit 12c is carried out one by one like gate driver circuit 12a, and the location which impresses a reverse bias electrical potential difference is shifted synchronizing with a shift action.

[0496] By the above drive approach, the voltage clamp of the transistor 11g gate (G) terminal can be carried out, it can only change the potential of the reverse bias line 471, and can impress the reverse bias electrical potential difference  $V_m$  to EL element 15. Therefore, impression control of the reverse bias electrical potential difference  $V_m$  is easy. Moreover, the electrical potential difference impressed between a transistor 11g gate (G) terminal and (Source S) terminal can be reduced. This is also the same as when transistor 11g is P channels.

[0497] Moreover, impression of the reverse bias electrical potential difference  $V_m$  is performed while not passing the current to EL element 15. Therefore, what is necessary is just to carry out by making transistor 11g turn on, when transistor 11d does not turn on. That is, what is necessary is just to impress the reverse of transistor 11d on-off logic to the gate potential control line 473. For example, what is necessary is just to connect a gate (G) terminal (transistor 11d and transistor 11g) to gate signal line 17b in drawing 47. Transistor 11d is P channels, and since transistor 11g is N channel, it becomes opposite [ on-off control action ].

[0498] Drawing 49 is the timing chart of a reverse bias drive. In addition, in the chart Fig., suffixes, such as (1) and (2), show the pixel line. Although it explains noting that it is indicated with (1) as eye the 1st pixel line and eye the 2nd pixel line is indicated to be (2) in order to give explanation easy, it does not limit to this. (1) may show eye N pixel line and it may think that (2) shows eye N+1-pixel line. The above thing is the same, removing a special case at other examples. Moreover, in the examples, such as drawing 49, although explained by illustrating pixel configurations, such as drawing 1, it is not limited to this. For example, also in pixel configurations, such as drawing 41 and drawing 38, it is applicable.

[0499] When ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17 of eye 1st pixel line a (1), OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17 of eye 1st pixel line b (1). That is, transistor 11d, it is off and the current is not flowing to EL element 15.

[0500] A  $V_{sl}$  electrical potential difference (electrical potential difference which transistor 11g turns on) is impressed to the reverse bias line 471 (1). Therefore, transistor 11g turns on and the reverse bias electrical potential difference is impressed to EL element 15. After OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17b, as for a reverse bias electrical potential difference, a reverse bias electrical potential difference is impressed in a predetermined period (1/200 or more periods which are 1H, or 0.5microsec). Moreover, a reverse bias electrical potential difference is turned off before the predetermined period (1/200 or more periods which are 1H, or 0.5microsec) when ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b. This is for avoiding that transistor 11d and transistor 11g become coincidence with ON.

[0501] OFF state voltage ( $V_{gh}$ ) is impressed to gate signal line 17a, and the 2nd pixel line is chosen as the next horizontal scanning period (1H). That is, ON state voltage is impressed to gate signal line 17b (2). On the other hand, ON state voltage ( $V_{gl}$ ) is impressed to gate signal line 17b, transistor 11d turns on, a current flows from transistor 11a to EL element 15, and EL element 15 emits light. Moreover, OFF state voltage ( $V_{sh}$ ) is impressed to the reverse bias line 471 (1), and a reverse bias electrical potential difference ceases to be impressed to EL element 15 of the 1st pixel line (1). A  $V_{sl}$  electrical potential difference (reverse bias electrical potential difference) is impressed to the reverse bias line 471 of the



2nd pixel line (2).

[0502] the above actuation — one by one — \*\*\*\*\* — the image of one screen is rewritten by things. It was the configuration of impressing a reverse bias electrical potential difference to the period currently programmed by each pixel in the above example. However, the circuitry of drawing 48 is not limited to this. It is also clear that a reverse bias electrical potential difference can be impressed succeeding two or more pixel lines. Moreover, it is clear that it is combinable also with a block drive (refer to drawing 40), N double pulse drive and a reset drive, and a dummy pixel drive. Although the above example was the case of the pixel configuration of drawing 1, in other configurations, it cannot be overemphasized that it is applicable to the configuration which impresses reverse bias electrical potential differences, such as drawing 38 and drawing 41. For example, drawing 50 is the pixel configuration of a current program method.

[0503] Drawing 50 is the pixel configuration of a current mirror. Transistor 11c is a pixel selection component. Transistor 11c turns on by impressing ON state voltage to the gate signal line 17a1. Transistor 11d is a switching device which has a reset function and the function which carries out short [ of between the (Drain D)–(gate G) terminals of transistor 11a for a drive ] (GD short-circuit). It turns on transistor 11d by impressing ON state voltage to the gate signal line 17a2.

[0504] Transistor 11d, it turns on in front more than 1H (1 horizontal-scanning period, i.e., a 1-pixel-line) that an applicable pixel chooses. It is made to turn on before 3H preferably. Transistor 11d turns on before 3H, then 3H, and the gate (G) terminal of transistor 11a and a drain (D) terminal short-circuit. Therefore, transistor 11a turns off. Therefore, a current will not flow to transistor 11b and EL element 15 serves as an astigmatism LGT.

[0505] When EL element 15 is in an astigmatism LGT condition, transistor 11g turns on and a reverse bias electrical potential difference is impressed to EL element 15. therefore, the period when, as for the reverse bias electrical potential difference, transistor 11d is turned on — it will be impressed. Therefore, it will turn on in coincidence transistor 11d and transistor 11g in logic.

[0506] A  $V_{sg}$  electrical potential difference is impressed and the transistor 11g gate (G) terminal is being fixed. Transistor 11g turns on the reverse bias line 471 by impressing a reverse bias electrical potential difference smaller enough than a  $V_{sg}$  electrical potential difference to the reverse bias line 471.

[0507] Then, if the horizontal scanning period when a video signal is impressed to said applicable pixel (written in) comes, ON state voltage is impressed to the gate signal line 17a1, and transistor 11c turns on. Therefore, the video-signal electrical potential difference outputted to the source signal line 18 from the source driver circuit 14 is impressed to a capacitor 19 (the ON state is maintained transistor 11d).

[0508] It will become a black display if transistor 11d is made to turn on. The rate of a black display period becomes long, so that the transistor 11d "on" period occupied at 1 field (one frame) period becomes long. Therefore, even if a black display period exists, in order to make average luminance of the 1 field (one frame) into a request value, it is necessary to make the brightness of a display period high. That is, it is necessary to enlarge with the current passed to EL element 15 at a display period. This actuation is N double pulse drive of this invention. Therefore, it is one characteristic actuation of this invention to combine N double pulse drive and the drive which is made to turn on transistor 11d and is considered as a black display. Moreover, EL element 15 is in an astigmatism LGT condition, and it is the characteristic configuration (method) of this invention to impress a reverse bias electrical potential difference to EL element 15.

[0509] In the above example, although it was the method with which a pixel impresses a reverse bias electrical potential difference at the time of an astigmatism LGT at the time of image display, the configuration which impresses a reverse bias electrical potential difference is not limited to this. If a reverse bias electrical potential difference is impressed for an image non-display, it is not necessary to form TFT11g for reverse biases in each pixel. At the time of an astigmatism LGT, after ending use of a display panel, it is the configuration of impressing a reverse bias electrical potential difference before use.

[0510] For example, in the pixel configuration of drawing 1, a pixel 16 is chosen (TFT11b and TFT11c are made to turn on), and from the source driver (circuit) IC 14, the low electrical potential difference  $V_0$  (for example, GND electrical potential difference) which can output the source driver IC is outputted, and it is impressed by the drain terminal (D) of TFT11a for a drive. If TFT11d is also made to turn on in this condition,  $V_0$  electrical potential difference will be impressed to the anode terminal of EL coincidence — the cathode  $V_k$  of EL element 15 —  $V_0$  electrical potential difference — receiving  $-5 - 15$  (V) — if a low electrical-potential-difference  $V_m$  electrical potential difference is impressed, a reverse bias electrical potential difference will be impressed to EL element 15. moreover, a  $V_{dd}$  electrical potential difference —  $V_0$  electrical potential difference —  $0 - -5$  (V) — TFT11a will also be in an OFF state by impressing a low electrical potential difference. An electrical potential difference can be outputted from the source driver circuit 14 as mentioned above, and a reverse bias electrical potential difference can be impressed to EL element 15 by controlling the gate signal line 17.

[0511] Even if N double pulse drive indicates by black once within 1 field (one frame) period, it can pass a predetermined current (programmed current (based on the electrical potential difference currently held at the capacitor 19)) to EL element 15 again. However, once transistor 11d turns on with the configuration of drawing 50, the charge of a capacitor 19 is a current (the programmed current cannot be passed.) predetermined to EL element 15, in order to discharge (reduction is included). However, there is the description that circuit actuation is easy.

[0512] In addition, although the pixel of the above example was the pixel configuration of a current program, this invention cannot be limited to this and can be applied also to the pixel configuration of other current system like drawing 38 and drawing 50. Moreover, the pixel configuration of an electrical-potential-difference program which is illustrated to drawing 51, drawing 54, and drawing 62 is also applicable.

[0513] Drawing 51 is the pixel configuration of the general easiest electrical-potential-difference program. Transistor 11b is a selection switching element, and it is the transistor for a drive to which transistor 11a impresses a current to EL element 15. With this configuration, transistor (switching element) 11g for reverse bias electrical-potential-difference impression is arranged to the anode of EL element 15 (formation).

[0514] With the pixel configuration of drawing 51, the current passed to EL element 15 is impressed to the source signal line 18, and is impressed to the gate (G) terminal of transistor 11a by choosing transistor 11b.

[0515] First, in order to explain the configuration of drawing 51, basic actuation is explained by using drawing 52. The pixel configuration of drawing 51 is a configuration of an electrical-potential-difference offset canceller, and operates in four steps, initialization actuation, a reset action, program actuation, and luminescence actuation.

[0516] Initialization actuation is carried out after a Horizontal Synchronizing signal (HD). ON state voltage is impressed to gate signal line 17b, and transistor 11g turns on. Moreover, ON state voltage is impressed also to gate signal line 17a, and transistor 11c turns on. At this time, a  $V_{dd}$  electrical potential difference is impressed to the source signal line 18. Therefore, a  $V_{dd}$  electrical potential difference will be impressed to a terminal of capacitor 19b. In this condition, transistor 11a for a drive turns on and few currents flow to EL element 15. The drain (D) terminal of transistor 11a for a drive serves as an electrical-potential-difference value of a bigger absolute value at least than the operating point of transistor 11a according to this current.

[0517] Next, a reset action is carried out. OFF state voltage is impressed to gate signal line 17b, and transistor 11e turns off. On the other hand, the period of T1 and ON state voltage are impressed to gate signal line 17c, and transistor 11b turns on. This period of T1 is a reset period. Moreover, to gate signal line 17a, ON state voltage is continuously impressed during 1H. In addition, as for T1, it is desirable to consider as the period of 90% or less 20% or more of 1H period. Or it is desirable to consider as the time amount below 160microsec more than 20microsec. Moreover, as for the ratio of the capacity of

capacitor 19b (Cb) and capacitor 19a (calcium), it is desirable to consider as less than [ more than Cb:calcium=6:1 1:2 ].

[0518] In a reset period, between the gate (G) terminal of transistor 11a for a drive and (Drain D) terminal short-circuits by ON of transistor 11b. Therefore, the gate (G) terminal voltage of transistor 11a and drain (D) terminal voltage become equal, and transistor 11a will be in an offset condition (reset condition: condition that a current does not flow). This reset condition is in the condition that the gate (G) terminal of transistor 11a becomes near the starting potential which begins to pass a current. The gate voltage which maintains this reset condition is held at b terminal of capacitor 19b. Therefore, offset voltage (reset electrical potential difference) will be held at the capacitor 19.

[0519] In the following program state, OFF state voltage is impressed to gate signal line 17c, and transistor 11b turns off. On the other hand, the period of Td and a DATA electrical potential difference are impressed to the source signal line 18. Therefore, that to which DATA electrical-potential-difference + offset voltage (reset electrical potential difference) was applied is impressed to the gate (G) terminal of transistor 11a for a drive. Therefore, transistor 11a for a drive can pass the programmed current now.

[0520] OFF state voltage will be impressed to gate signal line 17a in a program period, transistor 11c will be in an OFF state, and transistor 11a for a drive is separated from the source signal line 18. Moreover, OFF state voltage is impressed also to gate signal line 17c, transistor 11b turns off, and, as for this OFF state, period maintenance of 1F is carried out. On the other hand, ON state voltage and OFF state voltage are periodically impressed to gate signal line 17b if needed. That is, still better image display is realizable combining with N double pulse drive of drawing 13, drawing 15, etc., and by combining with an interlace drive.

[0521] By the drive method of drawing 52, the initiation current potential (offset voltage, reset electrical potential difference) of transistor 11a is held in the state of reset at a capacitor 19. Therefore, the time of this reset electrical potential difference being impressed to the gate (G) terminal of transistor 11a is in the darkest black display condition. however, coupling of the source signal line 18 and a pixel 16 and a capacitor 19 — running — an electrical potential difference or a transistor — running — a black float (contrast fall) is generated. Therefore, by the drive approach explained by drawing 53, display contrast cannot be made high.

[0522] In order to impress the reverse bias electrical potential difference Vm to EL element 15, it is necessary to make transistor 11a turn off. What is necessary is just to short-circuit between the Vdd terminal of transistor 11a, and (Gate G) terminal, in order to make transistor 11a turn off. This configuration is explained by using drawing 53 behind.

[0523] Moreover, the electrical potential difference which makes the source signal line 18 turn off Vdd electrical-potential-difference or transistor 11a is impressed, and transistor 11b may be made to turn on and you may make it impressed by the gate (G) terminal of transistor 11a. Transistor 11a turns off with this electrical potential difference (or it changes into the condition that a current hardly flows (abbreviation OFF state: transistor 11a high impedance condition)). Then, transistor 11g is made to turn on and a reverse bias electrical potential difference is impressed to EL element 15. Impression of this reverse bias electrical potential difference Vm may be performed to all pixel coincidence. That is, the electrical potential difference which carries out abbreviation OFF of the transistor 11a is impressed to the source signal line 18, and transistor 11b of all pixel lines (plurality) is made to turn on. Therefore, transistor 11a turns off. Then, transistor 11g is made to turn on and a reverse bias electrical potential difference is impressed to EL element 15. Then, one by one, a video signal is impressed to each pixel line, and an image is displayed on a display.

[0524] Next, the reset drive in the pixel configuration of drawing 51 is explained. Drawing 53 is the example. Gate signal line 17a connected to the gate (G) terminal of transistor 11c of pixel 16a as shown in drawing 53 is connected also to the gate (G) terminal of transistor 11b for reset of next step pixel 16b. Similarly, gate signal line 17a connected to the gate (G) terminal of transistor 11c of pixel 16b is

connected to the gate (G) terminal of transistor 11b for reset of next step pixel 16c.

[0525] Therefore, if ON state voltage is impressed to gate signal line 17a connected to the gate (G) terminal of transistor 11c of pixel 16a, while pixel 16a will be in an electrical-potential-difference program state, transistor 11b for reset of next step pixel 16b turns on, and transistor 11a for a drive of pixel 16b will be in a reset condition. If similarly ON state voltage is impressed to gate signal line 17a connected to the gate (G) terminal of transistor 11c of pixel 16b, while pixel 16b will be in a current program state, transistor 11b for reset of next step pixel 16c turns on, and transistor 11a for a drive of pixel 16c will be in a reset condition. Therefore, the reset drive by the preceding paragraph gate control method is easily realizable. Moreover, the drawer number of the gate signal line per each pixel can be decreased.

[0526] It explains in more detail. Suppose that the electrical potential difference is impressed to the gate signal line 17 like drawing 53 (a). That is, suppose that ON state voltage is impressed to gate signal line 17 of pixel 16a, and OFF state voltage is impressed to gate signal line 17a of other pixels 16. Moreover, OFF state voltage is impressed to Pixels 16a and 16b, and gate signal line 17b presupposes that ON state voltage is impressed to Pixels 16c and 16d.

[0527] Pixel 16a is an electrical-potential-difference program state, and, for astigmatism LGT and pixel 16b, lighting and 16d of pixels of astigmatism LGT and pixel 16c are in a lighting condition in the state of maintenance of a program current in the state of maintenance of a program current in the state of reset in this condition.

[0528] After 1H, the data in the shift register circuit 61 of the gate driver circuit 12 for control carry out 1 bit shift, and will be in the condition of drawing 53 (b). Pixel 16a of the condition of drawing 53 (b) is in a program current maintenance condition, and, for lighting and pixel 16b, an astigmatism LGT and 16d of pixels of astigmatism LGT and pixel 16c are in a lighting condition in the state of program maintenance in the state of reset in a current program state.

[0529] The above thing shows that transistor 11a for a drive of the pixel of the next step is reset by the electrical potential difference of gate signal line 17a by which each pixel was impressed to the preceding paragraph, and an electrical-potential-difference program is performed one by one with it at the next horizontal scanning period.

[0530] The pixel configuration of the electrical-potential-difference program illustrated to drawing 43 can also realize a preceding paragraph gate control. Drawing 54 is the example which considered the pixel configuration of drawing 43 as connection of a preceding paragraph gate control method.

[0531] Gate signal line 17a connected to the gate (G) terminal of transistor 11b of pixel 16a as shown in drawing 54 is connected to the gate (G) terminal of transistor 11e for reset of next step pixel 16b. Similarly, gate signal line 17a connected to the gate (G) terminal of transistor 11b of pixel 16b is connected to the gate (G) terminal of transistor 11e for reset of next step pixel 16c.

[0532] Therefore, if ON state voltage is impressed to gate signal line 17a connected to the gate (G) terminal of transistor 11b of pixel 16a, while pixel 16a will be in an electrical-potential-difference program state, transistor 11e for reset of next step pixel 16b turns on, and transistor 11a for a drive of pixel 16b will be in a reset condition. If similarly ON state voltage is impressed to gate signal line 17a connected to the gate (G) terminal of transistor 11b of pixel 16b, while pixel 16b will be in a current program state, transistor 11e for reset of next step pixel 16c turns on, and transistor 11a for a drive of pixel 16c will be in a reset condition. Therefore, the reset drive by the preceding paragraph gate control method is easily realizable.

[0533] It explains in more detail. Suppose that the electrical potential difference is impressed to the gate signal line 17 like drawing 55 (a). That is, suppose that ON state voltage is impressed to gate signal line 17 of pixel 16a, and OFF state voltage is impressed to gate signal line 17a of other pixels 16. Moreover, all transistor 11g for reverse biases presupposes that it is an OFF state.

[0534] For electrical-potential-difference program state and pixel 16b, in this condition, the maintenance condition of a program current and 16d of pixels of reset condition and pixel 16c are [ pixel 16a ] in the

maintenance condition of a program current.

[0535] After 1H, the data in the shift register circuit 61 of the gate driver circuit 12 for control carry out 1 bit shift, and will be in the condition of drawing 55 (b). For program current maintenance condition and pixel 16b, a reset condition and 16d of pixels of current program state and pixel 16c are [ the condition of drawing 55 (b) / pixel 16a ] in a program maintenance condition.

[0536] The above thing shows that transistor 11a for a drive of the pixel of the next step is reset by the electrical potential difference of gate signal line 17a by which each pixel was impressed to the preceding paragraph, and an electrical-potential-difference program is performed one by one with it at the next horizontal scanning period.

[0537] Henceforth, the source driver (circuit) IC 14 of the current drive method of this invention is explained. First, an example of the driver circuit of the conventional current drive method is shown in drawing 72. However, it is [ for such a current driver IC not existing but explaining the source driver IC of the current drive method of this invention ] theoretic.

[0538] In drawing 72, 721 is a D/A converter. A n-bit data signal is inputted into D/A converter 721, and an analog signal is outputted to it from a D/A converter based on the inputted data. This analog signal is inputted into an operational amplifier 722. An operational amplifier 722 is inputted into N channel transistor 631a, and the current which flows to transistor 631a flows to resistance 691. The terminal voltage of Resistance R serves as - input of an operational amplifier 722, and the electrical potential difference of this - terminal and + terminal of an operational amplifier 722 serve as the same electrical potential difference. Therefore, the output voltage of D/A converter 721 turns into terminal voltage of resistance 691.

[0539] Now, the resistance of resistance 691 sets to 1 M omega, and if the output of D/A converter 721 is 1 (V), for resistance 691, the current of  $1(V)/1M\text{-}\omega=1$  (muA) will flow. This serves as a current regulator circuit. Therefore, according to the value of a data signal, the analog output of D/A converter 721 changes and a predetermined current flows at resistance 691 based on a value to this analog output.

[0540] A transistor 631p1 and 631p2 constitute current Miller circuit. In addition, transistor 631p is a P channel mold transistor. On the other hand, 633n is a n channel mold transistor which constitutes a current mirror. Since the same current as the source-drain (SD) of transistor 631a for a drive flows, the same current value also as the current Miller circuit which consists of 631p1 and 631p2 flows and the same current value also as the current Miller circuit which consists of each transistor 633n flows, it becomes output terminals O1, O2, O3, O4, and O5 and the constant current output terminal to which, as for ..., the same current flows (when a current scale factor is equal).

[0541] However, the electrical characteristics of each component, such as a transistor formed on a semiconductor chip even if IC is manufactured based on the same process from the same mask, and resistance, differ, and even if the output current of a driver IC is the same IC, dispersion during each output will exist between constant current output terminals. In this case, if dispersion arises in the output current value of each constant current output terminal, dispersion will arise in the amount of luminescence of a light emitting device etc., and display unevenness will be produced in a display panel. Therefore, when using a driver IC 14 and driving light emitting devices, such as an organic electroluminescence display panel, it is necessary to make dispersion between constant current output terminals into the minimum as much as possible.

[0542] This invention is made in view of this point, and offers the current drive mold driver IC (circuit) 14 which has the circuitry for making output current dispersion between constant current output terminals into the minimum as much as possible, and a layout configuration.

[0543] The block diagram of the source driver (circuit) IC 14 of the current drive method of this invention is shown in drawing 63. Drawing 1 shows the multistage type current Miller circuit at the time of considering a current source as a three-step configuration (631, 632, 633) as an example.

[0544] In drawing 63, the current value of the current source 631 of the 1st step is copied to the 2nd step current source 632 of N individual (however, N integer of arbitration) by current Miller circuit.

Furthermore, the current value of the 2nd step current source 632 is copied to the M 3rd step current sources (however, M integer of arbitration) 633 by current Miller circuit. The current value of the 1st step current source 631 will be copied to the 3rd step current source 633 of a NxM individual as a result by this configuration.

[0545] For example, it becomes 176 outputs when driving by one driver IC 14 to the source signal line 18 of the display panel of a QCIF format (since a source signal line is [ 176 \*\*\*\*s ] required of each RGB). In this case, N is made into 16 pieces and they may be M= 11 pieces. It carries out, and backlash is set to  $16 \times 11 = 176$  and can respond to 176 outputs. Thus, the layout design of the current source of a driver IC becomes easy by making one side into 8, 16, or its multiple among N or M.

[0546] In the source driver IC of the conventional current drive method (it assumes by imagination), since the current value of the 1st step current source 631 was copied to the 3rd step current source of a direct NxM individual in current Miller circuit, when the difference arose in the transistor characteristics of the 1st step current source 631, and the transistor characteristics of the 3rd step current source, it became dispersion in a current value as it is, became the display unevenness of a display panel, and had appeared. Since, especially as for the source driver IC 14, width of face is carrying out the long and slender configuration of about 20mm in die length by about 2mm, at a center section and both ends, dispersion in transistor characteristics is large and is considered that such a problem is remarkable.

[0547] Since the current value of the 1st step current source 631 was not copied to the 3rd step current source 633 of a direct NxM individual in current Miller circuit but the 2nd step current source 632 is arranged in the middle as described above to this technical problem by the source driver (circuit) IC 14 of the current drive method by the multistage type current Miller circuit of this invention, it is possible to absorb dispersion in transistor characteristics there.

[0548] Especially this invention has the description in the place which is close and arranges current Miller circuit (current source 632) to the current Miller circuit (current source 631) of the 1st step, and the 2nd step. From the current source 631 of the 1st step, if it is the current source 633 (that is, two-step configuration of current Miller circuit) of the 3rd step, there is much number of the current source 633 of the 2nd step connected with the current source of the 1st step, and it cannot be [ the current source ] close and arrange the current source 631 and the current source 633 of the 3rd step whose number is the 1st.

[0549] It is the configuration which copies the current of the current Miller circuit (current source 631) of the 1st step to the current Miller circuit (current source 632) of the 2nd step, and copies the current of the current Miller circuit (current source 632) of the 2nd step to the 3rd step like the source driver circuit 14 of this invention in current Miller circuit (current source 632). There is little number of the current Miller circuit (current source 632) of the 2nd step connected to the current Miller circuit (current source 631) of the 1st step with this configuration. Therefore, things can perform it being close and arranging the current Miller circuit (current source 631) of the 1st step, and the current Miller circuit (current source 632) of the 2nd step.

[0550] If the transistor which is close and constitutes current Miller circuit can be arranged, since dispersion in a transistor decreases with a natural thing, the variation in the current value copied will also decrease. Moreover, the number of the current Miller circuit (current source 633) of the 3rd step connected to the current Miller circuit (current source 632) of the 2nd step also decreases. Therefore, things can perform it being close and arranging the current Miller circuit (current source 632) of the 2nd step, and the current Miller circuit (current source 633) of the 3rd step.

[0551] That is, as a whole, it is close and the transistor of the current reception section of the current Miller circuit (current source 631) of the 1st step, the current Miller circuit (current source 632) of the 2nd step, and the current Miller circuit (current source 633) of the 3rd step can be arranged. Therefore, since the transistor which is close and constitutes current Miller circuit can be arranged, dispersion in a transistor decreases and the variation in the current signal from an output terminal decreases extremely



(precision is high).

[0552] In addition, in this example, since it was easy, the three-step configuration explained multistage type current Miller circuit, but as this number of stages is large, it cannot be overemphasized that current dispersion of the source driver IC 14 of a current drive mold display panel becomes small. Therefore, the number of stages of current Miller circuit may not be limited to three steps, and may be three or more steps.

[0553] In this invention, it is expressed as current sources 631, 632, and 633, or is expressed as current Miller circuit. These are used for homonymy. That is, a current source is the fundamental construct of this invention, and is because it will become current Miller circuit if a current source is constituted concretely. Therefore, the current circuit which consists of combination of an operational amplifier 722, a transistor 631, and Resistance R so that it may not limit only to current Miller circuit and may illustrate to drawing 72 is sufficient as a current source.

[0554] Drawing 64 is structural drawing of the still more concrete source driver (circuit) IC 14. Drawing 64 is illustrating the part of the 3rd current source 633. That is, it is the output section connected to one source signal line 18. As a current mirror configuration of the last stage, it consists of current Miller circuits (current source 634 (one unit)) of two or more same sizes, and bit weighting of the number is carried out corresponding to the bit of image data.

[0555] In addition, the transistor which constitutes the source driver (circuit) IC 14 of this invention may not be limited to an MOS type, and a bipolar type is sufficient as it. Moreover, not the thing to limit to a silicon semi-conductor but a gallium arsenide semi-conductor may be used. Moreover, a germanium semiconductor may be used. Moreover, what was directly formed in the substrate with the low-temperature polish recon technique may be used.

[0556] Although it is clear at drawing 64, the case of a 6-bit digital input is illustrated as one example of this invention. That is, since it is the 6th power of 2, they are 64 gradation displays. Since red (R), green (G), and blue (B) are 64 gradation each by loading this source driver IC 14 into an array substrate,  $64 \times 64 \times 64 =$  about 260,000 colors can be displayed.

[0557] In drawing 64, D0 shows the LSB input and D5 shows the MSB input. It is switch 641a (it is an on-off means.) to D0 input terminal at the time of H level (at the time of positive logic). of course, the analog switch which could consist of simple substance transistors and combined the P channel transistor and N channel transistor — \*\*\*\*\* — it turns on. Then, a current flows toward the current source (one unit) 634 which constitutes a current mirror. This current flows to the internal wiring 643 in IC14. Since this internal wiring 643 is connected to the source signal line 18 through the terminal electrode of IC14, the current which flows to this internal wiring 643 turns into a program current of a pixel 16.

[0558] Switch 641b turns on in D1 input terminal at the time of H level (at the time of positive logic). Then, a current flows toward two current sources (one unit) 634 which constitute a current mirror. This current flows to the internal wiring 643 in IC14. Since this internal wiring 643 is connected to the source signal line 18 through the terminal electrode of IC14, the current which flows to this internal wiring 643 turns into a program current of a pixel 16.

[0559] It is the same with other switches 641. At the time of H level (at the time of positive logic), switch 641c turns on in D2 input terminal. Then, a current flows toward four current sources (one unit) 634 which constitute a current mirror. At the time of H level (at the time of positive logic), switch 641f turns on in D5 input terminal. Then, a current flows toward 32 current sources (one unit) 634 which constitute a current mirror.

[0560] As mentioned above, according to the data (D0-D5) from the outside, a current flows toward the current source (one unit) corresponding to it. Therefore, according to data, it is constituted so that a current may flow from zero piece to a current source (one unit) at 63 pieces. In addition, although the current source is made into 63 6-bit pieces in order that this invention may give explanation easy, it does not limit to this. In the case of 8 bits, 255 unit current sources 634 should just be formed

(arrangement). Moreover, 15 unit current sources 634 should just be formed at the time of 4 bits (arrangement). The transistor 634 which constitutes a unit current source is set to the same channel width  $W$  and channel length  $L$ . Thus, an output stage with little dispersion can be constituted by constituting from same transistor.

[0561] Moreover, all do not limit a current source 634 to passing the same current. For example, weighting of each current source 634 may be carried out. For example, the current source 634 of one unit, the twice as many current source 634 as this, the 4 times as many current source 634 as this, etc. may be made intermingled, and a current output circuit may be constituted. However, if weighting of the current source 634 is carried out and it is constituted, each current source which carried out weighting may not become the rate which carried out weighting, but variation may occur. Therefore, even if it is the case where weighting is carried out, as for each current source, it is desirable to constitute by forming two or more transistors used as the current source of one unit.

[0562] The configuration of drawing 64 is the current mirror section of the 3rd step illustrated to drawing 63. Therefore, the 1st current source 631 and the current source 632 of the 2nd step are formed separately, and these crowd (close or contiguity) and are arranged. Moreover, transistor 633a of the faucet TOMIRA circuit which constitutes the current source 632 of the 2nd step and the current source of the 3rd step also crowds (close or contiguity), and is arranged.

[0563] In addition, especially the current source (one unit) 634 is arranged densely, and a minute current flows. Therefore, the light (luminescence light) emitted from EL display panel etc. will cause malfunction by a phot conductor phenomena (contest the phot), if light is irradiated by the current source 634 (631, 632, and 633 should otherwise be taken into consideration). Since this technical problem is coped with, a light-shielding film is formed in the rear face of a chip. Moreover, a light-shielding film is formed in the part in which it is the part mounted in a substrate, and the current source of a chip was formed (the light absorption film which consists of a metal thin film, an organic material, or an inorganic material is formed in the front face of a panel substrate). By what anode wiring which supplies a current to EL element 15, and cathode wiring are taken about for (it takes about under IC chip), if this light-shielding film is constituted, it will be easy to form and can carry out [ low cost ]-izing of it. This configuration is not limited to IC chip. It is applied also to the source driver circuit 14 using the semi-conductor film (CGS) formed of low-temperature polish recon, elevated-temperature polish recon, or solid phase growth. That is, a light-shielding film is formed in the rear face of this source driver circuit 14.

[0564] The current which flows current Miller circuit 632 of the 2nd step is copied to transistor 633a which constitutes the current Miller circuit of the 3rd step, and when it is 1 time the current mirror scale factor of this, this current flows to transistor 633b. This current is copied to the transistor 634 of the last stage.

[0565] Since the part corresponding to D0 consists of one transistor 634, it is a current value which flows to the transistor 633 of the last stage current source. Since the part corresponding to D1 consists of two transistors 634, it is twice the current value of the last stage current source. Since D2 consists of four transistors 634, it is 4 times the current value of the last stage current source, and since ... and the part corresponding to D5 consist of 32 transistors, it is 32 times the current value of the last stage current source. Therefore, the program current  $I_w$  is outputted to a source signal line through the switch controlled by the 6-bit image data D0, D1, D2, ..., D5 (a current is drawn). Therefore, according to ON of the 6-bit image data D0, D1, D2, ..., D5, and OFF, 1 time of the last stage current source 633, twice, 4 times, ..., a 32 times as many current as this are added and outputted to an output line. That is, the current source 633 0 to 63 times the current value of the last stage is outputted by the 6-bit image data D0, D1, D2, ..., D5 from an output line (a current is drawn from the source signal line 18).

[0566] As mentioned above, as compared with proportional distribution of conventional  $W/L$ , a current value is more controllable by the configuration of the integral multiple of the last stage current source 633 to high degree of accuracy (the output variation of each terminal is lost).

[0567] However, this configuration is the case where the current source (one unit) section 634 which

TFT11a for a drive which constitutes a pixel 16 consists of P channels, and constitutes the source driver IC 14 consists of N channel transistors. It cannot be overemphasized that the configuration in which the program current.  $I_w$  turns into a discharge current can also be carried out in other cases (for example, when TFT11a for a drive of a pixel 16 consists of N channel transistors etc.).

[0568] In addition, although a 0 to 63 times as many current as the last stage current source 633 is outputted, this is a time of being 1 time the current mirror scale factor of the last stage current source 633 of this. When it is twice the current mirror scale factor of this, a 0 to 126 times as many current as the last stage current source 633 is outputted, and when it is 0.5 times the current mirror scale factor of this, a 0 to 31.5 times as many current as the last stage current source 633 is outputted. As mentioned above, this invention can change the current value of an output easily by changing the current mirror scale factor of the current sources (631, 632, etc.) of the preceding paragraph from the last stage current source 633 or it. Moreover, as for the above matter, what (it is made to differ) a current mirror scale factor is changed into every R, G, and B also for is desirable. For example, only R may change the current mirror scale factor of one of current sources to other colors (as opposed to the current source circuit corresponding to other colors) (it is made to differ). Especially EL display panels differ in luminous efficiency etc. in each color (R, G, B or cyanogen, yellow, MAZENDA) of every. Therefore, a white balance can be made good by changing a current mirror scale factor in each color.

[0569] The matter of changing the current mirror scale factor of a current source to other colors (as opposed to the current source circuit corresponding to other colors) (it being made differing) is not limited to a fixed thing. Carrying out adjustable is also included. Adjustable forms in the current source two or more transistors which constitute current Miller circuit, and can realize them by changing the number of said transistor which passes a current current with the signal from the outside. Thus, it becomes possible to adjust to the optimal white balance, observing the luminescence condition of each color of EL display panel produced by constituting. Much especially this inventions are configurations which connect a current source (current Miller circuit) with a stage. Therefore, if the current mirror scale factor of the current source 631 of the 1st step and the current source 632 of the 2nd step is changed, the output current of much outputs can be easily changed with little connection sections (current Miller circuit etc.). Of course, it cannot be overemphasized the output current of much outputs can be easily changed with little connection sections (current Miller circuit etc.) rather than changing the current mirror scale factor of the current source 632 of the 2nd step, and the current source 633 of the 3rd step.

[0570] In addition, I hear that the concept of change for a current mirror scale factor changes a current scale factor (adjustment); and there is. Therefore, it is not limited only to current Miller circuit. For example, the operational amplifier circuit of a current output and the D/A circuit of a current output are also realizable.

[0571] It cannot be overemphasized that the matter explained above is applied about other examples of this invention.

[0572] An example of the circuit diagram of 176 outputs ( $N \times M = 176$ ) by three-step type current Miller circuit is shown in drawing 65. By drawing 65, the current source 633 according the current source 632 according the current source 631 by the 1st step current Miller circuit to a parent current source and the 2nd step current Miller circuit to a child current source and the 3rd step current Miller circuit is described as the grandchild current source. By the configuration of the integral multiple of the current source by the 3rd step current Miller circuit which is the last stage current Miller circuit, dispersion in 176 outputs is suppressed as much as possible, and a highly precise current output is possible. Of course, don't forget the configuration of arranging current sources 531, 632, and 633 densely.

[0573] In addition, it says arranging the 1st current source 631 and 2nd current source 632 in distance of less than at least 8mm as arranging densely (a current, the output side of an electrical potential difference and a current, or input side of an electrical potential difference). Furthermore, arranging within 5mm is desirable. It is because it will be arranged by examination within a silicon chip and the property

( $V_t$ , mobility ( $\mu$ )) difference of a transistor will hardly occur, if it is this range. Moreover, the 2nd current source 632 and 3rd current source 633 (output side of a current and input side of a current) are also similarly arranged in distance of less than at least 8mm. It is desirable to arrange in location of less than 5mm still more preferably. It cannot be overemphasized that the above matter is applied also in other examples of this invention.

[0574] The input side of this current, the output side of an electrical potential difference and a current, or an electrical potential difference means the following relation. In electrical-potential-difference delivery of drawing 66, it is the relation which crowds and arranges the transistor 631 (output side) of the current source of a  $** (I)$  stage, and transistor 632a (input side) of the current source of  $** (I+1)$ . In current delivery of drawing 67, it is the relation which crowds and arranges transistor 631a (output side) of the current source of a  $** (I)$  stage, and transistor 632b (input side) of the current source of  $** (I+1)$ .

[0575] Here, although considered as the silicon chip, this means a semiconductor chip. Therefore, other formed semiconductor chips, such as a chip, a germanium substrate, etc. which were formed in the gallium substrate, are the same.

[0576] Furthermore, it is applied also to a source driver circuit using the semi-conductor film (CGS) formed of low-temperature polish recon, elevated-temperature polish recon, or solid phase growth. However, a panel is comparatively large-sized in this case in many cases. Even if there is output variation from some source signal lines 18 that a panel is large-sized, it is hard to be recognized visually. Therefore, it says arranging the 1st current source 631 and 2nd current source 632 in distance of less than at least 30mm as arranging with the display panel which forms the source driver circuit 14 in Pixel TFT and coincidence densely to the above glass substrate etc. (the output side of a current, and input side of a current). Furthermore, arranging within 20mm is desirable. It is because the property ( $V_t$ , mobility ( $\mu$ )) difference of the transistor arranged by examination in this range will hardly occur if it is this range. Moreover, the 2nd current source 632 and 3rd current source 633 (output side of a current and input side of a current) are also similarly arranged in distance of less than at least 30mm. It is desirable to arrange in location of less than 20mm still more preferably.

[0577] In order that the above explanation might give explanation easy easily [ understanding ], it was explained that a signal was delivered with an electrical potential difference between current Miller circuits. However, the thing to carry out to a current delivery configuration. The driver circuit 14 for a drive of a current drive mold display panel with more small dispersion (IC) is realizable.

[0578] Drawing 67 is the example of a current delivery configuration. In addition, drawing 66 is the example of an electrical-potential-difference delivery configuration. As a circuit diagram, it is the same also as drawing 66 and drawing 67, and how to take about a layout configuration, i.e., wiring, differs. In drawing 66, 631 is [ the Nch transistor for the 2nd step current sources and 632b of the Nch transistor for the 1st step current sources and 632a ] the Pch transistors for the 2nd step current sources.

[0579] In drawing 67, 631a is [ the Nch transistor for the 2nd step current sources and 632b of the Nch transistor for the 1st step current sources and 632a ] the Pch transistors for the 2nd step current sources.

[0580] In drawing 66, since the gate voltage of the 1st step current source which consists of variable resistance 651 (it uses in order to change a current), and a Nch transistor 631 is received and passed to the gate of Nch transistor 632a of the 2nd step current source, it serves as a layout configuration of an electrical-potential-difference delivery method.

[0581] On the other hand, in drawing 67, it is impressed by the gate of Nch transistor 632a of the 2nd step current source where the gate voltage of the 1st step current source which consists of Nch transistor 631a adjoins variable resistance 651, and since the current value which flows to a transistor as a result is received and passed to Pch transistor 632b of the 2nd step current source, it becomes the layout configuration of a current delivery method.

[0582] In addition, although it explains focusing on the relation between the 1st current source and the 2nd current source in the example of this invention in order to give explanation easy, or in order to

make an understanding easy, what it is not limited to this and applied also in the relation between the 2nd current source and the 3rd current source or relation with the other current source (it is applicable) cannot be overemphasized.

[0583] With the layout configuration of the current Miller circuit of the electrical-potential-difference delivery method of drawing 66, it is easy to produce a difference in both transistor characteristics in that to which Nch transistor 632a of the Nch transistor 631 of the current source of the 1st step and the current source of the 2nd step which constitutes current Miller circuit gets separate (it should be said that it is easy to get separate). Therefore, the current value of the 1st step current source is not correctly transmitted to the 2nd step current source, but it is easy to produce dispersion.

[0584] To it, with the layout configuration of the current Miller circuit of the current delivery method of drawing 67, it is hard to produce a difference in both transistor characteristics, the current value of the 1st step current source is correctly transmitted to the 2nd step current source at them, and it is hard to produce dispersion in that which Nch transistor 631a of the 1st step current source and Nch transistor 632a of the 2nd step current source which constitute current Miller circuit adjoin (it is easy to arrange adjacently).

[0585] It does [ dispersion is more small and ] and is desirable by considering as the layout configuration used as the current delivery instead of electrical-potential-difference delivery from the above thing as circuitry (source driver circuit 14 of the current drive method of this invention (IC)) of the multistage type current Miller circuit of this invention. It cannot be overemphasized that the above example is applicable to other examples of this invention.

[0586] In addition, on account of explanation, although the case of the 1st step current source to the 2nd step current source was shown, it cannot be overemphasized that the same is said of the case of the 3rd step current source from the 2nd step current source, the 4th step current source from the 3rd step current source, and ...

[0587] Drawing 68 shows the example at the time of making current Miller circuit (current source of a three-step configuration) of the three-step configuration of drawing 65 into a current delivery method (therefore, drawing 65 is circuitry of an electrical-potential-difference delivery method).

[0588] At drawing 68, reference current is first created by variable resistance 651 and Nch transistor 631a. In addition, although it is explaining that reference current is adjusted by variable resistance 651, the source electrical potential difference of transistor 631a is set up in practice by the electronic BORIUMU circuit formed in the source driver (circuit) IC 14 (or arrangement), and it is constituted so that it may be adjusted. Or reference current is adjusted by supplying directly the current outputted from electronic BORIUMU of the current system which consists of current sources (one unit) 634 of a large number which are illustrated to drawing 64 to the source terminal of a transistor 631 (refer to drawing 69).

[0589] The gate voltage of the 1st step current source by transistor 631a is impressed to the gate of Nch transistor 632a of the adjoining 2nd step current source, and the current value which flows to a transistor as a result is received and passed to Pch transistor 632b of the 2nd step current source. Moreover, the gate voltage by transistor 632b of the 2nd current source is impressed to the gate of Nch transistor 633a of the adjoining 3rd step current source, and the current value which flows to a transistor as a result is received and passed to Nch transistor 633b of the 3rd step current source. The current source 634 of a large number illustrated to drawing 64 is formed in the gate of Nch transistor 633b of the 3rd step current source according to the required number of bits (arrangement).

[0590] In drawing 69, it is characterized by the component for current value adjustment possessing in the 1st step current source 631 of said multistage type current Miller circuit. This configuration enables it to control the output current by changing the current value of the 1st step current source 631.

[0591]  $V_t$  variation (property variation) of a transistor has about 100mV dispersion within 1 wafer. However,  $V_t$  variation of the transistor formed by approaching less than 100micro is 10mV or less at least (observation). That is, it can approach and a transistor can be formed, if current Miller circuit is

constituted, it can be alike, and the output current variation of current Miller circuit can be decreased more. Therefore, output current variation of each terminal of the source driver IC of this invention can be lessened.

[0592] Drawing 110 shows the measurement result of the formation area (square millimeter) of a transistor, and the output current variation (3sigma) of a simple substance transistor. Output current variation is the current variation in  $V_t$  electrical potential difference. A sunspot is the transistor output current variation of the evaluation sample (ten to 200 pieces) produced in a predetermined formation area. There is almost no variation in the output current in the transistor formed in the area A (less than 0.5 square millimeter of formation area) of drawing 110 (there is only output current variation of error range mostly.). That is, the fixed output current is outputted. Conversely, in a C region (2.4 or more square millimeters of formation area), there is an inclination for the variation in the output current over formation area to become large rapidly. In area B (2.4 or less square millimeter of formation 0.5 or more square millimeter area), the variation in the output current over formation area has a proportional relation mostly.

[0593] However, the absolute values of the output current differ for every wafer. However, this problem can respond adjusting reference current or by making it a predetermined value in the source driver circuit (IC) 14 of this invention. Moreover, it can respond with circuit devices, such as current Miller circuit, (it is solvable).

[0594] This invention changes the amount of currents which flows to the source signal line 18 by changing the number of currents which flows to the unit transistor 634 with input digital data (D) (control). If the number of gradation is 64 or more gradation, since it is  $1 / 64 = 0.015$ , it is necessary to carry out theoretically within less than 1 – 2% of output current variation. In addition, visually, distinguishing cannot become difficult and it cannot distinguish mostly less than 1% of output variation at 0.5% or less (it is visible to homogeneity).

[0595] In order to make output current variation (%) less than 1%, as shown in the result of drawing 110, it is necessary to carry out formation area of a transistor group (transistor which should control generating of variation) within 2 square MIRIMETA. It is desirable to make variation in the output current (that is,  $V_t$  variation of a transistor) less than 0.5% still more preferably. What is necessary is just to carry out formation area of the transistor group 681 within 1.2 square MIRIMETA, as shown in the result of drawing 110. In addition, formation area is the area of the die length beside vertical x. For example, in 1.2 square millimeter, it is 1mmx1.2mm as an example.

[0596] In addition, especially the above is a case more than 8 bit (256 gradation). In the case of 256 or less gradation (for example, the case of 6 bits (64 gradation)), the variation in the output current may be about 2% (the actual condition is satisfactory on image display). In this case, what is necessary is just to form the transistor group 681 in less than five square millimeters. Moreover, both transistor groups 681 (in drawing 68, two of the transistor groups 681a and 681b are illustrated) require satisfying this condition. If it constitutes so that at least one side may satisfy this (they are one or more transistor groups 681 three or more in a certain case) condition, the effectiveness of this invention will be demonstrated. It is desirable to satisfy this condition especially about the low-ranking transistor group 681 (for 681b to be low-ranking relation at a high order for 681a). It is because it is hard coming to generate a problem in image display.

[0597] The above matter is applied also in other examples of this invention, and can be combined with the display panel of this invention, an array, a display, etc.

[0598] Like parents, the child, and the grandchild, the source driver circuit (IC) 14 of this invention makes multistage connection of two or more current sources at least, and is making them each current source dense arrangement so that it may illustrate to drawing 68 (of course, two-step connection of parents and a child is sufficient). Moreover, each current Motoma (between the transistor groups 681) is made current delivery. Specifically, the range (transistor group 681) enclosed with the dotted line of drawing 68 is made dense arrangement. This transistor group 681 has the relation of electrical-



potential-difference delivery. Moreover, parents' current source 631 and a child's current source 632a are formed or arranged in the abbreviation center section of source driver IC14 chip. It is because distance of transistor 632a which constitutes the current source of the child stationed at right and left of a chip, and transistor 632b which constitutes a child's current source can be shortened comparatively. That is, the top transistor group 681a is arranged in the abbreviation center section of the IC chip. And low-ranking transistor group 681b is arranged to right and left of the IC chip 14. desirable — the number of transistor group 681b of this low order — right and left of IC chip — abbreviation — it becomes equal — as — arrangement — or it forms or produces. In addition, the above matter is not limited to the IC chip 14, but is applied also to the source driver circuit 14 directly formed in the substrate 71 with low temperature or an elevated-temperature polish recon technique. The same is said of other matters. [0599] this invention — transistor group 681a — the abbreviation center section of the IC chip 14 — one configuration or arrangement — or it was formed or produced — it gets down and transistor group 681b is formed in eight right and left of a chip at a time (refer to  $N=8+8$  and drawing 63). As for a child's transistor group 681b, it is desirable to constitute so that the difference of the number of transistor group 681b formed or arranged on the left-hand side of a chip and the number of transistor group 681b formed or arranged on the right-hand side of a chip may become less than four pieces so that it may become equal to right and left of a chip. Furthermore, it is desirable to constitute so that the difference of the number of transistor group 681b formed or arranged on the left-hand side of a chip and the number of transistor group 681b formed or arranged on the right-hand side of a chip may become less than one piece. The above matter is the same also about the transistor group (omitted in drawing 68) which asks a grandchild.

[0600] Electrical-potential-difference delivery (electrical-potential-difference connection) of between the parent current source 631 and child current source 632a is carried out. Therefore, it is easy to be influenced of  $V_t$  variation of a transistor. Therefore, dense arrangement of the part of transistor group 681a is carried out. The formation area of this transistor group 681a is formed in an area of less than two square millimeters as illustrated in drawing 110. It forms in less than 1.2 square millimeters still more preferably. Of course, when the number of gradation is 64 or less gradation, less than five square millimeters are sufficient.

[0601] Since data are delivered with the current between child transistor 632b in transistor group 681a (current delivery), distance may flow somewhat. The range of this distance (for example, distance from the outgoing end of transistor group 681a of a high order to the input edge of low-ranking transistor 681b) arranges transistor 632a which constitutes the 2nd current source (child), and transistor 632b which constitutes the 2nd current source (child) in distance of less than at least 10mm, as explained previously. This better \*\* is arranged or formed in less than 8mm. Furthermore, arranging within 5mm is desirable. It is because it will be arranged by examination within a silicon chip and the property ( $V_t$ , mobility ( $\mu$ )) difference of a transistor will hardly influence at current delivery, if it is this range. As for especially this relation, it is desirable to carry out by the low-ranking transistor group. For example, if transistor group 681a is in transistor group 681b and a pan at that low order and transistor group 681c is in that low order in a high order, this relation will be satisfied for current delivery of transistor group 681b and transistor group 681c. Therefore, this invention is not limited to all the transistor groups 681 satisfying this relation. At least 1 set of transistor groups 681 should just obtain this relation in satisfaction. It is because low-ranking one of the number of the transistor group 681 increases especially.

[0602] The same is said of transistor 633a which constitutes the 3rd current source (grandchild), and transistor 633b which constitutes the 3rd current source. In addition, it cannot be overemphasized that electrical-potential-difference delivery is also mostly applicable.

[0603] transistor group 681b — the longitudinal direction of a chip (in location which meets a longitudinal direction 761, i.e., an output terminal) — formation — or it is produced or arranged. transistor group 681b — the longitudinal direction of a chip (in location which meets a longitudinal

direction 761, i.e., an output terminal) — formation — or it is produced or arranged. The number M of this transistor group 681b is 11 pieces (see drawing 63) in this invention.

[0604] Electrical-potential-difference delivery (electrical-potential-difference connection) of between child current source 632b and grandchild current source 633a is carried out. Therefore, dense arrangement of the part of transistor group 681b is carried out like transistor group 681a. The formation area of this transistor group 681b is formed in an area of less than two square millimeters as illustrated in drawing 110. It forms in less than 1.2 square millimeters still more preferably. However, if  $V_t$  of this transistor group 681b part varies, it will be easy to be recognized as an image. Therefore, as for formation area, it is desirable to make it the area A (less than 0.5 square millimeters) of drawing 110 so that variation may hardly occur.

[0605] Since data are delivered with the current between grandchild transistor 633a and transistor 633b in transistor group 681b (current delivery), distance may flow somewhat. It is the same as that of previous explanation also about the range of this distance. Transistor 633a which constitutes the 3rd current source (grandchild), and transistor 633b which constitutes the 2nd current source (grandchild) are arranged in distance of less than at least 8mm. Furthermore, arranging within 5mm is desirable.

[0606] The case where it constitutes from electronic BORIUMU is shown in drawing 69 as said component for current value control. Electronic BORIUMU is resistance 691 (current limiting and each reference voltage are created.). Resistance 691 consists of decoders 692, level shifters 693, etc. which are formed by polysilicon. In addition, electronic BORIUMU outputs a current. A transistor 641 functions as an analog switch circuit.

[0607] Moreover, an electronic BORIUMU circuit is formed according to the color number of EL display panel (or arrangement). For example, if it is the three primary colors of RGB, it is desirable to form three electronic BORIUMU circuits corresponding to each color (or arrangement), and to enable it to adjust each color independently. However, when based on one color (it fixes), the electronic BORIUMU circuit for color number-1 minute is formed (or arrangement).

[0608] Drawing 76 is the configuration in which the resistance element 651 which controls reference current for the three primary colors of RGB independently was formed (arrangement). Of course, it cannot be overemphasized that a resistance element 651 may be transposed to electronic BORIUMU. To the field illustrated to drawing 76, the current source used as bases (origin), such as parent current sources, such as a current source 631 and a current source 632, and a child current source, crowds, and is arranged in the current output circuit 704. By arranging, the output variation from each source signal line 18 decreases densely. It becomes easy from that of arranging in the center section of the IC chip (circuit) 14 in the current output circuit 704 so that it may illustrate to drawing 76 to distribute a current equally from current sources 631 and 632 etc. at right and left of the IC chip (circuit) 14. Therefore, it is hard to generate output variation on either side.

[0609] The current output circuit 704 is formed in every R, G, and B (arrangement), and also approaches and arranges the current output circuits 704R, 704G, and 704B of this RGB. Moreover, the reference current INH of the low current field which adjusts the reference current INL of the low current field illustrated to drawing 73 to each color (R, G, B) of every, and is illustrated to drawing 74 is adjusted (also refer to drawing 79). Therefore, BORIUMU (or electronic BORIUMU of voltage-output or current output) 651RL which adjusts the reference current INL of a low current field to current output circuit 704 of R is arranged, and BORIUMU (or electronic BORIUMU of voltage-output or current output) 651RH which adjusts the reference current INH of a high current field is arranged. Similarly BORIUMU (or electronic BORIUMU of voltage-output or current output) 651GL which adjusts the reference current INL of a low current field to current output circuit 704G of G is arranged, and BORIUMU (or electronic BORIUMU of voltage-output or current output) 651GH which adjusts the reference current INH of a high current field is arranged. Moreover, BORIUMU (or electronic BORIUMU of voltage-output or current output) 651BL which adjusts the reference current INL of a low current field to current output circuit 704 of B is arranged, and BORIUMU (or electronic BORIUMU of voltage-output or

current output) 651BH which adjusts the reference current INH of a high current field is arranged. In addition, as for BORIUMU 651 etc., it is desirable to constitute so that it may change at temperature so that \*\*\*\* of EL element 15 can be compensated. Moreover, it cannot be overemphasized that electronic BORIUMU or resistance etc. to which two or more reference current of each color is adjusted at a certain time has a good turnoff point as for three or more pieces in the gamma property of drawing 79. [0610] The output pad 761 is formed or arranged at the output terminal of IC chip. This output pad and the source signal line 18 of a display panel are connected. As for the output pad 761, the bump (projection) is formed by the plating technique or the nail head bonder technique. The height of a projection is made into 10-micrometer or more height of 40 micrometers or less.

[0611] Said bump and each source signal line 18 are electrically connected through the conductive junctional zone (not shown). A conductive junctional zone is the object with which the epoxy system, the phenol system, etc. were used as base resin as adhesives, and flakes, such as silver (Ag), gold (Au), nickel (nickel), carbon (C), and tin oxide (SnO<sub>2</sub>), were mixed, or ultraviolet-rays hardening resin. A conductive junctional zone is formed on a bump with techniques, such as an imprint. Moreover, thermocompression bonding of BAMBU and the source signal line 18 is carried out by ACF resin. In addition, the connection between a bump or the output pad 761, and the source signal line 18 is not limited to the above method. Moreover, IC14 is not loaded on an array substrate, but a film carrier technique may be used or you may connect with the source signal line 18 etc. using a polyimide film etc. [0612] In drawing 69, the inputted 4-bit data for current value control (DI) are decoded in the 4-bit decoder circuit 692 (if the numbers of partitions are 64 need, it cannot be overemphasized that it is made 6 bits.). Here, in order to give explanation easy, it explains as 4 bits. The pressure up of the output is carried out to the electrical-potential-difference value of analog level from the electrical-potential-difference value of a logic level by the level-shifter circuit 693, and it is inputted into an analog switch 641.

[0613] The main configuration section of an electronic BORIUMU circuit consists of fixed-resistance R0691a and 16 unit resistance r691b. It connects with either of 16 analog switches 641, and the output of a decoder circuit 692 is constituted so that the resistance of electronic BORIUMU may become settled with the output of a decoder circuit 692. That is, for example, if the output of a decoder circuit 692 is 4, the resistance of electronic BORIUMU will be set to R0+5r. Resistance of this electronic BORIUMU serves as a load of the 1st step current source 631, and pull-up is carried out to the analog power source AVdd. Therefore, when the resistance of this electronic BORIUMU changes, the current value of the 1st step current source 631 will change, the current value of the 2nd step current source 632 will change, consequently the current value of the 3rd step current source 633 will also change, and the output current of a driver IC will be controlled.

[0614] In addition, on account of explanation, although the data for current value control were made into 4 bits, this is not fixed to 4 bits, and as there is much number of bits, it cannot be overemphasized that the good variable of a current value increases. Moreover, although the configuration of a multistage type current mirror was explained as three steps, this is not fixed to three steps, either and it cannot be overemphasized that the number of stages of arbitration is sufficient.

[0615] Moreover, it is desirable to make external resistance 691a from which resistance changes with temperature provide as a configuration of an electronic BORIUMU circuit to the technical problem that the luminescence brightness of an EL element changes, by the temperature change. For the external resistance from which resistance changes with temperature, even instantiation is [ a thermistor, posistor, etc. ] \*\*. The light emitting device from which brightness generally changes according to the current which flows for a component has the temperature characteristic, and even if it passes the same current value, the luminescence brightness changes with temperature. Then, by attaching to electronic BORIUMU external resistance 691a from which resistance changes with temperature, even if it can change the current value of a constant current output with temperature and temperature changes, luminescence brightness can always make it regularity.

[0616] In addition, it is desirable that said multistage type current Miller circuit separates into three for the object for red (R), the object for green (G), and blue (B). Generally by current drive mold light emitting devices, such as organic electroluminescence, luminescence properties differ by R, G, and B. Therefore, in order to make it the same brightness by R, G, and B, it is necessary to adjust the current value passed to a light emitting device by R, G, and B, respectively. Moreover, by current drive mold light emitting devices, such as an organic electroluminescence display panel, the temperature characteristics differ by R, G, and B. Therefore, it is necessary to also adjust the property of external auxiliary components, such as a thermistor for amending the temperature characteristic, by R, G, and B, respectively.

[0617] Since said multistage type current Miller circuit is divided into three for the object for R, the object for G, and B in this invention, a luminescence property and the temperature characteristic can be adjusted by R, G, and B, respectively, and it is possible to obtain the optimal white balance.

[0618] Although explained also in advance, the current which it is at the black display time and is written in a pixel by the current drive method is small. Therefore, when there was parasitic capacitance in the source signal line 18 etc., the trouble that sufficient current could not be written in was in the pixel 16 at 1 horizontal-scanning period (1H). It is difficult to drive the parasitic capacitance (wiring load-carrying capacity) considered that there are with the signal value in a current drive mold light emitting device since about several 10pF of current values of black level is feeble, number nA extent and with it being general. In order to solve this technical problem, before writing image data in the source signal line 18, it is effective to impress a precharge electrical potential difference and to make potential level of the source signal line 18 into the black display current (for TFT11a to be an OFF state fundamentally) of TFT11a of a pixel. It is effective in formation (creation) of this precharge electrical potential difference by decoding the high order bit of image data to perform the constant-voltage output of black level.

[0619] An example of the source driver circuit (IC) 14 of a current-output method with the precharge function of this invention is shown in drawing 70. Drawing 70 shows the case where a precharge function is carried in the output stage of a 6-bit constant current output circuit. In drawing 70, a precharge control signal decodes the case where the high order triplets D3, D4, and D5 of image data D0-D5 are 0 altogether in NOR circuit 702, takes AND circuit 703 with the output of the counter circuit 701 of the dot clock CLK which has a reset function by Horizontal Synchronizing signal HD, and it is constituted so that a fixed period black level electrical potential difference \*\*\*\* may be outputted. In other cases, the output current from the current output stage 704 explained by drawing 68 etc. is impressed to the source signal line 18 (the program current  $I_w$  is absorbed from the source signal line 18). In the case of 0 gradation eye - 7 gradation eye with the image data near black level, the electrical potential difference on which only the first fixed period of 1 level period is equivalent to black level is written in, the burden of a current drive decreases, and this configuration enables it to compensate write-in lack. In addition, it is indicated 0 gradation eye by perfect black, and is indicated 63 gradation eye by perfect white (in the case of 64 gradation displays).

[0620] In addition, the gradation which precharges should be limited to the black viewing area. That is, write-in image data is judged, and black field gradation (a write-in current is small by low brightness, i.e., a current drive method, (minute)) is chosen and precharged (selection precharge). If it precharges to whole floor tone data, shortly, it will be a white viewing area and the fall (target brightness is not reached) of brightness will occur. Moreover, a vertical reinforcement is displayed on an image.

[0621] Preferably, it is the gradation of the field of 1/8 from the gradation 0 of gradation data, and selection precharge is performed (for example, at the time of 64 gradation, after precharging at the time of the image data from 0 gradation eye to 7 gradation eye, image data is written in). Furthermore, preferably, it is the gradation of the field of 1/16 from the gradation 0 of gradation data, and selection precharge is performed (for example, at the time of 64 gradation, after precharging at the time with the image data from 0 gradation eye to 3 gradation eye, image data is written in).

[0622] The method which detects and precharges only gradation 0 especially by black display in order to

make contrast high is also effective. A black display becomes good extremely. The problem is that a screen carries out a black float and appears, when the whole screen is gradation 1 and 2. Therefore, selection-precharge is performed in the gradation of the field of 1/8, and the fixed range from the gradation 0 of gradation data.

[0623] In addition, as for the electrical potential difference of precharge, and tonal range, it is effective to also make it differ by R, G, and B. The EL display device 15 is because luminescence starting potential differs from luminescence brightness by R, G, and B. For example, R is the gradation of the field of 1/8 from the gradation 0 of gradation data, and performs selection precharge (for example, at the time of 64 gradation, after precharging at the time of the image data from 01 gradation eye to 7 gradation eye, image data is written in). Other colors (G, B) are the gradation of the field of 1/16 from the gradation 0 of gradation data, and control performing selection precharge (for example, image data being written in at the time of 64 gradation, after precharging at the time with the image data from 0 gradation eye to 3 gradation eye) etc. Moreover, if R is 7 (V), other colors (G, B) will write the electrical potential difference of 7.5 (V) also for a precharge electrical potential difference in the source signal line 18. The optimal precharge electrical potential differences differ with the manufacture lot of EL display panel in many cases. Therefore, as for a precharge electrical potential difference, it is desirable to constitute so that it can adjust by external BORIUMU etc. This equalization circuit is also easily realizable by using an electronic BORIUMU circuit.

[0624] Moreover, it is desirable to constitute so that the 0th mode which is not precharged at all, the 1st mode which precharges only gradation 0, the 2nd mode precharged in the range of gradation 0 to the gradation 3, the 3rd mode precharged in the range of gradation 0 to the gradation 7, the 4th mode precharged in the range of a whole floor tone may be set up and these may be changed by the command. These are easily realizable by constituting a logical circuit in the source driver circuit (IC) 14 (design).

[0625] Drawing 75 is the somatization block diagram of the selection precharge circuit section. PV is the input terminal of a precharge electrical potential difference. It gets down to an external input or an electronic BORIUMU circuit, and the precharge electrical potential difference according to individual is set up by R, G, and B. In addition, although the precharge electrical potential difference according to individual is set up by R, G, and B, it does not limit to this. It may be common to R, G, and B. It is because a precharge electrical potential difference is correlated with  $V_t$  of drive TFT11a of a pixel 16 and this pixel 16 is the same at R, G, and B pixels. Conversely, when the W/L ratio of drive TFT11a of a pixel 16 etc. is making it differ by R, G, and B (it is a different design), it is desirable to adjust a precharge electrical potential difference corresponding to a different design. For example, if L becomes large, the diode characteristics of TFT11a will worsen and a source-drain (SD) electrical potential difference will become large. Therefore, it is necessary to set up a precharge electrical potential difference low to source potential (Vdd).

[0626] The precharge electrical potential difference PV is inputted into the analog switch 731. In order to reduce on resistance, it is necessary to set W (channel width) of this analog switch to 10 micrometers or more. However, if W is not much large, since parasitic capacitance will also become large, it is made 100 micrometers or less. As for channel width W, it is desirable to make it 15 micrometers or more 60 micrometers or less still more preferably. The above matter is applied also to the analog switch 731 of switch 641b of drawing 75, and the analog switch 731 of drawing 73.

[0627] Switch 641a is controlled by the high order triplet (H5, H4, H3) of a precharge enabling (PEN) signal, a selection precharge signal (PSL), and the logic signal of drawing 74. The semantics of the high order triplet (H5, H4, H3) of the logic signal made into an example is because selection precharge was carried out, when a high order triplet is "0." That is, it constitutes so that the time in case a low order triplet is "1" (from gradation 0 to gradation 7) may be chosen and precharge may be carried out.

[0628] In addition, this selection precharge may make it a low gradation field interlocked with, although only gradation 0 may be precharged, it may precharge in the range of gradation 0 to the gradation 7 or you may fix as selection precharge of the low gradation valley (the gradation R1 from gradation 0 or

gradation (R1-1) of drawing 79) is carried out. That is, a low gradation field carries out selection precharge in this range at the time of gradation 0 to the gradation R1, and a low gradation field makes it interlock at the time of gradation 0 to the gradation R2, so that it may carry out in this range, and carries it out. In addition, as compared with the method of others [ direction / of this control system ], a hard scale becomes small.

[0629] On-off control of the switch 641a is carried out by the impression condition of the above signal, and when it is switch 641a ON, the precharge electrical potential difference PV is impressed to the source signal line 18. In addition, the time amount which impresses the precharge electrical potential difference PV is set up by the counter (not shown) formed separately. This counter is constituted so that it can set up with a command. Moreover, as for the impression time amount of a precharge electrical potential difference, it is desirable to set it as or more 1/100 1/5 or less time amount of 1 horizontal-scanning period (1H). For example, 1H set to 20microsec 100microsec, then more than 1microsec. It is referred to as 10microsec more than 2microsec still more preferably.

[0630] Moreover, a result also with good also changing precharge impression time amount by R, G, and B is obtained. For example, it is making precharge time amount of R longer than the precharge time amount of G and B etc. If fastidious, in organic electroluminescence, it will be because luminescence start time etc. differs with each ingredient of RGB. Moreover, a good result is obtained by the image data impressed to the source signal line 18 next also by carrying out adjustable [ of the precharge electrical-potential-difference PV impression time amount ]. For example, it is lengthening impression time amount and making it shorter than it with gradation 4 in the gradation 0 of a perfect black display, etc. Moreover, in consideration of the difference of the image data in front of 1H, and the image data impressed to a degree, a result also with good also setting up impression time amount can be obtained. For example, when writing in a source signal line in front of 1H with the current which makes a pixel a white display and writing the current made a black display at a pixel in the following 1H, precharge time amount is lengthened. It is because the current of a black display is minute. On the contrary, when writing in a source signal line with the current which makes a pixel a black display and writing in the current made [ the following 1H ] a black display at \*\*\*\* before 1H, precharge time amount is shortened or precharge is stopped (it does not carry out). It is because the write-in current of a white display is large.

[0631] moreover, the image data to impress — responding — a precharge electrical potential difference — a change frog — things are also effective. It is because the write-in current of a black display is minute and the write-in current of a white display is large. Therefore, it is high (receive Vdd.) about a precharge electrical potential difference as it becomes a low gradation field. In addition, a precharge electrical potential difference is made low as it carries out when pixel TFT11a is P channels, and it becomes the Takashina tone field (when pixel TFT11a is P channels).

[0632] When a program current opening terminal (PO terminal) is "0", switch 641b will be in an OFF state, and IL terminal and IH terminal, and the source signal line 18 are separated (the Iout terminal is connected with the source signal line 18). Therefore, the program current Iw does not flow to the source signal line 18. While impressing the program current Iw to a source signal line, PO terminal is set to "1", turns on switch 641b, and passes the program current Iw to the source signal line 18.

[0633] When impressing "0" to PO terminal and making switch 641b open, it is a time of neither of the pixel lines of a viewing area being chosen. The current source 634 has drawn the current from the source signal line 18 continuously based on the input data (D0-D5). It is the current which flows into the source signal line 18 through TFT11a from the Vdd terminal of a pixel 16 with which this current was chosen. Therefore, when neither of the pixel lines is chosen, there is no path to which a current flows from a pixel 16 to the source signal line 18. With the time of neither of the pixel lines being chosen, by the time the pixel line of arbitration is chosen and the following pixel line is chosen, it will generate. In addition, neither of such pixels (pixel line) is chosen, but the condition that there is no path which flows into the source signal line 18 (it flows out) is called a \*\*\*\* selection period.



[0634] In this condition, if the IOUT terminal is connected to the source signal line 18, a current will flow to the turned-on unit current source 634 (what switch on in fact is the switch 641 controlled by the data of D0 – D5 terminal). Therefore, the charge charged by the parasitic capacitance of the source signal line 18 discharges, and the potential of the source signal line 18 falls rapidly.

[0635] As mentioned above, if the potential of the source signal line 18 falls, it will come to take time amount to recover to the original potential according to the current originally written in the source signal line 18.

[0636] In order to solve this technical problem, this invention impresses "0" to PO terminal, and separates an IOUT terminal and the source signal line 18 by setting switch 641b of drawing 75 to OFF at a \*\*\*\* selection period. Since that a current flows into a current source 634 disappears from the source signal line 18 by separating, potential change of the source signal line 18 is not generated at a \*\*\*\* selection period. As mentioned above, good current writing can be carried out by controlling PO terminal at a \*\*\*\* selection period, and separating a current source from the source signal line 18.

[0637] Moreover, it is effective for the area (sober product) of a white viewing area (field which has fixed brightness), and the area (black area) of a black viewing area (field of the brightness below predetermined) to be intermingled on a screen, and to add the function to stop precharge, when the rate of a sober product and black area is the fixed range (proper precharge). It is because a vertical reinforcement occurs in an image in this fixed range. Of course, it may be said in the conversely fixed range that it precharges. Moreover, when an image moves, it is because an image becomes in noise. Proper precharge is easily realizable by counting the data of the pixel which corresponds to a sober product and black area in an arithmetic circuit (operation). Moreover, as for proper precharge, it is effective to also make it differ by R, G, and B. The EL display device 15 is because luminescence starting potential differs from luminescence brightness by R, G, and B. For example, as for R, the ratio of the black area of the sober product:predetermined brightness of predetermined brightness stops or starts precharge or more by 1:20, and the ratio of the black area of the sober product:predetermined brightness of predetermined brightness of G and B is the configuration of stopping or starting precharge, or more in 1:16. In addition, according to an experiment and the examination result, in the case of an organic EL panel, it is desirable that the ratio of the black area of the sober product:predetermined brightness of predetermined brightness stops precharge or more by 1:100 (that is, black area 100 or more times of a sober product). Furthermore, the sober product of predetermined brightness: It is desirable that the ratio of the black area of predetermined brightness stops precharge or more by 1:200 (that is, black area 200 or more times of a sober product).

[0638] The precharge electrical potential difference PV needs to output the electrical potential difference near Vdd (see drawing 1) from the source driver circuit (IC) 14, when drive TFT11a of a pixel 16 is P channels. However, a driver circuit (IC) 14 needs to use the semi-conductor of a high proof-pressure process, so that this precharge electrical potential difference PV is close to Vdd (although it is 5(V) – 10(V) as a high proof-pressure flume, however when 5 (V) pressure-proofing is exceeded, the point that a semi-conductor process price becomes high is a technical problem.). Therefore, the process of what the process of 5 (V) pressure-proofing is adopted for which are highly minute and a low price more can be used.

[0639] The diode characteristics of TFT11a for a drive of a pixel 16 are good, and with [ when the ON state current of a white display secures ] 5 [ below ] (V), since the source driver IC 14 can use 5 (V) processes, a problem is not generated. however — if diode characteristics exceed 5 (V) — the time — a problem — becoming . Since especially precharge needs to impress the precharge electrical potential difference PV near the source electrical potential difference Vdd of TFT11a, it becomes impossible to output it from IC14.

[0640] Drawing 92 is a panel configuration which solves this technical problem. The switching circuit 641 is formed in an array 71 side in drawing 92. The on-off signal of a switch 641 is outputted from the source driver IC 14. The pressure up of this on-off signal is carried out in the level shift circuit 693

formed in the array 71, and it carries out on-off control action of the switch 641. In addition, a switch 641 and the level shift circuit 693 form being simultaneous or one by one in the process which forms TFT which is a pixel. Of course, it may form separately in an external circuit (IC), and mounting etc. may be carried out on an array 71.

[0641] An on-off signal is outputted from terminal 761a of IC14 based on the precharge conditions (drawing 75 etc.) explained previously. Therefore, it cannot be overemphasized that impression of a precharge electrical potential difference and the drive approach are applicable also in the example of drawing 92. The electrical potential difference (signal) outputted from terminal 761a is as low as below 5 (V). The amplitude is enlarged for this electrical potential difference (signal) to the on-off logic level of a switch 641 in the level-shifter circuit 693.

[0642] By constituting as mentioned above, the source driver circuit (IC) 14 becomes enough [ the supply voltage of the operating voltage range which can drive the program current  $I_w$  ]. The technical problem of the precharge electrical potential difference PV is lost with the array substrate 71 with high operating voltage. Therefore, precharge can also be enough impressed now to a Vdd electrical potential difference.

[0643] If the switching circuit 641 of drawing 89 is also formed in the source driver circuit (IC) 14 (arrangement), pressure-proofing will pose a problem. For example, it is because there is risk of an electrical potential difference which destroys IC14 for the terminal 761 of IC14 being impressed when the Vdd electrical potential difference of a pixel 16 is higher than the supply voltage of IC14.

[0644] The example which solves this technical problem is the configuration of drawing 91. The switching circuit 641 is formed in the array substrate 71 (arrangement). The configuration of a switching circuit 641 etc. is the same as that of a configuration, a specification, etc. which were explained by drawing 92, or approximation.

[0645] Rather than the output of IC14, a switch 641 is the point and is arranged in the middle of the source signal line 18. When a switch 641 turns on, the current  $I_w$  which programs a pixel 16 flows into the source driver circuit (IC) 14. When a switch 641 turns off, the source driver circuit (IC) 14 is separated from the source signal line 18. By controlling this switch 641, the drive method illustrated to drawing 90 can be carried out.

[0646] The electrical potential difference (signal) outputted from terminal 761a like drawing 92 is as low as below 5 (V). The amplitude is enlarged for this electrical potential difference (signal) to the on-off logic level of a switch 641 in the level-shifter circuit 693.

[0647] By constituting as mentioned above, the source driver circuit (IC) 14 becomes enough [ the supply voltage of the operating voltage range which can drive the program current  $I_w$  ]. Moreover, in order that a switch 641 may also operate with the supply voltage of an array 71, even if a Vdd electrical potential difference is impressed to the source signal line 18 from a pixel 16, a switch 641 does not break and the source driver circuit (IC) 14 is not destroyed.

[0648] In addition, it cannot be overemphasized that the both sides of the switch 641 arranged in the middle of (formation) and the switch 641 for precharge electrical-potential-difference PV impression may be formed in the array substrate 71 (arrangement) (configuration of drawing 91 + drawing 92). [ the source signal line 18 of drawing 91 ]

[0649] Although explained above, when TFT11a for a drive of a pixel 16 and P selections TFT (11b, 11c) are TFT(s) like drawing 1, it runs and an electrical potential difference occurs. This is for potential fluctuation of gate signal line 17a to run for the terminal of a capacitor 19 through the G-S capacity (parasitic capacitance) of Selection TFT (11b, 11c). When P channel transistor 11b turns off, it becomes a Vgh electrical potential difference. Therefore, the terminal voltage of a capacitor 19 shifts a few to the Vdd side. Therefore, the gate (G) terminal voltage of transistor 11a rises, and serves as a black display more.

[0650] However, on the other hand, although the perfect black display of the 1st gradation is realizable, the 2nd gradation etc. will be hard to be displayed. Or a gradation jump occurs greatly from the 1st

gradation to the 2nd gradation, or black crushing occurs in a specific tonal range.

[0651] The configuration which solves this technical problem is a configuration of drawing 71. It is characterized by having the function which carries out piling of the output current value. The main purpose of the piling circuit 711 runs and is compensation of an electrical potential difference. Moreover, even if image data is black level 0, it is made for a current to flow to some extent (several 10 nA(s)), and can use also for adjustment of black level.

[0652] Fundamentally, drawing 71 adds a piling circuit (part surrounded by the dotted line of drawing 71) to the output stage of drawing 64. A triplet (K0, K1, K2) is assumed as a current high-priced raising control signal, and drawing 71 can add a current value 0 to 7 times the current value of a grandchild current source to the output current with the control signal of this triplet.

[0653] The above is the fundamental outline of the source driver circuit (IC) 14 of this invention. Henceforth, the source driver circuit (IC) 14 of this invention is further explained to a detail.

[0654] Current  $I$  (A) passed to EL element 15 and luminescence brightness  $B$  (nt) have linear relation. That is, current  $I$  (A) passed to EL element 15 is proportional to luminescence brightness  $B$  (nt). In a current drive method, one step (gradation unit) is a current (current source 634 (one unit)).

[0655] The vision over human being's brightness has a square property. That is, brightness is recognized to change linearly when changing with the curve of a square. However, current  $I$  (A) passed to EL element 15 also in a low brightness field or a high brightness field as it is the relation of drawing 83 is proportional to luminescence brightness  $B$  (nt). Therefore, when it is made to change 1 step unit every, in the low gradation section (black field), the brightness change to one step is large (a black jump occurs). Since the Takashina tone section (white field) is in agreement with the straight-line field of a curve the 2nd [ about ] power, the brightness change to one step is recognized to change at equal intervals. In a current drive method (setting to the source driver circuit (IC) 14 of a current drive method), a black viewing area serves as a technical problem from the above thing (when one step is a current unit).

[0656] To this technical problem, this invention makes small the inclination of the current output of a low gradation field (from gradation 0 (perfect black display) to gradation (R1)), and enlarges the inclination of the current output of the Takashina tone field (from gradation (R1) to the maximum gradation (R)) so that it may illustrate to drawing 79. That is, in a low gradation field, it is made small with the amount of currents which increases per 1 gradation (one step). In the Takashina tone field, it enlarges with the amount of currents which increases per 1 gradation (one step). By changing the amount of currents which changes to per step in two gradation fields of drawing 79, a gradation property becomes close to a square curve, and there is no generating in a low gradation field of a black jump. The gradation-current characteristic curve illustrated to the above drawing 79 etc. is called a gamma curve.

[0657] In addition, in the above example, although considered as two steps of current inclinations, a low gradation field and the Takashina tone field, it does not limit to this. It cannot be overemphasized that you may be more than a three-stage. However, it cannot be overemphasized that two steps of cases are desirable since circuitry becomes easy.

[0658] The technical thought of this invention is set to the source driver circuit (IC) of a current drive method etc. (it is the circuit which performs a gradation display by the current output fundamentally.).

Therefore, a display panel is not limited to an active-matrix mold, and a simple matrix type is also contained. It is that the current augend per gradation 1 step recognizes two or more existence.

[0659] Display brightness changes in proportion to the amount of currents to which the display panel of current drive molds, such as EL, is impressed. Therefore, in the source driver circuit (IC) 14 of this invention, the brightness of a display panel can be easily adjusted by adjusting the reference current used as the basis which flows to one current source (one unit) 634.

[0660] In EL display panel, luminous efficiency differed by R, G, and B, and the color purity to NTSC criteria has shifted. Therefore, in order to make a white balance the optimal, it is necessary to adjust the ratio of RGB proper. Adjustment is performed by adjusting each reference current of RGB. For example,

the reference current of R is set to 2microA, the reference current of G is set to 1.5microA, and the reference current of B is set to 3.5microA. In addition, reference current consists of drivers of this invention so that the faucet TOMIRA scale factor of the current source 631 of the 1st step of drawing 67 may be made small (for example, the current which flows to transistor 632b will be set to 1/100 of 10nA(s) if reference current is 1microA), and it can be made to make rough adjustment precision of the reference current adjusted from the outside and the precision of the minute current in a chip can be adjusted efficiently.

[0661] The equalization circuit of the reference current of a low gradation field and the equalization circuit of the reference current of the Takashina tone field are provided so that the gamma curve of drawing 79 can be realized. Moreover, the equalization circuit of the reference current of a low gradation field and the equalization circuit of the reference current of the Takashina tone field are provided for every RGB so that it can adjust independently by RGB. Of course, what is necessary is to fix one color, and just to make the equalization circuit of the reference current of a low gradation field which adjusts two colors (they are R and B when G is being fixed), and the equalization circuit of the reference current of the Takashina tone field provide, when adjusting a white balance by adjusting the reference current of other colors.

[0662] As the current drive method was illustrated also to drawing 83, linear relation has the relation of the Current I and the brightness which are passed to EL. Therefore, adjustment of the white balance by mixing of RGB should just adjust the reference current of RGB by one point of predetermined brightness. That is, if the reference current of RGB is adjusted by one point of predetermined brightness and a white balance is adjusted, the white balance can be fundamentally taken over the whole floor tone.

[0663] However, in the gamma curve of drawing 79, it somewhat needs to be warned. First, in order to take the white balance of RGB, it is necessary to make the same the bending location (gradation R1) of a gamma curve by RGB (if it says conversely, by the current drive method, it will be said that relative relation of a gamma curve can be made the same in RGB). Moreover, it is necessary to make regularity the ratio of the inclination of a low gradation field, and the inclination of the Takashina tone field by RGB (that is, by the current drive method, it will be said that relative relation of a gamma curve can be made the same in RGB). For example, the increment in 10nA (inclination of a gamma curve [ in a low gradation field ]) is carried out per 1 gradation in a low gradation field, and the increment in 50nA (inclination of a gamma curve [ in the Takashina tone field ]) is carried out per 1 gradation in the Takashina tone field (in addition, current augend is called the rate of a gamma current ratio per 1 gradation in current augend / low gradation field per 1 gradation in the Takashina tone field.). In this example, the rate of a gamma current ratio is  $50\text{nA}/10\text{nA}=5$ . Then, the rate of a gamma current ratio is made the same by RGB. That is, it constitutes from RGB so that the current which flows to EL element 15 where the rate of a gamma current ratio is made the same may be adjusted.

[0664] Drawing 80 is the example of the gamma curve. In drawing 80 (a), the low gradation section and the Takashina tone section of the increment in a current per 1 gradation are large. In drawing 80 (b), the increment in a current per 1 gradation is [ section / the low gradation section and / Takashina tone / drawing 80 (a) ] small. However, the rate of a gamma current ratio is made the same also with drawing 80 (a) and drawing 80 (b). Thus, it is because what is necessary is for adjusting the rate of a gamma current ratio, maintaining identically by RGB to produce the current regulator circuit which generates the reference current impressed to the low gradation section, and the current regulator circuit which generates the reference current impressed to the Takashina tone section for every color, and just to produce BORIUMU which adjusts the current which passes these relatively (arrangement).

[0665] Drawing 77 is circuitry which carries out adjustable [ of the output current ], with the rate of a gamma current ratio maintained. The current which flows to current sources 633L and 633H is changed maintaining the rate of a gamma current ratio of source of reference current 771L of a low current field, and source of reference current 771H of a high current field in the current control circuit 772.

[0666] Moreover, it is desirable to detect the temperature of a relative display panel in the temperature

detector 781 formed in the IC chip (circuit) 14 so that it may illustrate to drawing 78. An organic EL device is because the temperature characteristic changes with ingredients which constitute RGB. Detection of this temperature uses that the condition of the joint of a bipolar transistor changes with temperature, and the output current changes with temperature. It feeds back to the thermal control circuit 782 which has arranged this detected temperature for every color (formation), and the current control circuit 772 performs temperature compensation.

[0667] In addition, it is appropriate for a gamma ratio to make it or more 3 ten or less relation by examination. It is appropriate to make it or more 4 eight or less relation still more preferably. As for especially the rate of a gamma current ratio, it is desirable to satisfy or more 5 seven or less relation. This is called the 1st relation.

[0668] Moreover, it is appropriate for the change point (gradation R1 of drawing 79) of the low gradation section and the Takashina tone section to set or less [ of the number K of the maximum gradation /  $1/32$  or more ] to  $1/4$  (for example, it is made  $64 / 4=16$  gradation watch following 64 gradation whose number K of the maximum gradation is 6 bits, then  $64 / 32=2$  gradation watch above). It is appropriate for the change point (gradation R1 of drawing 79) of the low gradation section and the Takashina tone section to set or less [ of the number K of the maximum gradation /  $1/16$  or more ] to  $1/4$  still more preferably (for example, it is made  $64 / 4=16$  gradation watch following 64 gradation whose number K of the maximum gradation is 6 bits, then  $64 / 16=4$  gradation watch above). It is appropriate to set or less [ of the number K of the maximum gradation /  $1/10$  or more ] to  $1/5$  still more preferably (in addition, when below decimal point occurs by count, it omits.). For example, it is made  $64 / 5=12$  gradation watch following 64 gradation whose number K of the maximum gradation is 6 bits, then  $64 / 10=6$  gradation watch above. The above relation is called the 2nd relation. In addition, the above explanation is the relation of the rate of a gamma current ratio of two current fields. However, the above relation [ 2nd ] is applied also when there is a rate of a gamma current ratio of three or more current fields (that is, there are two or more turnoff points). That is, what is necessary is just to apply to the relation to two inclinations of arbitration to three or more inclinations.

[0669] By satisfying both the above relation [ 1st ] and the 2nd relation to coincidence, there is no black jump and good image display can be realized.

[0670] Drawing 82 is the example which used two or more source driver circuits (IC) 14 of the current drive method of this invention for one display panel. The source driver IC 14 of this invention possesses the slave / master (S/M) terminal supposing using two or more driver ICs 14. By making a S/M terminal into H level, it operates as a master chip and reference current is outputted from a reference current output terminal (not shown). This current turns into a current which flows for drawing 73 of IC14 (14a, 14c) of a slave, INL of drawing 74, and an INH terminal. By making a S/M terminal into L level, IC14 operates as a slave chip and receives the reference current of a master chip from a reference current input terminal (not shown). This current turns into a current which flows for INL of drawing 73 and drawing 74, and an INH terminal.

[0671] The reference current received and passed between a reference current input terminal and a reference current output terminal is two lines, the low gradation field of each color, and the Takashina tone field. Therefore, by three colors of RGB, it becomes six lines by  $3 \times 2$ . In addition, in the above-mentioned example, although it considers as each two colors, it may not limit to this, and you may be each three or more colors.

[0672] It constitutes from a current drive method of this invention so that it may illustrate to drawing 81, and turnoff points (gradation R1 etc.) can be changed. At drawing 81 (a), the low gradation section and the Takashina tone section are changed with gradation R1, and the low gradation section and the Takashina tone section are changed with gradation R2 by drawing 81 (b). Thus, it enables it to change a bending location by two or more places.

[0673] Specifically by this invention, 64 gradation displays are realizable. The turnoff point (R1) is used as nothing, 2 gradation eye, 4 gradation eye, 8 gradation eye, and 16 gradation eye. In addition, a turnoff

point will be set to 3, 5, 9, 17, and 33, if a turnoff point is set to 2, 4, 8, and 16 and gradation of a black display is completely made into gradation 1, since it is indicated gradation 0 by perfect black. As mentioned above, the effectiveness that circuitry becomes easy occurs by constituting so that a bending location may be made in the part of the multiple of 2 (or the part of the multiple +1 of 2: when it is indicated gradation 1 by perfect black).

[0674] Drawing 73 is the block diagram of the current source circuit section of a low current field. Moreover, drawing 74 is the block diagram of the current source section of a high current field, and the piling current circuit section. A current source 634 carries out need number actuation of the source circuit section of low current with input data L0-L4 by impressing reference current INL and this current turning into a unit current fundamentally, and the program current  $I_{wL}$  of the low current section flows as that total so that it may illustrate to drawing 73.

[0675] Moreover, a current source 634 carries out need number actuation of the high current source circuit section with input data H0-L5 by impressing reference current INH and this current turning into a unit current fundamentally, and the program current  $I_{wH}$  of the low current section flows as that total so that it may illustrate to drawing 74.

[0676] The program current  $I_w$  which flows with input data AK0-AK2 to the source signal line 18 with which a current source 634 carries out need number actuation, and the current  $I_{wK}$  corresponding to a piling current flows as that total by impressing reference current INH so that the same may be said of the piling current circuit section and it may be illustrated to drawing 74, and this current turning into a unit current fundamentally is  $I_w = I_{wH} + I_{wL} + I_{wK}$ . In addition, it is made to satisfy the 1st relation explained also in advance, the ratio of a gamma current ratio, i.e., the rate, of  $I_{wH}$  and  $I_{wL}$ .

[0677] In addition, an on-off switch 641 consists of analog switches 731 which consist of an inverter 732, a P channel transistor, and an N channel transistor so that it may illustrate to drawing 73 and drawing 74. Thus, by constituting a switch 641 from an analog switch 731 which consists of an inverter 732, a P channel transistor, and an N channel transistor, it can fall and the voltage drop between a current source 634 and the source signal line 18 can make on resistance very small.

[0678] Actuation of the low current circuit section of drawing 73 and the high current circuit section of drawing 74 is explained. The source driver circuit (IC) 14 of this invention consists of 5 bits of the low current circuit sections L0-L4, and consists of 6 bits of the high current circuit sections H0-H5. In addition, the data inputted from the outside of a circuit are 6 bits (each color 64 gradation) of D0-D5. These 6 bit data are changed into 5 bits of L0-L4, and 6 bits of the high current circuit sections H0-H5, and the program current  $I_w$  corresponding to image data is impressed to a source signal line. That is, input 6 bit data are changed into  $6 = 5 + 1$  bit data. Therefore, a highly precise gamma curve can be formed.

[0679] As mentioned above, input 6 bit data are changed into  $6 = 5 + 1$  bit data. In this invention, the number of bits (H) of the circuit of a high current field is made the same as that of the number of bits of input data (D), and makes the number of bits (L) of the circuit of a low current field the number of bits - 1 of input data (D). In addition, the number of bits (L) of the circuit of a low current field is good also as the number of bits -2 of input data (D). Thus, by constituting, the gamma curve of a low current field and the gamma curve of a high current field become the the best for the image display of EL display panel.

[0680] Hereafter, the control approach of the circuit control data (L0-L4) of a low current field and the circuit control data (H0-H4) of a high current field is explained, referring to drawing 86 from drawing 84.

[0681] This invention has the description in actuation of current source 634a connected to L4 terminal of drawing 73 of drawing 73. This 634a consists of one transistor used as the current source of one unit. By making this transistor turn on and off, control (on-off control) of the program current  $I_w$  becomes easy.

[0682] Drawing 84 is the impression signal of the low current side signal line in the case of changing a low current field and a high current field with gradation 4 (L), and a high current side signal line (H). In



addition, although illustrated from drawing 84 to gradation 0–18 in drawing 86, it is to 63 gradation eye in practice. Therefore, 18 or more gradation is omitted in each drawing. Moreover, a switch 641 turns on at the time of “1” of a table, and the applicable current source 634 and the source signal line 18 are connected, and when it is “0” of a table, it is supposed that a switch 641 turns off.

[0683] In drawing 84, in the case of the gradation 0 of a perfect black display, it is = (L0–L4) (0, 0, 0, 0, 0), and it is = (H0–H5) (0, 0, 0, 0, 0). Therefore, all the switches 641 are OFF states and are program current  $I_w=0$  at the source signal line 18.

[0684] In gradation 1, it is = (L0–L4) (1, 0, 0, 0, 0), and is = (H0–H5) (0, 0, 0, 0, 0). Therefore, one unit current source 634 of a low current field is connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0685] In gradation 2, it is = (L0–L4) (0, 1, 0, 0, 0), and is = (H0–H5) (0, 0, 0, 0, 0). Therefore, two unit current sources 634 of a low current field are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0686] In gradation 3, it is = (L0–L4) (1, 1, 0, 0, 0), and is = (H0–H5) (0, 0, 0, 0, 0). Therefore, two switch 641La(s) of a low current field and 641Lb turn on, and three unit current sources 634 are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0687] In gradation 4, it is = (L0–L4) (1, 1, 0, 0, 1), and is = (H0–H5) (0, 0, 0, 0, 0). Therefore, three switch 641La(s) of a low current field, 641Lb, and 641Le turn on, and four unit current sources 634 are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0688] In five or more gradation, low current field (L0–L4) = (1, 1, 0, 0, 1) is changeless. However, in the high current field, with gradation 5, it is = (1, 0, 0, 0, 0) (H0–H5), and switch 641Ha turns on and one unit current source 641 of a high current field is connected with the source signal line 18. Moreover, in gradation 6, it is = (0, 1, 0, 0, 0) (H0–H5), and switch 641Hb turns on and two unit current sources 641 of a high current field are connected with the source signal line 18. Similarly, in gradation 7, it is = (1, 1, 0, 0, 0) (H0–H5), and two switch 641Ha switch 641Hb turns on, and three unit current sources 641 of a high current field are connected with the source signal line 18. Furthermore, in gradation 8, it is = (0, 0, 1, 0, 0) (H0–H5), and one switch 641Hc turns on and four unit current sources 641 of a high current field are connected with the source signal line 18. Henceforth, the sequential switch 641 is turned on and off like drawing 84, and the program current  $I_w$  is impressed to the source signal line 18.

[0689] Characteristic one is a turnoff point (a low current field and a high current field switch, and a point and an expression which it switches since low current  $I_wL$  is correctly added as a program current  $I_w$  in the case of the gradation of a high current field, and is called a point are not right (the piling current  $I_wK$  is also added again).) by the above actuation. That is, in the gradation of the Takashina tone section, it is added to the current of the low gradation section, and the current according to the step (gradation) of the Takashina tone section is the program current  $I_w$ . It is the point that the control bit (L) of a low current field does not change bordering on the gradation (it should probably be called the point that a current changes, the point, or a location) of one step. Moreover, it is the point that it is set to “1” at L4 terminal of drawing 73, switch 641e turns on at this time, and the current is flowing to transistor 634a.

[0690] Therefore, in the gradation 4 of drawing 84, four unit transistors (current source) 634 of the low gradation section are operating. And in gradation 5, four unit transistors (current source) 634 of the low gradation section operate, and one transistor (current source) 634 of the Takashina tone section is operating. Similarly hereafter, with gradation 6, four unit transistors (current source) 634 of the low gradation section operate, and two transistors (current source) 634 of the Takashina tone section operate. therefore, in five or more gradation which is the bending point, the current source 634 of the low gradation field below the bending point carried out gradation part (four pieces in this case) ON, in addition the current source 634 of the Takashina tone section responded to gradation one by one —

number sequential ON is carried out.

[0691] Therefore, as for one piece, it turns out that it is acting useful [ transistor 634a of L4 terminal of drawing 73 ]. If this transistor 634a does not exist, it will become the actuation which one transistor 634 of gradation 3, next the Takashina tone section turns on. Therefore, it changes and the point does not become the multiplier of 2 like 4, 8, and 16. The multiplier of 2 is in the condition from which only one signal was set to "1." Therefore, it is easy to do condition judging that the signal line of weighting of 2 was set to "1." Therefore, the hard scale of a condition judging can make it small. That is, the logical circuit of IC chip is simplified and IC with a chip area small as a result can be designed (low-cost-izing is possible).

[0692] Drawing 85 is the impression signal-description Fig. of the low current side signal line in the case of changing a low current field and a high current field with gradation 8 (L), and a high current side signal line (H).

[0693] In drawing 85, in the case of the gradation 0 of a perfect black display, it is the same as that of drawing 84, it is = (L0-L4) (0, 0, 0, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, all the switches 641 are OFF states and are program current  $I_w=0$  at the source signal line 18.

[0694] Similarly, in gradation 1, it is = (L0-L4) (1, 0, 0, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, one unit current source 634 of a low current field is connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0695] In gradation 2, it is = (L0-L4) (0, 1, 0, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, two unit current sources 634 of a low current field are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0696] In gradation 3, it is = (L0-L4) (1, 1, 0, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, two switch 641La(s) of a low current field and 641Lb turn on, and three unit current sources 634 are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0697] Similarly, in gradation 4, the following is also = (L0-L4) (0, 0, 1, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Moreover, in gradation 5, it is = (L0-L4) (1, 0, 1, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). In gradation 6, it is = (L0-L4) (0, 1, 1, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Moreover, in gradation 7, it is = (L0-L4) (1, 1, 1, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0).

[0698] Gradation 8 changes and it is the point (bending location). In gradation 8, it is = (L0-L4) (1, 1, 1, 0, 1), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, four switch 641La(s) of a low current field, 641Lb, 641Lc, and 641Le turn on, and eight unit current sources 634 are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0699] In eight or more gradation, low current field (L0-L4) = (1, 1, 1, 0, 1) is changeless. However, in the high current field, with gradation 9, it is = (1, 0, 0, 0, 0) (H0-H5), and switch 641Ha turns on and one unit current source 641 of a high current field is connected with the source signal line 18.

[0700] Hereafter, according to a gradation step, the one number of the transistor 634 of a high current field increases at a time similarly. That is, in gradation 10, it is = (0, 1, 0, 0, 0) (H0-H5), and switch 641Hb turns on and two unit current sources 641 of a high current field are connected with the source signal line 18. Similarly, in gradation 11, it is = (1, 1, 0, 0, 0) (H0-H5), and two switch 641Ha switch 641Hb turns on, and three unit current sources 641 of a high current field are connected with the source signal line 18. Furthermore, in gradation 12, it is = (0, 0, 1, 0, 0) (H0-H5), and one switch 641Hc turns on and four unit current sources 641 of a high current field are connected with the source signal line 18. Henceforth, the sequential switch 641 is turned on and off like drawing 84, and the program current  $I_w$  is impressed to the source signal line 18.

[0701] Drawing 86 is the impression signal-description Fig. of the low current side signal line in the case of changing a low current field and a high current field with gradation 16 (L), and a high current side signal line (H). Actuation as fundamental also in this case as drawing 84 and drawing 85 is the same.

[0702] That is, in drawing 86, in the case of the gradation 0 of a perfect black display, it is the same as

that of drawing 85, it is = (L0-L4) (0, 0, 0, 0, 0), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, all the switches 641 are OFF states and are program current  $I_w=0$  at the source signal line 18. Gradation 1 to the gradation 16 is = (H0-H5) (0, 0, 0, 0, 0) of the Takashina tone field similarly. Therefore, one unit current source 634 of a low current field is connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18. That is, (L0-L4) of a low gradation field change.

[0703] In gradation 1, it is = (L0-L4) (1, 0, 0, 0, 0). That is, in gradation 2 (L0-L4) It is = (0, 1, 0, 0, 0), is = (L0-L4) (1, 1, 0, 0, 0) in gradation 3, and is = (L0-L4) (0, 0, 1, 0, 0) in gradation 2. A sequential count is carried out to gradation 16 below. That is, in gradation 15, it is = (L0-L4) (1, 1, 1, 1, 0), and is = (L0-L4) (1, 1, 1, 1, 1) in gradation 16. Since the 5th (D4) bit of D0-D5 which show gradation turns on one, it can determine that the contents expressing data D0-D5 are 16 by gradation 16 by the judgment of 1 data signal line (D4). Therefore, the hard scale of a logical circuit can make it small.

[0704] Gradation 16 changes and it is the point (bending location) (or gradation 17 may change and it is called the point). In gradation 16, it is = (L0-L4) (1, 1, 1, 1, 1), and is = (H0-H5) (0, 0, 0, 0, 0). Therefore, four switch 641La(s) of a low current field, 641Lb, 641Lc, 641d, and 641Le turn on, and 16 unit current sources 634 are connected to the source signal line 18. The unit current source of a high current field is not connected to the source signal line 18.

[0705] In 16 or more gradation, low current field (L0-L4) = (1, 1, 1, 0, 1) is changeless. However, in the high current field, with gradation 17, it is = (1, 0, 0, 0, 0) (H0-H5), and switch 641Ha turns on and one unit current source 641 of a high current field is connected with the source signal line 18. Hereafter, according to a gradation step, the one number of the transistor 634 of a high current field increases at a time similarly. That is, in gradation 18, it is = (0, 1, 0, 0, 0) (H0-H5), and switch 641Hb turns on and two unit current sources 641 of a high current field are connected with the source signal line 18. Similarly, in gradation 19, it is = (1, 1, 0, 0, 0) (H0-H5), and two switch 641Ha switch 641Hb turns on, and three unit current sources 641 of a high current field are connected with the source signal line 18. Furthermore, in gradation 20, it is = (0, 0, 1, 0, 0) (H0-H5), and one switch 641Hc turns on and four unit current sources 641 of a high current field are connected with the source signal line 18.

[0706] as mentioned above — changing — the point (bending location) — the current source (one unit) 634 of the number of the multiplier of 2 — ON or the source signal line 18, and connection (the configuration which becomes off conversely is also considered) — the logic processing constituted like becomes very easy. For example, by bending so that it may illustrate to drawing 84, if a location is gradation 4 (4 is the multiplier of 2), it constitutes so that four current sources (one unit) 634 may carry out actuation etc. And it constitutes from gradation beyond it so that the current source (one unit) 634 of a high current field may be added. Moreover, by bending so that it may illustrate to drawing 85, if a location is gradation 8 (8 is the multiplier of 2), it constitutes so that eight current sources (one unit) 634 may carry out actuation etc. And it constitutes from gradation beyond it so that the current source (one unit) 634 of a high current field may be added. If the configuration of this invention is adopted, the gamma control circuit where a hard configuration is small can consist of not only 64 gradation but gradation:4096 color, 256 gradation:16,700,000 color, etc. and all (16 Gradation) expressions.

[0707] In addition, although [ the example explained by drawing 84, drawing 85, and drawing 86 ] it changes and the gradation of the point serves as a multiplier of 2, this is the case where perfect black ... gradation considers as gradation 0. To consider gradation 1 as a perfect black display, it is necessary to take +one. However, these are the matters on expedient. In this invention, important one has two or more current fields (a low current field, high current field, etc.), and is the thing [ constituting so that it may change and a signal input can judge the point few (processing) ]. As the example, if it is the multiplier of 2, since what is necessary is just to detect one signal line, it is the technical thought that a hard scale becomes very small. Moreover, in order to make the processing easy, current source 634a is added.

[0708] therefore — if it is negative logic — 2, 4, and 8 — not ... but the gradation 1, 3, 7, and 15 ...

changing — the point — then, it is good. Moreover, although gradation 0 was considered as the perfect black display, it does not limit to this. For example, if it is 64 gradation displays, gradation 63 is made into a perfect black display condition, and it is good also considering gradation 0 as the greatest white display. In this case, what is necessary is to change and just to process the point in consideration of hard flow. Therefore, it may become a different configuration from the multiplier of 2 on processing.

[0709] Moreover, it changes and the point (bending location) is not limited to one gamma curve. Even if two or more bending locations exist, the circuit of this invention can be constituted. For example, a bending location can set it as gradation 4 and gradation 16. Moreover, it can also be set as three points or more like gradation 4, gradation 16, and gradation 32.

[0710] Moreover, although it explained noting that gradation set the above example as the multiplier of 2, this invention is not limited to this. For example, a turnoff point may be set up by 2 and 8 of the multiplier of 2 (a  $2+8=10$  gradation eye, i.e., the signal line which a judgment takes, is two). A turnoff point may be set up by 2 of the multiplier of 2 beyond it, and 8 and 16 (a  $2+8+16=26$  gradation eye, i.e., the signal line which a judgment takes, is three). In this case, although the hard scale which a judgment or processing takes somewhat becomes large, it can fully respond on circuitry. Moreover, it cannot be overemphasized that the matter which more than explained is included under the category of [ technical ] this invention.

[0711] The source driver circuit (IC) 14 of this invention consists of current output circuits 704 of three parts so that it may illustrate to drawing 87. It is high current field current output circuit 704a which operates in the Takashina tone field, is low current field current output circuit 704b which operates in a low current field and the Takashina tone field, and is current piling current output circuit 704b which outputs a piling current.

[0712] High current field current output circuit 704a and current piling current output circuit 704c operate considering source of reference current 771a which outputs a high current as reference current, and low current field current output circuit 704b operates considering source of reference current 771b which outputs low current as reference current.

[0713] In addition, although explained also in advance, the current output circuit 704 is not limited to three, high current field current output circuit 704a, low current field current output circuit 704b, and current piling current output circuit 704c, and two, high current field current output circuit 704a and low current field current output circuit 704b, are sufficient as it, and it may consist of three or more current output circuits 704. Moreover, the source 771 of reference current may be arranged or formed corresponding to each current field current output circuit 704, and even if it is common to all the current field current output circuits 704, it is good.

[0714] Corresponding to gradation data, the internal transistor 634 operates and the above current output circuit 704 absorbs a current from the source signal line 18. The above and a transistor 634 operate synchronizing with 1 horizontal-scanning period (1H) signal. That is, the current based on the corresponding gradation data is inputted during the period of 1H (when a transistor 634 is N channel).

[0715] On the other hand, the gate driver circuit 12 also makes sequential selection of the one gate signal line 17a fundamentally synchronizing with 1H signal. that is, 1H signal — synchronizing — the — 1H period — gate signal line 17a (1) — choosing — the — 2H period — gate signal line 17a (2) — choosing — the — 3H period — gate signal line 17a (3) — choosing — the — gate signal line 17a (4) is chosen as 4H period.

[0716] However, after 1st gate signal line 17a is chosen, the period (see t1 of a non-selection period and drawing 88) when no gate signal line 17a is chosen is established at the period when the 2nd following gate signal line 17a is chosen. The standup period of gate signal line 17a and a falling period are required for a non-selection period, and it is prepared in order to secure the on-off control period which is TFT11d.

[0717] If ON state voltage is impressed to one of gate signal line 17a and TFT11b of a pixel 16 and TFT11c turn on, the program current  $I_w$  will flow from a Vdd power source (anode electrical potential

difference) to the source signal line 18 through TFT11a for a drive. This program current  $I_w$  flows to a transistor 634 (t2 period of drawing 88). In addition, parasitic capacitance C has occurred in the source signal line 18 (parasitic capacitance occurs with the capacity of the cross point of a gate signal line and a source signal line etc.).

[0718] however, any gate signal line 17a is chosen — \*\*\*\* (t1 period of non-selection period drawing 88) — there is no current path which flows TFT11a. Since a transistor 634 passes a current, it absorbs a charge from the parasitic capacitance of the source signal line 18. Therefore, the potential of the source signal line 18 falls (part of A of drawing 88). If the potential of the source signal line 18 falls, writing in the current corresponding to the following image data will take time amount.

[0719] In order to solve in this technical problem, switch 641a is formed in an outgoing end with the source terminal 761 so that it may illustrate to drawing 89. Moreover, switch 641b is formed or arranged to the output stage of piling current current output circuit 704c.

[0720] A control signal is impressed to the control terminal S1, and switch 641a is made into an OFF state at the non-selection period t1. Switch 641a is made into an ON state (switch-on) in a selection period t2. Program current  $I_w = I_{wH} + I_{wL} + I_{wK}$  flows at the time of an ON state. If switch 641a is turned OFF,  $I_w$  current will not flow. Therefore, it falls to potential like A of drawing 88 so that it may illustrate to drawing 90 (changeless). In addition, channel width W of the analog switch 731 of a switch 641 is set to 10 micrometers or more 100 micrometers or less. In order to reduce on resistance, it is necessary to set W (channel width) of this analog switch to 10 micrometers or more. However, if W is not much large, since parasitic capacitance will also become large, it is made 100 micrometers or less. As for channel width W, it is desirable to make it 15 micrometers or more 60 micrometers or less still more preferably.

---

Since it became timeout time, translation result display processing is stopped.

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

##### [Brief Description of the Drawings]

[Drawing 1] It is the pixel block diagram of the display panel of this invention.

[Drawing 2] It is the pixel block diagram of the display panel of this invention.

[Drawing 3] It is the explanatory view of actuation of the display panel of this invention.

[Drawing 4] It is the explanatory view of actuation of the display panel of this invention.

[Drawing 5] It is the explanatory view of the drive approach of the display of this invention.

[Drawing 6] It is the block diagram of the display of this invention.

[Drawing 7] It is the explanatory view of the manufacture approach of the display panel of this invention.

[Drawing 8] It is the block diagram of the display of this invention.

[Drawing 9] It is the block diagram of the display of this invention.

[Drawing 10] It is the sectional view of the display panel of this invention.





[Drawing 60] It is the explanatory view of the digital camera of this invention.

[Drawing 61] It is the explanatory view of television (monitor) of this invention.

[Drawing 62] It is the pixel block diagram of the conventional display panel.

[Drawing 63] It is the functional block diagram of the driver circuit of this invention.

[Drawing 64] It is the explanatory view of the driver circuit of this invention.

[Drawing 65] It is the explanatory view of the driver circuit of this invention.

[Drawing 66] It is the explanatory view of the multistage type current Miller circuit of an electrical-potential-difference delivery method.

[Drawing 67] It is the explanatory view of the multistage type current Miller circuit of a current delivery method.

[Drawing 68] It is the explanatory view of the driver circuit in other examples of this invention.

[Drawing 69] It is the explanatory view of the driver circuit in other examples of this invention.

[Drawing 70] It is the explanatory view of a driver circuit [ in / besides this invention / an example ].

[Drawing 71] It is the explanatory view of the driver circuit in other examples of this invention.

[Drawing 72] It is the explanatory view of the conventional driver circuit.

[Drawing 73] It is the explanatory view of the driver circuit of this invention.

[Drawing 74] It is the explanatory view of the driver circuit of this invention.

[Drawing 75] It is the explanatory view of the driver circuit of this invention.

[Drawing 76] It is the explanatory view of the driver circuit of this invention.

[Drawing 77] It is the explanatory view of the control approach of the driver circuit of this invention.

[Drawing 78] It is the explanatory view of the driver circuit of this invention.

[Drawing 79] It is the explanatory view of the driver circuit of this invention.

[Drawing 80] It is the explanatory view of the driver circuit of this invention.

[Drawing 81] It is the explanatory view of the driver circuit of this invention.

[Drawing 82] It is the explanatory view of the driver circuit of this invention.

[Drawing 83] It is the explanatory view of the driver circuit of this invention.

[Drawing 84] It is the explanatory view of the driver circuit of this invention.

[Drawing 85] It is the explanatory view of the driver circuit of this invention.

[Drawing 86] It is the explanatory view of the driver circuit of this invention.

[Drawing 87] It is the explanatory view of the driver circuit of this invention.

[Drawing 88] It is the explanatory view of the drive approach of this invention.

[Drawing 89] It is the explanatory view of the driver circuit of this invention.

[Drawing 90] It is the explanatory view of the drive approach of this invention.

[Drawing 91] It is the block diagram of EL display of this invention.

[Drawing 92] It is the block diagram of EL display of this invention.

[Drawing 93] It is the explanatory view of the driver circuit of this invention.

[Drawing 94] It is the explanatory view of the driver circuit of this invention.

[Drawing 95] It is the block diagram of EL display of this invention.

[Drawing 96] It is the block diagram of EL display of this invention.

[Drawing 97] It is the block diagram of EL display of this invention.

[Drawing 98] It is the block diagram of EL display of this invention.

[Drawing 99] It is the block diagram of EL display of this invention.

[Drawing 100] It is the sectional view of EL display of this invention.

[Drawing 101] It is the sectional view of EL display of this invention.

[Drawing 102] It is the block diagram of EL display of this invention.

[Drawing 103] It is the block diagram of EL display of this invention.

[Drawing 104] It is the block diagram of EL display of this invention.

[Drawing 105] It is the block diagram of EL display of this invention.

[Drawing 106] It is the block diagram of EL display of this invention.

[Drawing 107] It is the block diagram of EL display of this invention.

[Drawing 108] It is the block diagram of EL display of this invention.

[Drawing 109] It is the block diagram of EL display of this invention.

[Drawing 110] It is the explanatory view of the source driver IC of this invention.

[Description of Notations]

11 TFT (Thin Film Transistor)

12 Gate Driver IC (Circuit)

14 Source Driver IC (Circuit)

15 EL (Component) (Light Emitting Device)

16 Pixel

17 Gate Signal Line

18 Source Signal Line

19 Storage Capacitance (Addition Capacitor, Addition Capacity)

50 Display Screen

51 Write-in Pixel (Line)

52 Non-display Pixel (Non-display Field and Astigmatism LGT Field)

53 Display Pixel (Viewing Area, Lighting Field)

61 Shift Register

62 Inverter

63 Output Buffer

71 Array Substrate (Display Panel)

72 Laser Radiation Range (Laser Spot)

73 Positioning Marker

74 Glass Substrate (Array Substrate)

81 Control IC (Circuit)

82 Power Source IC (Circuit)

83 Printed Circuit Board

84 Flexible Substrate

85 Closure Free Wheel Plate

86 Cathode Wiring

87 Anode Wiring (Vdd)

88 Data Signal Line

89 Gate Control Signal Line

101 Bank (Rib)

102 Interlayer Insulation Film

104 Contact Connection

105 Pixel Electrode

106 Cathode Electrode

107 Drying Agent

108 Lambda/4 Plate

109 Polarizing Plate

111 Thin Film Closure Film

281 Dummy Pixel (Line)

341 Output Stage Circuit

371 OR Circuit

401 Lighting Control Line

471 Reverse Bias Line

472 Gate Potential Control Line

561 Electronic BORIUMU Circuit

562 SD (Source-Drain) of TFT — Short  
571 Antenna  
572 Key  
573 Case  
574 Display Panel  
581 Eyepiece Ring  
582 Magnifying Lens  
583 Convex Lens  
591 Supporting Point (Rotation Section)  
592 Taking Lens  
593 Storing Section  
594 Switch  
601 Body  
602 Photography Section  
603 Shutter Switch  
611 Installation Frame  
612 Foot  
613 Mount  
614 Fixed Part  
631 Current Source  
632 Current Source  
633 Current Source  
641 Switch (On-off Means)  
634 Current Source (One Unit)  
643 Internal Wiring  
651 BORIUMU (Current Adjustment Means)  
681 Transistor Group  
691 Resistance (Current-Limiting Means, Predetermined Electrical-Potential-Difference Generating Means)  
692 Decoder Circuit  
693 Level-Shifter Circuit  
701 Counter (Counting Means)  
702 NOR  
703 AND  
704 Current Output Circuit  
711 Piling Circuit  
721 D/A Converter  
722 Operational Amplifier  
731 Analog Switch (On-off Means)  
732 Inverter  
761 Output Pad (Output Signal Terminal)  
771 Source of Reference Current  
772 Current Control Circuit  
781 Temperature Detector  
782 Thermal Control Circuit  
931 Cascade Current Path Cord  
932 Reference Current Signal Line  
941i Current input terminal  
941o Current output terminal

951 Base Anode Line (Anode Electrical-Potential-Difference Line)  
952 Anode Wiring  
953 Connection Terminal  
961 Connection Anode Line  
962 Common Anode Line  
971 Contact Hole  
991 Base Cathode Line  
992 Input Signal Line  
1001 Connection Resin (Conductive Resin, Different Directivity Electric Conduction Resin)  
1011 Light Absorption Film  
1012 Resin Bead  
1013 Closure Resin  
1021 Circuit Formation Section  
1051 Gate Voltage Line  
1091 Power Circuit (IC)  
1092 Power-Source IC Control Signal  
1093 Gate Driver Circuit Control Signal

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-323129  
(P2003-323129A)

(43) 公開日 平成15年11月14日 (2003. 11. 14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 9 F 9/30	3 3 0	G 0 9 F 9/30	3 3 0 Z 3 K 0 0 7
	3 6 5		3 6 5 Z 5 C 0 8 0
9/00	3 4 8	9/00	3 4 8 C 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H 5 G 4 3 5
	6 1 2		6 1 2 F

審査請求 未請求 請求項の数10 O L (全128頁) 最終頁に続く

(21) 出願番号 特願2002-127448(P2002-127448)

(22) 出願日 平成14年4月26日 (2002. 4. 26)

(71) 出願人 302020207  
東芝松下ディスプレイテクノロジー株式  
社  
東京都港区港南4-1-8  
(72) 発明者 高原 博司  
東京都港区港南四丁目1番8号 東芝松下  
ディスプレイテクノロジー株式会社内  
(74) 代理人 100092794  
弁理士 松田 正道

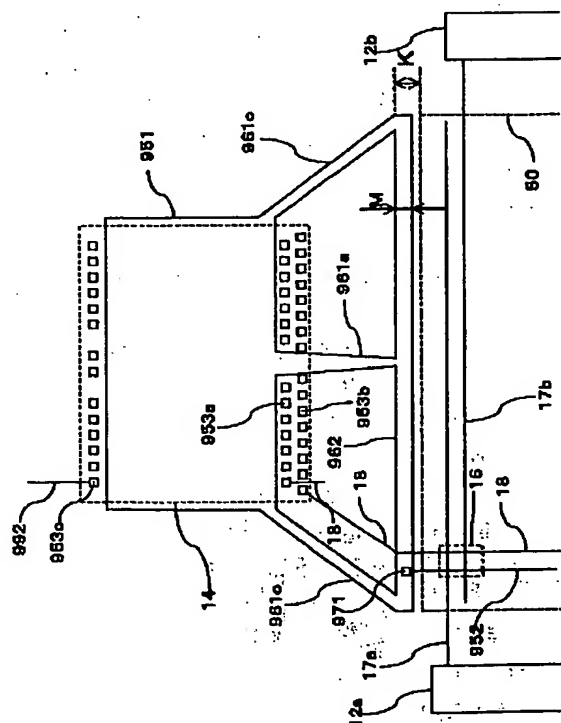
最終頁に続く

(54) 【発明の名称】 EL表示装置、その駆動回路、およびその駆動方法

(57) 【要約】

【課題】 狭額縁かつ均一表示を実現できるアクティブマトリックス型EL表示パネルを提供する。

【解決手段】 電流駆動方式のソースドライバICチップ14はCOG (チップオンガラス) 工法により、接続端子953と接続される。基板上で、ドライバICチップ14の裏面位置にEL素子への電圧を供給するベースアノード線951が形成される。表示領域50の近傍には、ソース信号線18と交差するように共通アノード線962が形成される。共通アノード線962からは、各画素に分岐するアノード配線952が引き出される。共通アノード線962とベースアノード線951とは、接続アノード線961で短絡されている。接続アノード線961aはICチップ14の中央部から引き出され、接続アノード線961b、961cは共通アノード線962の両側に接続されている。



(2)

## 【特許請求の範囲】

【請求項1】 EL素子を有する画素が基板上にマトリックス状に配置された画素表示領域を有するEL表示装置であって、  
前記基板上に配置され、前記画素にプログラム電流またはプログラム電圧を出力するソースドライバ回路を備える駆動ICチップと、

前記基板と前記駆動ICチップの間にその全部または一部が配置されたアノード供給線と、  
前記アノード供給線から分岐され、前記画素に延びるアノード配線と、を備えるEL表示装置。

【請求項2】 前記アノード供給線が、前記基板と前記駆動ICチップの間の隙間にその一部または全部が配置されたベースアノード線と、前記駆動ICチップと前記画素表示領域の間に配置される共通アノード線と、前記ベースアノード線と前記共通アノード線とを接続する少なくとも一つの接続アノード線と、を有し、  
前記ICチップの各出力に接続端子と、前記接続端子に接続され、前記画素に延びるソース信号線とを有し、  
前記アノード配線が前記ベースアノード線から分岐され、前記接続端子の間に配置されて前記画素に延びる、請求項1に記載のEL表示装置。

【請求項3】 前記接続配線のうち少なくとも一つは、前記接続端子が存在しない前記駆動ICチップの中央部に配置される、請求項2に記載のEL表示装置。

【請求項4】 前記アノード配線は、前記ソース信号線に絶縁体を介して重ねられて配置され、さらに前記共通アノード線から分岐され前記画素に延びるアノード配線を有する、請求項2または3に記載のEL表示装置。

【請求項5】 前記ベースアノード線が、前記駆動ICチップの回路形成部を被覆するように配置される、請求項2～4のいずれかに記載のEL表示装置。

【請求項6】 画素を選択するゲート信号線と、前記画素にプログラム電流を伝達するソース信号線とが直交するEL表示装置であって、  
前記ゲート信号線を順次選択するゲートドライバ回路と、

前記ソース信号線にプログラム電流を供給するソースドライバ回路と、

前記ソースドライバ回路の出力段に配置され、かつ、前記プログラム電流の出力又は入力を水平走査信号に同期してオンオフさせるスイッチ回路とを具備するEL表示装置。

【請求項7】 画素を選択するゲート信号線と、前記画素にプログラム電流を伝達するソース信号線と、前記ゲート信号線を順次選択するゲートドライバ回路と、前記ソース信号線にプログラム電流を供給するソースドライバ回路と、前記ソースドライバ回路の出力段に配置され、かつ、前記プログラム電流の出力又は入力を水平走査信号に同期してオンオフさせるスイッチ回路とを有す

2

るEL表示装置の駆動方法であって、

前記第1のゲート信号線の選択状態から、次の第2のゲート信号線の選択状態に移行する期間に、前記スイッチ回路をオフ状態にし、

前記第2のゲート信号線が選択された時に、前記スイッチ回路をオン状態にして、前記プログラム電流を前記ソース信号線に印加するように駆動するEL表示装置の駆動方法。

【請求項8】 低階調領域のプログラム電流を発生する低電流源回路と、  
高階調領域のプログラム電流を発生する高電流源回路と、

前記低電流源回路および前記高電流回路の出力側に配置または形成された第1のスイッチ回路とを具備し、

前記低電流源回路は、複数の単位電流を流す電流源と、前記単位電流源を選択する第1の単位電流スイッチ回路から構成され、

前記高電流源回路は、複数の単位電流を流す電流源と、前記単位電流源を選択する第2の単位電流スイッチ回路から構成され、

前記低電流源回路は、低階調領域と高階調領域の両方で動作し、

前記高電流源回路は、高階調領域で動作し、

前記低電流源回路および高電流源回路は、画像データの大きさに対応して動作するEL表示装置のドライバ回路。

【請求項9】 プログラム電流を出力するソースドライバ回路を備える半導体チップと、  
EL素子を有する画素がマトリックス状に配置された画像表示領域と、

前記画素を選択するゲートドライバ回路と、

前記画素にプログラム電流を供給するソース信号線と、前記画素と同一プロセスで形成されたレベルシフト回路と、

前記画素と同一プロセスで形成されたスイッチ回路を具備し、

前記ソースドライバ回路の出力端子は、前記ソース信号線に接続され、

前記ソースドライバ回路からの制御信号は、前記レベルシフト回路によりレベルシフトされ、前記スイッチ回路をオンオフ制御するEL表示装置。

【請求項10】 プログラム電流を出力するソースドライバ回路を備える半導体チップと、

EL素子を有する画素がマトリックス状に配置された画像表示領域と、

前記画素を選択するゲートドライバ回路と、

前記画素にプログラム電流を供給するソース信号線と、前記画素と同一プロセスで形成されたレベルシフト回路と、

前記画素と同一プロセスで形成されたスイッチ回路とを



(3)

3

具備し、

前記ソースドライバ回路の出力端子は、前記ソース信号線に接続され、

前記スイッチ回路の1端子にプリチャージ電圧が印加され、他の端子は前記ソース信号線に接続され、

前記ソースドライバ回路からの前記プログラム電流は、前記レベルシフト回路によりレベルシフトされ、前記スイッチ回路がオンオフ制御され、

前記プログラム電流により前記プリチャージ電圧がソース信号線に印加されるEL表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明の主として自発光で画像を表示するEL表示パネルなどとこれらのEL表示パネルなどを用いた携帯電話などの情報表示装置などに関するものである。また、EL表示パネルなどを駆動する駆動回路に関するものである。

【0002】

【従来の技術】液晶表示パネルは、薄型で低消費電力という利点から、携帯用機器等に多く採用されているため、ワードプロセッサやパーソナルコンピュータ、テレビ(TV)などの機器や、ビデオカメラのビューファインダ、モニターなどにも用いられている。

【0003】

【発明が解決しようとする課題】しかし、液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示モジュールの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

【0004】近年、有機EL(エレクトロルミネッセンス)表示パネルが開発されてきている。有機EL表示パネルは、低温ポリシリコンTFT(薄膜トランジスタ)アレイを用いてパネルを構成する。しかし、有機ELデバイスは、電流により発光するため、TFTの特性にバラツキがあると、表示ムラが発生するという課題があった。

【0005】

【課題を解決するための手段】上記課題を解決するための第1の本発明(請求項1に対応)は、EL素子を有する画素が基板上にマトリクス状に配置された画素表示領域を有するEL表示装置であって、前記基板上に配置され、前記画素にプログラム電流またはプログラム電圧を出力するソースドライバ回路を備える駆動ICチップと、前記基板と前記駆動ICチップの間にその全部または一部が配置されたアノード供給線と、前記アノード供給線から分岐され、前記画素に延びるアノード配線と、

4

を備えるEL表示装置である。

【0006】第2の本発明(請求項2に対応)は、前記アノード供給線が、前記基板と前記駆動ICチップの間の隙間にその一部または全部が配置されたベースアノード線と、前記駆動ICチップと前記画素表示領域の間に配置される共通アノード線と、前記ベースアノード線と前記共通アノード線とを接続する少なくとも一つの接続アノード線と、を有し、前記ICチップの各出力に接続端子と、前記接続端子に接続され、前記画素に延びるソース信号線とを有し、前記アノード配線が前記ベースアノード線から分岐され、前記接続端子の間に配置されて前記画素に延びる、第1の本発明のEL表示装置である。

【0007】第3の本発明(請求項3に対応)は、前記接続配線のうち少なくとも一つは、前記接続端子が存在しない前記駆動ICチップの中央部に配置される、第2の本発明のEL表示装置である。

【0008】第4の本発明(請求項4に対応)は、前記アノード配線は、前記ソース信号線に絶縁体を介して重ねられて配置され、さらに前記共通アノード線から分岐され前記画素に延びるアノード配線を有する、第2または3の本発明のEL表示装置である。

【0009】第5の本発明(請求項5に対応)は、前記ベースアノード線が、前記駆動ICチップの回路形成部を被覆するように配置される、第2～4の本発明のいずれかのEL表示装置である。

【0010】第6の本発明(請求項6に対応)は、画素を選択するゲート信号線と、前記画素にプログラム電流を伝達するソース信号線とが直交するEL表示装置にあって、前記ゲート信号線を順次選択するゲートドライバ回路と、前記ソース信号線にプログラム電流を供給するソースドライバ回路と、前記ソースドライバ回路の出力段に配置され、かつ、前記プログラム電流の出力又は入力を水平走査信号に同期してオンオフさせるスイッチ回路とを具備するEL表示装置である。

【0011】第7の本発明(請求項7に対応)は、画素を選択するゲート信号線と、前記画素にプログラム電流を伝達するソース信号線と、前記ゲート信号線を順次選択するゲートドライバ回路と、前記ソース信号線にプログラム電流を供給するソースドライバ回路と、前記ソースドライバ回路の出力段に配置され、かつ、前記プログラム電流の出力又は入力を水平走査信号に同期してオンオフさせるスイッチ回路とを有するEL表示装置の駆動方法であって、前記第1のゲート信号線の選択状態から、次の第2のゲート信号線の選択状態に移行する期間に、前記スイッチ回路をオフ状態にし、前記第2のゲート信号線が選択された時に、前記スイッチ回路をオン状態にして、前記プログラム電流を前記ソース信号線に印加するように駆動するEL表示装置の駆動方法である。

【0012】第8の本発明(請求項8に対応)は、低階

(4)

5

調領域のプログラム電流を発生する低電流源回路と、高階調領域のプログラム電流を発生する高電流源回路と、前記低電流源回路および前記高電流回路の出力側に配置または形成された第1のスイッチ回路とを具備し、前記低電流源回路は、複数の単位電流を流す電流源と、前記単位電流源を選択する第1の単位電流スイッチ回路から構成され、前記高電流源回路は、複数の単位電流を流す電流源と、前記単位電流源を選択する第2の単位電流スイッチ回路から構成され、前記低電流源回路は、低階調領域と高階調領域の両方で動作し、前記高電流源回路は、高階調領域で動作し、前記低電流源回路および高電流源回路は、画像データの大きさに対応して動作するEL表示装置のドライバ回路である。

【0013】第9の本発明（請求項9に対応）は、プログラム電流を出力するソースドライバ回路を備える半導体チップと、EL素子を有する画素がマトリクス状に配置された画像表示領域と、前記画素を選択するゲートドライバ回路と、前記画素にプログラム電流を供給するソース信号線と、前記画素と同一プロセスで形成されたレベルシフト回路と、前記画素と同一プロセスで形成されたスイッチ回路を具備し、前記ソースドライバ回路の出力端子は、前記ソース信号線に接続され、前記ソースドライバ回路からの制御信号は、前記レベルシフト回路によりレベルシフトされ、前記スイッチ回路をオンオフ制御するEL表示装置である。

【0014】第10の本発明（請求項10に対応）は、プログラム電流を出力するソースドライバ回路を備える半導体チップと、EL素子を有する画素がマトリクス状に配置された画像表示領域と、前記画素を選択するゲートドライバ回路と、前記画素にプログラム電流を供給するソース信号線と、前記画素と同一プロセスで形成されたレベルシフト回路と、前記画素と同一プロセスで形成されたスイッチ回路とを具備し、前記ソースドライバ回路の出力端子は、前記ソース信号線に接続され、前記スイッチ回路の1端子にプリチャージ電圧が印加され、他の端子は前記ソース信号線に接続され、前記ソースドライバ回路からの前記プログラム電流は、前記レベルシフト回路によりレベルシフトされ、前記スイッチ回路がオンオフ制御され、前記プログラム電流により前記プリチャージ電圧がソース信号線に印加されるEL表示装置である。

【0015】

【発明の実施の形態】本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図11に図示する表示パネルの断面図では封止膜111などを十分厚く図示している。一方、図10において、封止フタ85は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、不要光の反射防止のための位相フィルムなどを省略しているが、適

6

時付加することが望ましい。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【0016】なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図8の表示パネルにタッチパネルなどを付加し、図19、図59から図61に図示する情報表示装置とすることができる。また、拡大レンズ582を取り付けビデオカメラ（図59など参照のこと）などを用いるビューファインダ（図58を参照のこと）を構成することもできる。また、図4、図15、図18、図21、図23などで説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。つまり、本明細書で記載された駆動方法は本発明の表示パネルに適用することができる。また、本発明は各画素にトランジスタが形成されたアクティブマトリクス型表示パネルを主に説明するがこれに限定するものではなく、単純マトリクス型にも適用することができることはいうまでもない。

【0017】このように特に明細書中に例示されていなくとも、明細書、図面中で記載あるいは説明した事項、内容、仕様は、互いに組み合わせて請求項に記載することができる。すべての組み合わせについて明細書などで記述することは不可能であるからである。

【0018】近年、低消費電力でかつ高表示品質であり、更に薄型化が可能な表示パネルとして、有機エレクトロミネッセンス（EL）素子の複数をマトリクス状に配列して構成される有機EL表示パネルが注目されている。有機EL表示パネルは、図10に示すように、画素電極としての透明電極105が形成されたガラス板71（アレイ基板）上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも1層の有機機能層（EL層）15、及び金属電極（反射膜）（カソード）106が積層されたものである。透明電極（画素電極）105である陽極（アノード）にプラス、金属電極（反射電極）106の陰極（カソード）にマイナスの電圧を加え、すなわち、透明電極105及び金属電極106間に直流を印加することにより、有機機能層（EL層）15が発光する。良好な発光特性を期待することのできる有機化合物を有機機能層に使用することによって、EL表示パネルが実用に耐えうるものになっている。なお、本発明は有機EL表示パネルを例にして説明をするが、これに限定するものではなく、無機ELパネルにも適用することができる。また、構造、回路などはTN液晶表示パネル、STN液晶表示パネルなど、他の表示パネルにも適用できる事項がある。

【0019】カソード電極、アノード電極あるいは反射膜は、ITO電極に誘電体多層膜からなる光学的干渉膜を形成して構成してもよい。誘電体多層膜は低屈折率の

(5)

7

誘電体膜と高屈折率の誘電体膜とを交互に多層に形成したものである。つまり、誘電体ミラーである。この誘電体多層膜は有機EL構造から放射される光の色調を良好なもの（フィルタ効果）にする機能を有する。なお、透明電極のITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0020】アノードあるいはカソードへ電流を供給する配線（図8のカソード配線86、アノード配線87）には大きな電流が流れる。たとえば、EL表示装置の画面サイズが40インチサイズになると100（A）程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で導体の厚みを厚く形成している。めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ（容量）を形成してもよい。

【0021】また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

【0022】金属電極106には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えばAl-Li合金を用いることが好ましい。また、透明電極105には、ITO等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITOはIZOなどの他の材料でもよい。この事項は他の画素電極105に対しても同様である。

【0023】なお、画素電極105などに薄膜を蒸着する際は、アルゴン雰囲気中で有機EL膜15を成膜するとよい。また、画素電極105としてのITO上にカーボン膜を20以上50nm以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL膜15は蒸着で形成すること

8

に限定するものではなく、インクジェットで形成してもよいことは言うまでもない。特に高分子有機EL材料ではこのインクジェット工法は有効である。この場合は、高分子有機EL材料を塗布する箇所に親水膜を形成しておくといよい。

【0024】以下、本発明のEL表示パネル構造の理解を容易とするため、まず、本発明の有機EL表示パネルの製造方法について説明をする。

【0025】封止ふた85、基板71は放熱性を良くするため、基板はサファイアガラスで形成してもよい。また、熱伝導性のよい薄膜あるいは厚膜を形成したりしてもよい。たとえば、ダイヤモンド薄膜（DLCなど）を形成した基板を使用することが例示される。もちろん、石英ガラス基板、ソーダガラス基板を用いてもよい。その他、アルミナなどのセラミック基板を使用したり、銅などからなる金属板を使用したり、絶縁膜に金属膜、カーボン膜を蒸着あるいは塗布などのコーティングしたりしたものを用いてもよい。画素電極105を反射型とする場合は、基板材料としては基板の表面方向より光が出射される。したがって、ガラス、石英や樹脂等の透明ないし半透明材料に加えてステンレスなどの非透過材料を用いることもできる。

【0026】また、基板85、基板71の外部あるいは内部に、画素形状に対応してマイクロレンズを形成または配置してもよい。マイクロレンズを構成することにより、EL膜から放射する光の指向性が狭くなり、高輝度化を実現することができる。

【0027】本発明の実施例では、カソード電極106などを金属膜で形成するとしたが、これに限定するものではなく、ITO、IZOなどの透明膜で形成してもよい。このようにEL素子15のアノードとカソードの両方の電極を透明電極にすることにより、透明EL表示パネルを構成できる（もちろん、一方を光透過性のある金属膜で形成してもよい。あるいは、極薄い金属膜をカソード電極とし、このカソード電極上にITOなどの透明導電体材料を積層して構成してもよい）。金属膜を使わずに透過率を約80%まで上げることにより、文字や絵を表示しながら表示パネルの向こう側がほとんど透けて見えるように構成できる。

【0028】基板85、71はプラスチック基板を用いてもよいことは言うまでもない。プラスチック基板はわれにくく、また、軽量のため携帯電話の表示パネル用基板として最適である。プラスチック基板は、芯材となるベース基板の一方の面に補助の基板を接着剤で貼り合わせて積層基板として用いることが好ましい。もちろん、これらの基板等は板に限定するものではなく、厚さ0.05mm以上0.3mm以下のフィルムでもよい。

【0029】ベース基板の基板として、脂環式ポリオレフィン樹脂を用いることが好ましい。このような脂環式ポリオレフィン樹脂として日本合成ゴム社製ARTON

(6)

9

の厚さ200 $\mu$ mの1枚板が例示される。ベース基板の一方の面に、耐熱性、耐溶剤性または耐透湿性機能を持つハードコート層、および耐透気性機能を持つガスバリア層が形成されたポリエステル樹脂、ポリエチレン樹脂あるいはポリエーテルスルホン樹脂などからなる補助の基板（あるいはフィルムもしくは膜）を配置する。

【0030】以上のように基板71などをプラスチックで構成する場合は、基板71などはベース基板と補助基板から構成する。ベース基板の他方の面に、前述と同様にハードコート層およびガスバリア層が形成されたポリ  
10 エーテルスルホン樹脂などからなる補助基板（あるいはフィルムもしくは膜）を配置する。補助基板の光学的遅相軸と補助基板の光学的遅相軸とのなす角度が90度となるようにすることが好ましい。なお、ベース基板と補助基板とは接着剤もしくは粘着剤を介して貼り合わせて積層基板とする。

【0031】接着剤としてはUV（紫外線）硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘  
20 着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。また、基板の屈折率との屈折率差が0.03以下となるようにすることが好ましい。特に接着剤は先に記載したような酸化チタンなどの光拡散材を添加し、光散乱層として機能させることが好ましい。

【0032】補助基板および補助基板をベース基板に貼り合わせる際には、補助基板の光学的遅相軸と補助基板の光学的遅相軸とがなす角度を45度以上120度以下  
30 にすることが好ましい。さらに好ましくは80度以上100度以下することがよい。この範囲にすることにより、補助基板および補助基板であるポリエーテルスルホン樹脂などで発生する位相差を積層基板内で完全に打ち消すことができる。したがって、表示パネル用プラスチック基板は位相差の無い等方性基板として扱うことができるようになる。したがって、円偏光板を使用した構成で、位相状態が異なることによる表示パネルのムラが発生しない。もちろん、円偏光板に関する事項は、基板がプラスチックに限定されるものではなく、ガラス基板の  
40 場合にも有効であることは言うまでもない。基板表面で反射する外光によるコントラスト低下を有効に抑制などできるからである。

【0033】この構成により、位相差を持ったフィルム基板またはフィルム積層基板に比べて、著しく汎用性が広がる。つまり、位相差フィルムとを組み合わせることにより直線偏光を楕円偏光に設計どおりに変換できるようになるからである。基板などに位相差があるとこの位相差により設計値との誤差が発生する。

【0034】ここで、ハードコート層としては、ポリエステル樹脂、エポキシ系樹脂、ウレタン系樹脂またはア  
50

10

クリル系樹脂等を用いることができ、ストライプ状電極（単純マトリックス型EL表示パネル）あるいは画素電極（アクティブマトリックス型表示パネル）を透明導電膜の第1のアンダーコート層とを兼ねる。

【0035】また、ガスバリア層としては、SiO<sub>2</sub>、SiO<sub>x</sub>などの無機材料、またはポリビニールアルコール、ポリイミドなどの有機材料等を用いることができる。粘着剤、接着剤などとしては、先に記述したアクリル系の他にエポキシ系接着剤、またはポリエステル系接着剤等を用いることができる。なお、接着層の厚みは100 $\mu$ m以下とする。ただし、基板など表面の凹凸を平滑化するために10 $\mu$ m以上とすることが好ましい。

【0036】また、基板71、85などを構成する補助基板および補助基板として、厚さ40 $\mu$ m以上400 $\mu$ mのものを用いることが好ましい。また、補助基板および補助基板の厚さを120 $\mu$ m以下にすることにより、ポリエーテルスルホン樹脂のダイラインと呼ばれる溶融押し出し成形時のむらまたは位相差を低く抑えることができる。好ましくは、補助基板の厚みを50 $\mu$ m以上80 $\mu$ m以下とする。

【0037】次に、この積層基板に、透明導電膜の補助アンダーコート層としてSiO<sub>x</sub>を形成し、必要に応じて画素電極となるITOからなる透明導電膜をスパッタ技術で形成する。また、必要に応じて静電気防止としてITO膜を形成する。このようにして製造した表示パネル用プラスチック基板の透明導電膜は、その膜特性として、シート抵抗値25 $\Omega$ /□、透過率80%を実現することができる。ベース基板の厚さが50 $\mu$ mから100 $\mu$ mの薄い場合には、表示パネルの製造工程において、表示パネル用プラスチック基板が熱処理によってカールしてしまう。また、回路部品の接続においても良好な結果は得られない。ベース基板を1枚板で厚さ200 $\mu$ m以上500 $\mu$ m以下とした場合は、基板の変形がなく平滑性に優れ、搬送性が良好で、透明導電膜特性も安定する。また、回路部品の接続も問題なく実施することができる。さらに、特に厚さは250 $\mu$ m以上450 $\mu$ m以下がよい。適度な柔軟性と平面性をもっているためと考えられる。なお、ITOはIZOなどの他の材料でもよい。この事項は画素電極に対しても同様である。

【0038】なお、基板などとして前述のプラスチック基板などの有機材料を使用する場合は、光変調層に接する面にもバリア層として無機材料からなる薄膜を形成することが好ましい。この無機材料からなるバリア層は、AIRコートと同一材料で形成することが好ましい。なお、封止フタ85、基板71と同様に技術あるいは構成により作製できることは言うまでもない。

【0039】また、バリア膜を画素電極あるいはストライプ状電極上に形成する場合は、光変調層に印加される電圧のロスを極力低減させるために低誘電率材料を使用することが好ましい。たとえば、フッ素を添加したアモ

(7)

11

ルファスカーボン膜（比誘電率2.0～2.5）が例示される。その他、JSR社が製造販売しているLKDシリーズ（LKD-T200シリーズ（比誘電率2.5～2.7）、LKD-T400シリーズ（比誘電率2.0～2.2））が例示される。LKDシリーズはMSQ（methy-sil sesquioxane）をベースにしたスピン塗布形であり、比誘電率も2.0～2.7と低く好ましい。その他、ポリイミド、ウレタン、アクリル等の有機材料や、 $\text{SiN}_x$ 、 $\text{SiO}_2$ などの無機材料でもよい。これらのバリア膜材料は補助基板に用いて

【0040】プラスチックで形成した基板85あるいは71を用いることにより、割れない、軽量化できるという利点を発揮できる。他に、プレス加工できるという利点もある。つまり、プレス加工あるいは切削加工により任意の形状の基板を作製できる。また、融解あるいは化学薬品処理により任意の形状、厚みに加工することができる。たとえば、円形に形成したり、球形（曲面など）にしたり、円錐状に加工したりすることが例示される。また、プレス加工により、基板の製造と同時に、一方の基板面に凹凸形状を形成し、散乱面の形成、あるいはエンボス加工を行うことができる。

【0041】また、プラスチックをプレス加工することにより形成した基板71の穴（図示せず）に、封止フタ85の位置決めピンを挿入できるように形成することも容易である。また、基板71内に厚膜技術あるいは薄膜技術で形成したコンデンサあるいは抵抗などの電気回路を構成してもよい。また、基板71などに凹部（図示せず）を形成し、基板85に凸部を形成し、この凹部と凸部とがちょうどはめ込めるように形成することにより、基板71と基板85とをはめ込みにより一体化することができるよう構成してもよい。

【0042】ガラス基板を用いた場合は、画素16の周辺部にELを蒸着する際に使用する土手を形成していた。土手（リブ）は樹脂材料を用いて、1.0 $\mu\text{m}$ 以上3.5 $\mu\text{m}$ 以下の厚みで凸部状に形成する。さらに好ましくは1.5 $\mu\text{m}$ 以上2.5 $\mu\text{m}$ 以下の高さに形成する。この樹脂からなる土手（凸部）101を基板71の形成と同時に作製することもできる。なお、土手101材料はアクリル樹脂、ポリイミド樹脂の他、SOG材料でもよい。土手101は基板71をプレス加工する際に樹脂の凸部と同時に形成することが好ましい。これは基板71などを樹脂で形成することにより発生する大きな効果である。

【0043】このように樹脂部を基板と同時に形成することにより製造時間を短縮できるので低コスト化が可能である。また、基板71などの製造時に、表示領域部にドット状に凸部を形成する。この凸部は隣接画素間に形成するとよい。この凸部は土手101となる。

【0044】なお、以上の実施例では、土手として機能

12

する凸部を形成するとしたが、これに限定することはない。例えば、画素部をプレス加工などにより掘り下げる（凹部）としてもよい。なお、平面な基板71を最初に形成し、その後、再加熱によりプレスして凹凸を形成する方式も含まれる。

【0045】また、基板71、85を直接着色することにより、モザイク状のカラーフィルターを形成してもよい。基板にインクジェット印刷などの技術を用いて染料、色素などを塗布し、浸透させる。浸透後、高温で乾燥させ、また、表面をUV樹脂などの樹脂、酸化シリコンあるいは酸化窒素などの無機材料で被覆すればよい。また、グラビア印刷技術、オフセット印刷技術、スピンナーで膜を塗布し、現像する半導体パターン形成技術などでカラーフィルターを形成する。同様に技術を用いてカラーフィルターの他、黒色もしくは暗色あるいは変調する光の補色の関係にあるの着色によりブラックマトリックス（BM）を直接形成してもよい。また、基板面に画素に対応するように凹部を形成し、この凹部にカラーフィルター、BMあるいはトランジスタを埋め込むように構成してもよい。特に表面をアクリル樹脂で被膜することが好ましい。この構成では画素電極面などが平坦化されるという利点もある。

【0046】また、導電性ポリマーなどにより基板表面の樹脂を導電化し、画素電極105あるいはカソード電極106を直接に構成してもよい。さらに大きくは基板に穴を開け、この穴にコンデンサなどの電子部品を挿入する構成も例示される。基板が薄く構成できる利点が発揮される。

【0047】また、基板の表面を切削することにより、自由に模様を形成したりしてもよい。また、基板71などの周辺部を溶かすことにより形成してもよい。また、有機EL表示パネルの場合は外部からの水分の進入を阻止するため、基板の周辺部を溶かして封止してもよい。

【0048】以上のように、基板を樹脂で形成することにより、基板への穴あけ加工が容易である。また、プレス加工などにより自由に基板形状を構成することができる。また、基板71に穴をあけ、この穴に導電樹脂などを充填し、基板の表と裏とを電氣的に導通させたりすることもできる。基板71などが多層回路基板あるいは両面基板として利用できる。

【0049】また、導電樹脂のかわりに導電ピンなどを挿入してもよい。形成した穴にコンデンサなどの電子部品の端子を差し込めるように構成してもよい。また、基板内に薄膜による回路配線、コンデンサ、コイルあるいは抵抗を形成してもよい。つまり、基板71など自身を多層の配線基板としてもよい。多層化は薄い基板をはりあわせることにより構成する。はり合わせる基板（フィルム）の1枚以上を着色してもよい。

【0050】また、基板材料に染料、色素を加えて基板自身に着色を行ったり、フィルタを形成したりすること

50



13

ができる。また、製造番号を基板作製と同時に形成することもできる。また、表示領域以外の部分だけを着色したりすることにより、積載したICチップに光が照射されることのより誤動作することを防止できる。

【0051】また、基板の表示領域の半分を異なる色に着色することもできる。これは、樹脂板加工技術（インジェクション加工、コンプレクション加工など）を応用すればよい。また、同様の加工技術を用いることのより表示領域の半分を異なるEL層膜厚にすることもできる。また、表示部と回路部とを同時に形成することもできる。また、表示領域とドライバ積載領域との基板厚みを変化させることも容易である。

【0052】また、基板71または基板85に、画素に対応するように、あるいは表示領域に対応するようにマイクロレンズを形成することもできる。また、基板71、85を加工することにより、回折格子を形成してもよい。また、画素サイズよりも十分に微細な凹凸を形成し、視野角を改善したり、視野角依存性を持たせたりすることができる。なお、このような任意形状の加工、微細加工技術などはオムロン（株）が開発したマイクロレンズ形成するスタンプ技術で実現できる。

【0053】基板71、85が空気と接する面には、反射防止膜（AIRコート）が形成される。基板71などに偏光板などが張り付けられていない場合は、基板71などに直接に反射防止膜（AIRコート）が形成される。偏光板（偏光フィルム）など他の構成材料が張り付けられている場合は、その構成材料の表面などに反射防止膜（AIRコート）が形成される。

【0054】なお、以上の実施例は基板71などがプラスチックで形成することを中心として説明したが、これに限定するものではない。たとえば、基板71、85がガラス基板、金属基板であっても、プレス加工、切削加工などにより、土手101などの凹凸部を形成または構成できる。また、基板への着色なども可能である。したがって、説明した事項はプラスチック基板に限定するものではない。また、基板に限定するものでもない。たとえば、フィルムあるいはシートでもよい。

【0055】また、偏光板の表面へのごみの付着を防止あるいは抑制するため、フッ素樹脂からなる薄膜を形成することが有効である。また、静電防止のために親水基を有する薄膜、導電性ポリマー膜、金属膜などの導電体膜を塗布あるいは蒸着してもよい。

【0056】なお、表示パネルの光入射面あるいは光出射面に配置または形成する偏光板（偏光フィルム）は直線偏光にするものに限定するものではなく、楕円偏光となるものであってもよい。また、複数の偏光板をはり合わせたり、偏光板と位相差板とを組み合わせたり、もしくははり合わせたものを用いてもよい。

【0057】偏光フィルムを構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）

(8)

14

が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。

【0058】AIRコートは誘電体単層膜もしくは多層膜で形成する構成が例示される。その他、1.35～1.45の低屈折率の樹脂を塗布してもよい。たとえば、フッ素系のアクリル樹脂などが例示される。特に屈折率が1.37以上1.42以下のものが特性は良好である。

【0059】また、AIRコートは3層の構成あるいは2層構成がある。なお、3層の場合は広い可視光の波長帯域での反射を防止するために用いられる。これをマルチコートと呼ぶ。2層の場合は特定の可視光の波長帯域での反射を防止するために用いられる。これをVコートと呼ぶ。マルチコートとVコートは表示パネルの用途に応じて使い分ける。なお、2層以上の限定するものではなく、1層でもよい。

【0060】マルチコートの場合は酸化アルミニウム（ $Al_2O_3$ ）を光学的膜厚が $nd = \lambda/4$ 、ジルコニウム（ $ZrO_2$ ）を $nd = \lambda/2$ 、フッ化マグネシウム（ $MgF_2$ ）を $nd = \lambda/4$ 積層して形成する。通常、 $\lambda$ として520nmもしくはその近傍の値として薄膜は形成される。

【0061】Vコートの場合は一酸化シリコン（ $SiO$ ）を光学的膜厚 $nd = \lambda/4$ とフッ化マグネシウム（ $MgF_2$ ）を $nd = \lambda/4$ 、もしくは酸化イットリウム（ $Y_2O_3$ ）とフッ化マグネシウム（ $MgF_2$ ）を $nd = \lambda/4$ 積層して形成する。 $SiO$ は青色側に吸収帯域があるため青色光を変調する場合は $Y_2O_3$ を用いた方がよい。また、物質の安定性からも $Y_2O_3$ の方が安定しているため好ましい。また、 $SiO_2$ 薄膜を使用してもよい。もちろん、低屈折率の樹脂等を用いてAIRコートとしてもよい。たとえばフッ素等のアクリル樹脂が例示される。これらは紫外線硬化タイプを用いることが好ましい。

【0062】なお、表示パネルに静電気がチャージされることを防止するため、カバー基板などの導光板、表示パネルなどの表面に親水性の樹脂を塗布しておくこと、あるいはパネルなどの基板材料に親水性が良好な材料で構成しておくことが好ましい。

【0063】1画素には複数のスイッチング素子あるいは電流制御素子としての薄膜トランジスタ（トランジスタ）を形成する。形成するトランジスタは、同じ種類のトランジスタであってもよいし、Pチャンネル型とNチャンネル型のトランジスタというように、違う種類のトランジスタであってもよいが望ましくはスイッチングトランジスタ、駆動用トランジスタとも同極性のものが望ましい。またトランジスタの構造は、プレーナー型のトランジスタで限定されるのではなく、スタガー型でも、逆スタガー型でもよく、また、セルフアライン方式を用いて不純物領域（ソース、ドレイン）が形成された



(9)

15

ものでも、非セルフアライン方式によるものでもよい。

【0064】本発明のEL表示素子15は、基板上に、ホール注入電極（画素電極）となるITO、1種以上の有機層と、電子注入電極とが順次積層されたEL構造体を有する。前記基板にはトランジスタが設けられている。

【0065】本発明のEL表示素子を製造するには、まず、基板上にトランジスタのアレイを所望の形状に形成する。そして、平坦化膜上の画素電極として透明電極であるITOをスパッタ法で成膜、パターンニングする。その後、有機EL層、電子注入電極等を積層する。

【0066】トランジスタとしては、通常多結晶シリコントランジスタを用いればよい。トランジスタは、EL構造体の各画素の端部に設けられ、その大きさは10～30μm程度である。なお、画素の大きさは20μm×20μm～300μm×300μm程度である。

【0067】基板71上には、トランジスタの配線電極が設けられる。配線電極は抵抗が低く、ホール注入電極を電氣的に接続して抵抗値を低く抑える機能があり、一般的にはその配線電極は、Al、Alおよび遷移金属（ただしTiを除く）、Tiまたは窒化チタン（TiN）のいずれか1種または2種以上を含有するものが使われるが、本発明においてはこの材料に限られるものではない。EL構造体の下地となるホール注入電極とトランジスタの配線電極とを併せた全体の厚さとしては、特に制限はないが、通常100～1000nm程度とすればよい。

【0068】トランジスタ11の配線電極とEL構造体の有機層との間には絶縁層を設ける。絶縁層は、SiO<sub>2</sub>等の酸化ケイ素、窒化ケイ素などの無機系材料をスパッタや真空蒸着で成膜したもの、SOG（スピン・オン・グラス）で形成した酸化ケイ素層、フォトリソ、ポリイミド、アクリル樹脂などの樹脂系材料の塗膜など、絶縁性を有するものであればいずれであってもよい。中でもポリイミドが好ましい。また、絶縁層は、配線電極を水分や腐食から守る耐食・耐水膜の役割も果たす。

【0069】EL構造体の発光ピークは2つ以上であってもかまわない。本発明のEL表示素子は、緑および青色発光部は、例えば、青緑色発光のEL構造体と、緑色透過層または青色透過層との組み合わせにより得られる。赤色発光部は、青緑色発光のEL構造体と、このEL構造体の青緑発光を赤色に近い波長に変換する蛍光変換層により得ることができる。

【0070】次に、本発明のEL表示素子15を構成するEL構造体について説明する。本発明のEL構造体は、透明電極である電子注入電極と、1種以上の有機層と、ホール注入電極とを有する。有機層は、それぞれ少なくとも1層のホール輸送層および発光層を有し、例えば、電子注入輸送層、発光層、正孔輸送層、正孔注入層、

16

を順次有する。なお、ホール輸送層はなくてもよい。本発明のEL構造体の有機層は、種々の構成とすることができ、電子注入・輸送層を省略したり、あるいは発光層と一体としたり、正孔注入輸送層と発光層とを混合してもよい。電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。

【0071】ホール注入電極としては、ホール注入電極側から発光した光を取り出す構造であるため、例えば、ITO（錫ドープ酸化インジウム）、IZO（亜鉛ドープ酸化インジウム）、ZnO、SnO<sub>2</sub>、In<sub>2</sub>O<sub>3</sub>等が挙げられるが、特にITO、IZOが好ましい。ホール注入電極の厚さは、ホール注入を十分行える一定以上の厚さを有すれば良く、通常、10～500nm程度とすることが好ましい。素子の信頼性を向上させるために駆動電圧が低いことが必要であるが、好ましいものとして、シート抵抗が10～30Ω/□（膜厚50～300nm）のITOが挙げられる。実際に使用する場合には、ITO等のホール注入電極界面での反射による干渉効果が、光取り出し効率や色純度を十分に満足するように、電極の膜厚や光学定数を設定すればよい。

【0072】ホール注入電極は、蒸着法等によっても形成できるが、スパッタ法により形成することが好ましい。スパッタガスとしては、特に制限するものではなく、Ar、He、Ne、Kr、Xe等の不活性ガス、あるいはこれらの混合ガスを用いればよい。

【0073】電子注入電極は、蒸着、スパッタ法等、好ましくは蒸着法で成膜される仕事関数の小さい金属、化合物または合金で構成される。成膜される電子注入電極の構成材料としては例えば、K、Li、Na、Mg、La、Ce、Ca、Sr、Ba、Al、Ag、In、Sn、Zn、Zr等の金属元素単体、または安定性を向上させるためにそれらを含む2成分、3成分の合金系を用いることが好ましい。合金系としては、例えばAg・Mg（Ag：1～20at%）、Al・Li（Li：0.3～14at%）、In・Mg（Mg：50～80at%）、Al・Ca（Ca：5～20at%）等が好ましい。

【0074】電子注入電極薄膜の厚さは、電子注入を十分行える一定以上の厚さとすれば良く、0.1nm以上、好ましくは1nm以上とすればよい。また、その上限値には特に制限はないが、通常、膜厚は100～500nm程度とすればよい。

【0075】正孔注入層は、ホール注入電極からの正孔の注入を容易にする機能を有し、正孔輸送層は、正孔を輸送する機能および電子を妨げる機能を有し、電荷注入層、電荷輸送層とも称される。

【0076】電子注入輸送層は、発光層に用いる化合物の電子注入輸送機能がさほど高くないときなどに設けられ、電子注入電極からの電子の注入を容易にする機能、

17

電子を輸送する機能および正孔を妨げる機能を有する。正孔注入層、正孔輸送層および電子注入輸送層は、発光層へ注入される正孔や電子を増大・閉じ込めさせ、再結合領域を最適化させ、発光効率を改善する。なお、電子注入輸送層は、注入機能を持つ層と輸送機能を持つ層とに別個に設けてもよい。

【0077】発光層の厚さ、正孔注入層と正孔輸送層とを併せた厚さおよび電子注入輸送層の厚さは特に限定されず、形成方法によっても異なるが、通常、5～100 nm程度とすることが好ましい。

【0078】正孔注入層、正孔輸送層の厚さおよび電子注入輸送層の厚さは、再結合・発光領域の設計によるが、発光層の厚さと同程度もしくは1/10～10倍程度とすればよい。正孔注入層、正孔輸送層の厚さ、および、電子注入層と電子輸送層とを分ける場合のそれぞれの厚さは、注入層は1 nm以上、輸送層は20 nm以上とするのが好ましい。このときの注入層、輸送層の厚さの上限は、通常、注入層で100 nm程度、輸送層で100 nm程度である。このような膜厚については注入輸送層を2層設けるとときも同じである。

【0079】また、組み合わせる発光層や電子注入輸送層や正孔注入輸送層のキャリア移動度やキャリア密度（イオン化ポテンシャル・電子親和力により決まる）を考慮しながら、膜厚をコントロールすることで、再結合領域・発光領域を自由に設計することが可能であり、発光色の設計や、両電極の干渉効果による発光輝度・発光スペクトルの制御や、発光の空間分布の制御を可能にできる。

【0080】本発明のEL素子15の発光層には、発光機能を有する化合物である蛍光性物質を含有させる。この蛍光性物質としては、トリス（8-キノリノラト）アルミニウム〔Alq3〕等の金属錯体色素、フェニルアントラセン誘導体、テトラアリアルエテン誘導体、青緑色発光材料が挙げられる。

【0081】なお、正孔注入層の材料に2%のフタルシアニンを添加したCuPcを採用するとよい。CuPcを単独で使う場合に比較して格段に耐熱性が向上する。

【0082】85℃で1000時間駆動した後の輝度は、初期の輝度（400 cd/m<sup>2</sup>に設定）に対し、CuPcのみでは約45%低下するが、フタルシアニンを添加したものが約35%減にとどまる。これは、フタルシアニンの添加によってCuPcの結晶化が抑制されたためと推定される。CuPcがアモルファス状態を保てば、輝度低下を抑えることができる。フタルシアニン添加による耐熱性向上の効果は、1%以上5%以上で最も大きくなる。特に1%以上3%以下が適切である。なお、20%くらいまでは添加の効果はあるが、それ以上に添加量が増えれば耐熱性は低下する。

【0083】青色発光の有機EL素子15は、発光層の材料に発光波長が約400 nmの「DMPhe n (Tr

(10)

18

iphenylamine)」を用いるとよい。この際、発光効率を高める目的で、電子注入層（Bathocuproine）と正孔注入層（M-MTDATX A）にバンド・ギャップが発光層と同じ材料を採用することが好ましい。バンド・ギャップが3.4 eVと大きいDMPhe nを発光層に用いただけでは、電子は電子注入層に、正孔は正孔注入層にとどまり、発光層で電子と正孔の再結合が起こりにくいからである。DMPhe nのようにアミン基を備える発光材料は構造が不安定で長寿命化し難いという課題に対しては、DMPhe n中で励起したエネルギーをドーパントに移動させ、ドーパントから発光させることにより解決できる。

【0084】EL材料として、りん光発光材料を用いることにより発光効率を向上できる。蛍光発光材料は、その外部量子効率2～3%程度である。蛍光発光材料は内部量子効率（励起によるエネルギーが光に変わる効率）が25%なのに対し、りん光発光材料は100%近くに達するため、外部量子効率が高くなる。

【0085】有機EL素子の発光層のホスト材料にはCBPを用いるとよい。ここに赤色（R）や緑色（G）、青色（B）のりん光発光材料をドーピングしている。ドーピングした材料はすべてIrを含む。R材料はBtp2Ir(acac)、G材料は(ppy)2Ir(acac)、B材料はFIrpicを用いると良い。

【0086】また、正孔注入層・正孔輸送層には、各種有機化合物を用いることができる。正孔注入輸送層、発光層および電子注入輸送層の形成には、均質な薄膜が形成できることから真空蒸着法を用いることが好ましい。

【0087】以下、本発明のEL表示パネルの製造方法および構造についてさらに詳しく説明をする。以前に説明したように、まず、アレイ基板71に画素を駆動するトランジスタ11を形成する。1つの画素は2個以上、好ましくは4個または5個のトランジスタで構成される。また、画素は電流プログラムされ、プログラムされた電流がEL素子15に供給される。通常、電流プログラムされた値は電圧値として蓄積容量19に保持される。このトランジスタ11の組み合わせなど画素構成については後に説明をする。次にトランジスタ11に正孔注入電極としての画素電極を形成する。画素電極105はフォトリソグラフィーによりパターン化する。なお、トランジスタ11の下層、あるいは上層にはトランジスタ11に光入射することにより発生するホットコンダクタ現象（以後、ホットコンと呼ぶ）による画質劣化を防止するために、遮光膜を形成または配置する。

【0088】なお、電流プログラムとは、ソースドライバ回路（IC）14からプログラム電流を画素に印加し（もしくは画素からソースドライバ回路14に吸収し）、この電流に相当する信号値を画素に保持させるものである。この保持された信号値に対応する電流をEL素子15に流す（もしくは、EL素子15から流し込

(11)

19

む)。つまり、電流でプログラムし、プログラムされた電流に相当(対応)する電流をEL素子15に流すようにするものである。

【0089】一方、電圧プログラムとは、ソースドライバ回路14からプログラム電圧を画素に印加し、この電圧に相当する信号値を画素に保持させるものである。この保持された電圧に対応する電流をEL素子15に流す。つまり、電圧でプログラムし、画素内で電圧を電流値に変換し、プログラムされた電圧に相当(対応)する電流をEL素子15に流すようにするものである。

【0090】プラスチック基板にトランジスタを形成するためには、有機半導体を形成する表面を加工することで、炭素と水素からなるペンタセン分子を利用し電子薄膜を形成すればよい。この薄膜は、従来の結晶粒の20倍から100倍の大きさを持つとともに、電子デバイス製造に適した十分な半導体特性を具備する。

【0091】ペンタセンは、シリコン基板上で成長する際に表面の不純物に付着する傾向がある。このため、成長が不規則となり、高品質のデバイスを製造するには小さすぎる結晶粒になる。結晶粒をより大きく成長させるために、まずシリコン基板の上に、シクロヘキセンと呼ばれる分子の単一層「分子パフア」を塗布するとよい。この層がシリコン上の「sticky sites (くっつきやすい場所)」を覆うため、清浄な表面ができてペンタセンが非常に大きな結晶粒にまで成長する。

【0092】これらの新しい大きな結晶粒の薄膜を使うことにより、大型結晶粒のペンタセンを用いたフレキシブルなトランジスタ(トランジスタ)を作製することができる。このようなフレキシブルなトランジスタの大量生産のために、低い温度で液状の材料を塗ることによってトランジスタ(トランジスタ)を製造することができる。

【0093】また、基板上にゲートとなる金属薄膜と島状に形成し、この上にアモルファスシリコン膜を蒸着あるいは塗布した後、加熱して半導体膜を形成してもよい。島状に形成した部分に半導体膜が良好に結晶化する。そのため、モビリティが良好となる。

【0094】有機トランジスタ(トランジスタ)として、静電誘導トランジスタ(SIT)と呼ぶ構造を採用することが好ましい。アモルファス状態のペンタセンを使用する。正孔の移動度は $1 \times 10 \text{ cm}^2/\text{Vs}$ と結晶化したペンタセンよりも低い。しかし、SIT構造を採用することにより周波数特性を高めることができる。ペンタセンの膜厚は100以上300nmとすることが好ましい。

【0095】また、有機トランジスタとしてp型電界効果トランジスタでもよい。プラスチック基板上にトランジスタを形成できる。プラスチック基板ごと折り曲げることが可能なので、フレキシブルなトランジスタ型表示パネルを構成できるペンタセンは多結晶状態とすること

20

が好ましい。ゲート絶縁膜の材料にはPMMAを使用することが好ましい。有機トランジスタの活性層にはナフタセンを使ってもよい。

【0096】洗浄時に酸素プラズマ、 $\text{O}_2$ アッシャーを使用すると、画素電極105の周辺部の平坦化膜102も同時にアッシングされ、画素電極105の周辺部がえぐられてしまう。この課題を解決するために、画素電極105の周辺部をアクリル樹脂からなるエッジ保護膜(基本的には土手101)を形成している。エッジ保護膜101の構成材料としては、平坦化膜102を構成するアクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 $\text{SiO}_2$ 、 $\text{SiN}_x$ などの無機材料が例示される。その他、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_3$ などであってもよいことは言うまでもない。

【0097】エッジ保護膜101は画素電極105のパターニング後、画素電極105間を埋めるように形成する。もちろん、このエッジ保護膜101を2以上 $4 \mu\text{m}$ 以下の高さに形成し、有機EL材料を塗り分ける際のメタルマスクの土手(メタルマスクが画素電極105とが直接に接しないようにするスペーサ)としてもよいことは言うまでもない。

【0098】ゲート絶縁膜に比誘電率が2.4と高い $\text{Ta}_2\text{O}_5$ を採用するとよい。ゲート絶縁膜の厚さは129nmと厚く、しかもチャネル長は $500 \mu\text{m}$ と長いにも関わらずP型トランジスタは電源電圧 $-5 \text{ V}$ で良好に動作する。チャネル層の材料には、ペンタセンと呼ばれる有機材料を用いる。キャリアである正孔(ホール)の移動度は $0.40 \text{ cm}^2/\text{Vs}$ 以上、トランジスタがオン時のドレイン電流と、オフ時の漏れ電流との比は $10^4$ を実現できる。

【0099】画素電極105上にEL膜(15R(赤)、15G(緑)、15B(青))が形成される。各EL膜15はわずかな隙間をあけて形成されるか、周辺部を重ねられる。重ねられた箇所はほとんど発光しない。また、EL膜15上にカソードとなるアルミ膜106が形成される。真空蒸着装置は市販の高真空蒸着装置(日本真空技術株式会社製、EBV-6DA型)を改造した装置を用いる。主たる排気装置は排気速度 $1500 \text{ リットル}/\text{min}$ のターボ分子ポンプ(大阪真空株式会社製、TC1500)であり、到達真空度は約 $1 \times 10^{-6} \text{ Torr}$ 以下であり、全ての蒸着は $2 \sim 3 \times 10^{-6} \text{ Torr}$ の範囲で行う。また、全ての蒸着はタングステン製の抵抗加熱式蒸着ポートに直流電源(菊水電子株式会社製、PAK10-70A)を接続して行うとよい。

【0100】このようにして真空層中に配置したアレイ基板上に、カーボン膜 $20 \sim 50 \text{ nm}$ を成膜する。次に、正孔注入層として4-(N,N-ビス(p-メチルフェニル)アミノ)- $\alpha$ -フェニルスチルベンを $0.3 \text{ nm}/\text{sec}$ の蒸着速度で膜厚約 $5 \text{ nm}$ に形成する。

(12)

21

【0101】正孔輸送層として、N、N'-ビス(4'-ジフェニルアミノ-4-ビフェニル)-N、N'-ジフェニルベンジジン(保土ヶ谷化学株式会社製)と、4-N、N'-ジフェニルアミノ- $\alpha$ -フェニルスチルベンを、それぞれ0.3nm/sおよび0.01nm/sの蒸着速度で共蒸着して膜厚約80nmに形成した。発光層(電子輸送層)としてトリス(8-キノリノラト)アルミニウム(同仁化学株式会社製)を0.3nm/secの蒸着速度で膜厚約40nmに形成する。

【0102】次に、電子注入電極として、AlLi合金(高純度化学株式会社製、Al/Li重量比99/1)から低温でLiのみを、約0.1nm/secの蒸着速度で膜厚約1nmに形成し、続いて、そのAlLi合金をさらに昇温する。Liが出尽くした状態から、Alのみを、約1.5nm/sの蒸着速度で膜厚約100nmに形成し、積層型の電子注入電極とした。

【0103】このようにして作成した有機薄膜EL素子15は、蒸着槽内を乾燥室素でリークした後、乾燥室素雰囲気下で、コーニング7059ガラス製の封止フタ85をシール接着剤(シール剤)(アネルバ株式会社製、商品名スーパーバックシール953-7000)で貼り付けて表示パネルとする。

【0104】なお、封止フタ85とアレイ基板71との空間には乾燥剤107を配置する。これは、有機EL膜15は湿度に弱いためである。乾燥剤107によりシール剤を浸透する水分を吸収し有機EL膜15の劣化を防止する。

【0105】シール剤15からの水分の浸透を抑制するためには外部からの経路(パス)を長くすることが良好な対策である。このため、本発明の表示パネルでは、表示領域の周辺部に微細な凹凸を形成している。アレイ基板71の周辺部に形成した凹凸部は少なくとも2重に形成する。凸と凸との間隔(形成ピッチ)は100 $\mu$ m以上500 $\mu$ m以下に形成することが好ましく、また、凸の高さは30 $\mu$ m以上300 $\mu$ m以下とすることが好ましい。この凸部はスタンプ技術で形成する。このスタンプ技術はオムロン社がマイクロレンズ形成の方法として採用している方式、松下電器がCDのピックアップレンズで微小レンズの形成方式として用いている方式などを応用する。

【0106】一方、封止フタ85にも凹または凸部を形成する。凹または凸部の形成ピッチは基板71に形成した凸部の形成ピッチと同一にする。このように基板71と基板85の凹または凸部の形成ピッチを同一にすることにより凸部に凹部がちょうどはまり込む。そのため、表示パネルの製造時に封止フタ85とアレイ基板71との位置ずれが発生しない。凸部と凹部間にはシール剤を配置する。シール剤は封止フタ85とアレイ基板71とを接着するとともに、外部からの水分の浸入を防止する。

22

【0107】シール剤としてはUV(紫外線)硬化型でアクリル系の樹脂からなるものを用いることが好ましい。また、アクリル樹脂はフッ素基を有するものを用いることが好ましい。その他、エポキシ系の接着剤あるいは粘着剤を用いてもよい。接着剤あるいは粘着剤の屈折率は1.47以上1.54以下のものを用いることが好ましい。特にシール接着剤は酸化チタンの微粉末、酸化シリコンなどの微粉末を重量比で65%以上95%以下の割合で添加することが好ましい。また、この微粉末の粒子径は平均直径20 $\mu$ m以上100 $\mu$ m以下とすることが好ましい。微粉末の重量比が多くなるほど外部からの湿度の浸入を抑制する効果が高くなる。しかし、あまりに多いと気泡などが入りやすく、かえって空間が大きくなりシール効果が低下してしまう。

【0108】乾燥剤107の重量はシールの長さ10mmあたり0.04g以上0.2g以下をすることが好ましい。特にシールの長さ10mmあたり0.06g以上0.15g以下をすることが望ましい。乾燥剤の量が少なすぎると水分防止効果が少なくすぐに有機EL層15が劣化する。多すぎると乾燥剤がシールをする際に障害となり、良好なシールを行うことができない。なお、乾燥剤107はシート状に形成しておき、フタ85とEL膜間に配置するとよい。その際、乾燥剤107にUV硬化樹脂を塗布しておき、配置後、紫外線を照射し、UV樹脂を硬化させて固定させるとよい。

【0109】図10はガラスのフタ85を用いて封止する構成であるが、図11のようにフィルム(薄膜でもよい。つまり薄膜封止膜)111を用いた封止であってもよい。たとえば、封止フィルム(薄膜封止膜)111としては電解コンデンサのフィルムにDLC(ダイヤモンドライクカーボン)を蒸着したものを用いることが例示される。このフィルムは水分浸透性が極めて悪い(防湿)。このフィルムを封止膜111として用いる。また、DLC膜などを電極106の表面に直接蒸着する構成もよいことは言うまでもない。

【0110】なお、この場合は、カソードとアノードの位置関係は逆転する場合がある。薄膜の膜厚は $n \cdot d$ ( $n$ は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合(各薄膜の $n \cdot d$ を計算)にして計算する。 $d$ は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。)が、EL素子15の発光主波長 $\lambda$ 以下となるようにするとよい。この条件を満足させることにより、EL素子15からの光取り出し効率が、ガラス基板で封止した場合に比較して2倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【0111】以上のようにフタ85を用いず、封止膜111で封止する構成を薄膜封止と呼ぶ。基板71側から光を取り出す「下取り出し(図10を参照、光取り出し方向は図10の矢印方向である)」の場合の薄膜封止

(13)

23

は、EL膜を形成後、EL膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜111を形成する。緩衝膜がないと、応力によりEL膜の構造が崩れ、筋状に欠陥が発生する。封止膜111は前述したように、DLC（ダイヤモンドライクカーボン）、あるいは電界コンデンサの層構造（誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造）が例示される。

【0112】EL層15側から光を取り出す「上取り出し（図11を参照、光取り出し方向は図11の矢印方向である）」の場合の薄膜封止は、EL膜15を形成後、EL膜15上にカソード（アノード）となるAg-Mg膜を20オングストローム以上300オングストロームの膜厚で形成する。その上に、ITOなどの透明電極を形成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜111を形成する。

【0113】有機EL層15から発生した光の半分は、反射膜106で反射され、アレイ基板71と透過して出射される。しかし、反射膜106には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板71に $\lambda/4$ 板108および偏光板（偏光フィルム）109を配置している。

【0114】なお、画素が反射電極の場合はEL層15から発生した光は上方向に出射される。したがって、位相板108および偏光板109は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極105を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極105の表面に、凸部（もしくは凹凸部）を設けることで有機EL層15との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード106（アノード105）となる反射膜を透明電極に形成する、あるいは反射率を30%以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【0115】また、ディスプレイ内部に2層の薄膜を形成することによって実現する外光反射を光学干渉によって打ち消すことで有機EL表示パネルのコントラストを向上することができる。従来の円偏光板を使う場合に比べてコストを低減できる。また、円偏光板が抱えていた拡散反射の問題や、表示色の視野角依存性及び有機EL発光層の膜厚依存性の問題を解決できる。

【0116】基板71と偏光板（偏光フィルム）109間には1枚あるいは複数の位相フィルム108（位相板、位相回転手段、位相差板、位相差フィルム）が配置

24

される。位相フィルムとしてはポリカーボネートを使用することが好ましい。位相フィルムは入射光を出射光に位相差を発生させ、効率よく光変調を行うのに寄与する。

【0117】その他、位相フィルムとして、ポリエステル樹脂、PVA樹脂、ポリサルホン樹脂、塩化ビニール樹脂、ゼオネックス樹脂、アクリル樹脂、ポリスチレン樹脂等の有機樹脂板あるいは有機樹脂フィルムなどを用いてもよい。その他、水晶などの結晶を用いてもよい。

1つの位相板の位相差は一軸方向に50nm以上350nm以下とすることが好ましく、さらには80nm以上220nm以下とすることが好ましい。なお、位相フィルムと偏光板とを一体化した円偏光板（円偏光フィルム）を用いてもよいことはいうまでもない。

【0118】位相フィルム108は染料あるいは顔料で着色しフィルタとしての機能をもたせることが好ましい。特に有機EL15は赤（R）の純度が悪い。そのため、着色した位相フィルム108で一定の波長範囲をカットして色温度を調整する。カラーフィルターは、染色フィルタとして顔料分散タイプの樹脂で設けられるのが一般的である。顔料が特定の波長帯域の光を吸収して、吸収されなかった波長帯域の光を透過する。

【0119】以上のように位相フィルム108の一部もしくは全体を着色したり、一部もしくは全体に拡散機能をもたせたりしてもよい。また、表面をエンボス加工したり、反射防止のために反射防止膜を形成したりしてもよい。また、画像表示に有効でない箇所もしくは支障のない箇所に、遮光膜もしくは光吸収膜を形成し、表示画像の黒レベルをひきしめたり、ハレーション防止によるコントラスト向上効果を発揮させたりすることが好ましい。また、位相フィルムの表面に凹凸を形成することによりかまぼこ状あるいはマトリックス状にマイクロレンズを形成してもよい。マイクロレンズは1つの画素電極あるいは3原色の画素にそれぞれ対応するように配置する。

【0120】先にも記述したが、位相フィルムの機能はカラーフィルターに持たせてもよい。たとえば、カラーフィルターの形成時に圧延し、もしくは光重合により一定の方向に位相差が生じるようにすることにより位相差を発生させることができる。その他、平滑化膜102を光重合させることにより位相差を持たせてもよい。このように構成すれば位相フィルムを基板外に構成あるいは配置する必要がなくなり表示パネルの構成が簡易になり、低コスト化が望める。なお、以上の事項は偏光板に適用してもよいことはいうまでもない。

【0121】偏光板（偏光フィルム）109を構成する主たる材料としてはTACフィルム（トリアセチルセルロースフィルム）が最適である。TACフィルムは、優れた光学特性、表面平滑性および加工適性を有するからである。TACフィルムの製造については、溶液流延製



(14)

25

膜技術で作製することが最適である。

【0122】偏光板109はヨウ素などをポリビニールアルコール(PVA)樹脂に添加した樹脂フィルムのも  
のが例示される。一対の偏光分離手段の偏光板109は  
入射光のうち特定の偏光軸方向と異なる方向の偏光成分  
を吸収することにより偏光分離を行うので、光の利用効  
率が比較的悪い。そこで、入射光のうち特定の偏光軸方  
向と異なる方向の偏光成分(reflective p  
olarizer:リフレクティブ・ポラライザー)を  
反射することにより偏光分離を行う反射偏光子を用いて  
もよい。このように構成すれば、反射偏光子により光の  
利用効率が高まって、偏光板を用いた上述の例よりも  
より明るい表示が可能となる。

【0123】また、このような偏光板や反射偏光子以外  
にも、本発明の偏光分離手段としては、例えばコレステ  
リック液晶層と(1/4)λ板108を組み合わせたも  
の、プリースターの角度を利用して反射偏光と透過偏  
光とに分離するもの、ホログラムを利用するもの、偏光  
ビームスプリッタ(PBS)等を用いることも可能であ  
る。

【0124】図10では図示していないが、偏光板10  
9の表面にはAIRコートを実施している。AIRコート  
は誘電体単層膜もしくは多層膜で形成する構成が例示さ  
れる。その他、1.35~1.45の低屈折率の樹脂を  
塗布してもよい。たとえば、フッ素系のアクリル樹脂な  
どが例示される。特に屈折率が1.37以上1.42以  
下のものが特性は良好である。

【0125】また、AIRコートは3層の構成あるいは  
2層構成がある。なお、3層の場合は広い可視光の波長  
帯域での反射を防止するために用いられ、これをマルチ  
コートと呼ぶ。2層の場合は特定の可視光の波長帯域で  
の反射を防止するために用いられ、これをVコートと呼  
ぶ。マルチコートとVコートは表示パネルの用途に応じ  
て使い分ける。なお、2層以上の限定するものではな  
く、1層でもよい。

【0126】マルチコートの場合は酸化アルミニウム  
( $Al_2O_3$ )を光学的膜厚が $nd=λ/4$ 、ジルコニウ  
ム( $ZrO_2$ )を $nd1=λ/2$ 、フッ化マグネシウム  
( $MgF_2$ )を $nd1=λ/4$ 積層して形成する。通  
常、λとして520nmもしくはその近傍の値として薄  
膜は形成される。Vコートの場合は一酸化シリコン(S  
iO)を光学的膜厚 $nd1=λ/4$ とフッ化マグネシウ  
ム( $MgF_2$ )を $nd1=λ/4$ 、もしくは酸化イット  
リウム( $Y_2O_3$ )とフッ化マグネシウム( $MgF_2$ )を  
 $nd1=λ/4$ 積層して形成する。SiOは青色側に  
吸収帯域があるため青色光を変調する場合は $Y_2O_3$ を用  
いた方がよい。また、物質の安定性からも $Y_2O_3$ の方が  
安定しているため好ましい。また、 $SiO_2$ 薄膜を使用  
してもよい。もちろん、低屈折率の樹脂等を用いてAIR  
コートとしてもよい。たとえばフッ素等のアクリル樹

26

脂が例示される。これらは紫外線硬化タイプを用いるこ  
とが好ましい。

【0127】なお、表示パネルに静電気がチャージされ  
ることを防止するため、表示パネルなどの表面に親水性  
の樹脂を塗布しておくことが好ましい。その他、表面反  
射を防止するため、偏光板54の表面などにエンボス加  
工を行ってもよい。また、画素電極105にはトランジ  
スタが接続されるとしたがこれに限定されるものではな  
い。アクティブマトリックスとは、スイッチング素子と  
して薄膜トランジスタ(トランジスタ)の他、ダイオ  
ード方式(TFD)、バリスタ、サイリスタ、リングダイ  
オード、ホトダオード、ホトトランジスタ、FET、M  
OSTランジスタ、PLZT素子などでもよいことは言  
うまでもない。つまり、スイッチ素子11、駆動素子1  
1と構成するものはこれらのいずれでも使用することが  
できる。また、略ストライプ状電極を複数本配置した単  
純マトリックス型の画素構成でもよい。

【0128】また、トランジスタはLDD(ロー ドー  
ピング ドレイン)構造を採用することが好ましい。な  
お、トランジスタとは、FETなどスイッチングなどの  
トランジスタ動作をするすべての素子一般を意味する。  
また、EL膜の構成、パネル構造などは単純マトリッ  
クス型表示パネルにも適用できることは言うまでもない。  
また、本明細書ではEL素子として有機EL素子(OE  
L、PEL、PLED、OLEDなど多種多様な略称で  
記述される)15を例のあげて説明するがこれに限定す  
るものではなく、無機EL素子にも適用されることは言  
うまでもない。

【0129】まず、有機EL表示パネルに用いられるア  
クティブマトリックス方式は、1. 特定の画素を選択  
し、必要な表示情報を与えられること。2. 1フレーム  
期間を通じてEL素子に電流を流すことができることと  
いう2つの条件を満足させなければならない。

【0130】この2つの条件を満足させるため、図62  
に図示する従来の有機ELの画素構成では、第1のトラ  
ンジスタ11bは画素を選択するためのスイッチング用  
トランジスタ、第2のトランジスタ11aはEL素子  
(EL膜)15に電流を供給するための駆動用トランジ  
スタとする。

【0131】ここで液晶に用いられるアクティブマトリ  
ックス方式と比較すると、スイッチング用トランジスタ  
11bは液晶用にも必要であるが、駆動用トランジスタ  
11aはEL素子15を点灯させるために必要である。  
この理由は液晶の場合は、電圧を印加することでオン状  
態を保持することができるが、EL素子15の場合は、  
電流を流しつづけなければ画素16の点灯状態を維持で  
きないからである。

【0132】したがって、EL表示パネルでは電流を流  
し続けるためにトランジスタ11aをオンさせ続けなけ  
ればならない。まず、走査線、データ線が両方ともオン



(15)

27

になると、スイッチング用トランジスタ11bを通してキャパシタ19に電荷が蓄積される。このキャパシタ19が駆動用トランジスタ11aのゲートに電圧を加え続けるため、スイッチング用トランジスタ11bがオフになっても、電流供給線(Vdd)から電流が流れつづき、1フレーム期間にわたり画素16をオンできる。

【0133】この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【0134】トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリ技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V〜0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。なお、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度(摂氏)以上の高温ポリシリコン技術を用いて構成してもよく、また、固相(CGS)成長させた半導体膜を用いてTFTなどを形成したものをもちいてもよい。その他、有機TFTを用いたものであってもよい。なお、本明細書では低温ポリシリコン技術で形成したTFTを主として説明する。しかし、TFTのバラツキが発生するなどの課題は他の方式でも同一である。

【0135】したがって、アナログ的に階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要があるが、現状の低温多結晶ポリシリコントランジスタではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。この問題を解決するため、1画素内に4つ以上のトランジスタをもうけて、しきい値電圧のばらつきをコンデンサにより補償させて均一な電流を得る方法、定電流回路を1画素ごとに形成し電流の均一化を図る方法などが考えられる。

【0136】しかしながら、これらの方法は、プログラムされる電流がEL素子15を通じてプログラムされるため電流経路が変化した場合に電源ラインに接続されるスイッチングトランジスタに対し駆動電流を制御するトランジスタがソースフォロワとなり駆動マージンが狭くなる。したがって、駆動電圧が高くなるという課題を有する。

【0137】また、電源に接続するスイッチングトランジスタをインピーダンスの低い領域で使用する必要があるが、この動作範囲がEL素子15の特性変動により影響

28

を受けるという課題もある。その上、飽和領域における電圧電流特性に、キンク電流が発生する場合、トランジスタのしきい値電圧の変動が発生した場合、記憶された電流値が変動するとう課題もある。

【0138】本発明のEL素子構造は、上記課題に対して、EL素子15に流れる電流を制御するトランジスタ11が、ソースフォロワ構成とならず、かつそのトランジスタにキンク電流があっても、キンク電流の影響を最小に抑えることが出来て記憶される電流値の変動を小さくすることが出来る構成である。

【0139】本発明のEL表示装置の画素構造は、具体的には図1に示すように単位画素が最低4つからなる複数のトランジスタ11ならびにEL素子により形成される。なお、画素電極はソース信号線と重なるように構成する。つまり、ソース信号線18上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極105を形成する。このようにソース信号線18上に画素電極を重ねる構成をハイパーチャ(HA)構造と呼ぶ。

【0140】ゲート信号線(第1の走査線)17aをアクティブ(ON電圧を印加)とすることによりEL素子15駆動用のトランジスタ(トランジスタあるいはスイッチング素子)11aおよびトランジスタ(トランジスタあるいはスイッチング素子)11cを通して、前記EL素子15に流すべき電流値をソースドライバ回路14から流す。また、トランジスタ11aのゲートとドレイン間を短絡するようにトランジスタ11bがゲート信号線17aアクティブ(ON電圧を印加)となることにより開くと共に、トランジスタ11aのゲートとソース間に接続されたコンデンサ(キャパシタ、蓄積容量、付加容量)19に、前記電流値を流すようにトランジスタ11aのゲート電圧(あるいはドレイン電圧)を記憶する(図3(a)を参照のこと)。

【0141】なお、トランジスタ11aのソース(S)ーゲート(G)間容量(コンデンサ)19は0.2pF以上の容量とすることが好ましい。他の構成として、別途、コンデンサ19を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ11cのリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。なお、コンデンサ(蓄積容量)19の大きさは、0.2pF以上2pF以下とすることがよく、中でもコンデンサ(蓄積容量)19の大きさは、0.4pF以上1.2pF以下とすることがよい。

【0142】なお、コンデンサ19は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機EL15を作成する場合、有機EL層15をメタルマスクによるマスク蒸着で形成するた

(16)

29

めマスク位置ずれによるEL層の形成位置が発生する。位置ずれが発生すると各色の有機EL層15(15R、15G、15B)が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は $10\mu\text{m}$ 以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量19をこの領域に形成することは開口率向上のために有効な手段となる。

【0143】なお、メタルマスクは磁性体で作製し、基板71の裏面から磁石でメタルマスクを磁力で吸着する。磁力により、メタルマスクは基板と隙間なく密着する。以上の製造方法に関する事項は、本発明の他の製造方法にも適用される。

【0144】次に、ゲート信号線17aを非アクティブ(OFF電圧を印加)、ゲート信号線17bをアクティブとして、電流の流れる経路を前記第1のトランジスタ11a並びにEL素子15に接続されたトランジスタ11dならびに前記EL素子15を含む経路に切り替えて、記憶した電流を前記EL素子15に流すように動作する(図3(b)を参照のこと)。

【0145】この回路は1画素内に4つのトランジスタ11を有しており、トランジスタ11aのゲートはトランジスタ11bのソースに接続されている。また、トランジスタ11bおよびトランジスタ11cのゲートはゲート信号線17aに接続されている。トランジスタ11bのドレインはトランジスタ11cのソースならびにトランジスタ11dのソースに接続され、トランジスタ11cのドレインはソース信号線18に接続されている。トランジスタ11dのゲートはゲート信号線17bに接続され、トランジスタ11dのドレインはEL素子15のアノード電極に接続されている。

【0146】なお、図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0147】なお、図1においてトランジスタ11c、11bは同一の極性で構成し、かつNチャンネルで構成し、トランジスタ11a、11dはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタに比較して、信頼性が高い、キック電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子15に対しては、トランジスタ11aをPチャンネルにする効果大きい。最適には画素を構成するTFT11をすべてPチャンネルで形成し、内蔵ゲートドライバ12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのTFTで形成することによ

30

り、マスク枚数が5枚となり、低コスト化、高歩留まりを実現できる。

【0148】以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について図3を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として図3(a)となる。ここで、信号線より所定の電流 $I_w$ が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 $I_w$ が流れる。従って、トランジスタ11aのゲートソースの電圧は $I_1$ が流れるような電圧 $V_1$ となる。

【0149】第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図3(b)となる。トランジスタ11aのソースゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 $I_w$ の電流は一定となる。

【0150】このように動作させると、図5に図示するようになる。つまり、図5(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。この画素(行)51aは、図5(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(非画素53のEL素子15には電流が流れ、EL素子15が発光している)。

【0151】図1の画素構成の場合、図3(a)に示すように、電流プログラム時は、プログラム電流 $I_w$ がソース信号線18に流れる。この電流 $I_w$ がトランジスタ11aを流れ、 $I_w$ を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【0152】次に、EL素子15に電流を流す期間は図3(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧( $V_{gh}$ )が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧( $V_{gl}$ )が印加され、トランジスタ11dがオンする。

【0153】このタイミングチャートを図4に図示する。なお、図4などにおいて、括弧内の添え字(たとえば、(1)など)は画素行の番号を示している。つまり、ゲート信号線17a(1)とは、画素行(1)のゲート信号線17aを示している。また、図4の上段の~Hとは、水平走査期間を示している。つまり、1Hとは

(17)

31

第1番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定(1Hの番号、1H周期、画素行番号の順番など)するものではない。

【0154】図4でわかるように、各選択された画素行(選択期間は、1Hとしている)において、ゲート信号線17aにオン電圧が印加されている時には、ゲート信号線17bにはオフ電圧が印加されている。また、この期間は、EL素子15には電流が流れていない(非点灯状態)。選択されていない画素行において、ゲート信号線17aにオフ電圧が印加され、ゲート信号線17bにはオン電圧が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。

【0155】なお、トランジスタ11aのゲートとトランジスタ11cのゲートは同一のゲート信号線11aに接続している。しかし、トランジスタ11aのゲートとトランジスタ11cのゲートとを異なるゲート信号線11に接続してもよい(図32を参照のこと)。1画素のゲート信号線は3本となる(図1の構成は2本である)。トランジスタ11bのゲートのON/OFFタイミングとトランジスタ11cのゲートのON/OFFタイミングを個別に制御することにより、トランジスタ11aののばらつきによるEL素子15の電流値バラツキをさらに低減することができる。

【0156】ゲート信号線17aとゲート信号線17bとを共通にし、トランジスタ11cと11dが異なった導電型(NチャンネルとPチャンネル)とすると、駆動回路の簡略化、ならびに画素の開閉率を向上させることができる。

【0157】このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ11aのソース(S)ーゲート(G)間容量(コンデンサ)に記憶されない。トランジスタ11cとトランジスタ11dを異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ11cがオフしたのちに、トランジスタ11dがオンすることが可能になる。

【0158】ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低4つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ11eを図2に示すように、カスケード接続してトランジスタの総数が4以上になっても動作原理は同じである。このようにトランジスタ11eを加えた構成とすることにより、トランジスタ11cを介してプログラムした電流がより精度よくEL素子15に流すことができるようになる。

【0159】図1の構成において、第1のトランジスタ

32

11aの飽和領域における電流値 $I_{ds}$ が下式の条件を満足させることがさらに好ましい。なお、下式において $\lambda$ の値は、隣接する画素間において0.06以下0.01以上の条件を満足させる。

【0160】

$$I_{ds} = k \times (V_{gs} - V_{th})^2 (1 + V_{ds} \times \lambda)$$

本発明では、トランジスタ11aの動作範囲を飽和領域に限定するが、一般的に飽和領域におけるトランジスタ特性は、理想的な特性より外れ、ソースドレイン間電圧の影響を受ける。この効果をミラー効果という。

【0161】隣接する画素におけるそれぞれのトランジスタ11aに $\Delta V_t$ なる閾値のシフトが発生した場合を考える。この場合記憶される電流値は同じである。閾値のシフトを $\Delta L$ とすれば、約 $\Delta V \times \lambda$ がトランジスタ11aの閾値が変動することによる、EL素子15の電流値のずれに相当する。したがって、電流のずれを $x$

(%)以下に抑えるためには、閾値のシフトの許容量を隣接する画素間で $y$ (V)を許容するとして、 $\lambda$ は $0.01 \times x / y$ 以下でなければならないことが判る。

【0162】この許容値はアプリケーションの輝度により変化する。輝度が $100 \text{ cd/m}^2$ から $1000 \text{ cd/m}^2$ までの輝度領域においては、変動量が2%以上あれば人間は変動した境界線を認識する。したがって、輝度(電流量)の変動量が2%以内であることが必要である。輝度が $100 \text{ cd/m}^2$ より高い場合は隣接する画素の輝度変化量は2%以上となる。本発明のEL表示素子を携帯端末用ディスプレイとして用いる場合、その要求輝度は $100 \text{ cd/m}^2$ 程度である。実際に図1の画素構成を試作し、閾値の変動を測定すると、隣接する画素のトランジスタ11aにおいては閾値の変動の最大値は0.3Vであることが判った。したがって、輝度の変動を2%以内に抑えるためには $\lambda$ は0.06以下でなければならない。しかし、0.01以下にする必要はない。人間が変化を認識することができないからである。また、この閾値のバラツキを達成するためにはトランジスタサイズを十分大きくする必要があり、非現実的である。

【0163】また、第1のトランジスタ11aの飽和領域における電流値 $I_{ds}$ が下式を満足するように構成することが好ましい。なお、 $\lambda$ の変動が隣接する画素間において5%以下1%以上とする。

【0164】

$$I_{ds} = k \times (V_{gs} - V_{th})^2 (1 + V_{ds} \times \lambda)$$

隣接する画素間において、たとえ閾値の変動が存在しない場合でも上記式の $\lambda$ に変動があれば、ELを流れる電流値が変動する。変動を $\pm 2\%$ 以内に抑えるためには、 $\lambda$ の変動を $\pm 5\%$ に抑えなければならない。しかし、1%以下にする必要はない。人間が変化を認識することができないからである。また、1%以下を達成するためにはトランジスタサイズを相当に大きくする必要があり、

33

非現実的である。

【0165】また、実験、アレイ試作および検討によれば第1のトランジスタ11aのチャンネル長が $10\mu\text{m}$ 以上 $200\mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第1のトランジスタ11aのチャンネル長が $15\mu\text{m}$ 以上 $150\mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 $L$ を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【0166】また、画素を構成するトランジスタ11が、レーザー再結晶化方法（レーザアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を2回以上スキャンして半導体膜を形成することが好ましい。

【0167】本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために4トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値のあたりの平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【0168】また、蓄積容量19の容量値を $C_s$ 、第2のトランジスタ11bのオフ電流値を $I_{off}$ とした場合、次式を満足させることが好ましい。

$$【0169】3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

$$【0170】6 < C_s / I_{off} < 18$$

トランジスタ11bのオフ電流を $5\text{pA}$ 以下とすることにより、 $E_L$ を流れる電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0171】また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トラン\*

(18)

34

\*ジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0172】また、アクティブマトリックスを構成するトランジスタがポリシリコン薄膜トランジスタで構成されており、各トランジスタの（チャンネル幅 $W$ ）×（チャンネル長 $L$ ）を $54\mu\text{m}^2$ 以下とすることが好ましい。（チャンネル幅 $W$ ）×（チャンネル長 $L$ ）とトランジスタ特性のバラツキとは相関がある。トランジスタ特性におけるばらつきの原因は、レーザーの照射によるエネルギーのばらつきなどに起因するものが大きく、したがってこれを吸収するためには、できるだけレーザーの照射ピッチ（一般的には10数 $\mu\text{m}$ ）をチャンネル内により多く含む構造が望ましい。各トランジスタの（チャンネル幅 $W$ ）×（チャンネル長 $L$ ）を $54\mu\text{m}^2$ 以下とすることによりレーザー照射に起因するばらつきがなく、特性のそろった薄膜トランジスタを得ることができる。なお、あまりにもトランジスタサイズが小さくなると面積による特性ばらつきが発生する。したがって、各トランジスタの（チャンネル幅 $W$ ）×（チャンネル長 $L$ ）は $9\mu\text{m}^2$ 以上となるようにする。なお、さらに好ましくは、各トランジスタの（チャンネル幅 $W$ ）×（チャンネル長 $L$ ）は $16\mu\text{m}^2$ 以上 $45\mu\text{m}^2$ 以下となるようにすることが好ましい。

【0173】また、隣接する単位画素での第1のトランジスタ11aの移動度変動が20%以下であるようにすることが好ましい。移動度が不足することによりスイッチングトランジスタの充電能力が劣化し、時間内に必要な電流値を流すまでに、M1のゲートソース間の容量を充電できない。従って移動のばらつきを20%以内に抑えることにより画素間の輝度のばらつきを認知限以下にすることができる。

【0174】以上の説明は、画素構成が図1の構成として説明したが、以上の事項は他の画素構成にも適用することができる。以下、その一例として図38の画素構成について、構成、動作について説明をする。

【0175】 $E_L$ 素子15に流す電流を設定する時、トランジスタ11aに流す信号電流を $I_w$ 、その結果トランジスタ11aに生ずるゲートソース間電圧を $V_{gs}$ とする。書き込み時はトランジスタ11dによってトランジスタ11aのゲート・ドレイン間が短絡されているので、トランジスタ11aは飽和領域で動作する。よって、 $I_w$ は、以下の式で与えられる。

【0176】

$$I_w = \mu_1 \cdot C_{ox1} \cdot (W_1 / L_1) / 2 (V_{gs} - V_{th1})^2 \quad \dots$$

(1)

(19)

35

ここで、 $C_{ox}$ は単位面積当たりのゲート容量であり、 $C_{ox} = \epsilon_0 \cdot \epsilon_r / d$ で与えられる。 $V_{th}$ はトランジスタの閾値、 $\mu$ はキャリアの移動度、 $W$ はチャンネル幅、 $L$ はチャンネル長、 $\epsilon_0$ は真空の移動度、 $\epsilon_r$ はゲート絶縁膜の比誘電率を示し、 $d$ はゲート絶縁膜の厚みである。EL素子15に流れる電流を $I_{dd}$ とすると、 $I^*$

$$I_{drv} = \mu^2 \cdot C_{ox}^2 \cdot (W^2 / L^2) / 2 (V_{gs} - V_{th})^2 \quad \dots$$

(2)

絶縁ゲート電界効果型の薄膜トランジスタ（トランジスタ）が飽和領域で動作するための条件は、 $V_{ds}$ をドレイン・ソース間電圧として、一般に以下の式で与えられる。

【0177】

$$|V_{ds}| > |V_{gs} - V_{th}| \quad \dots \quad (3)$$

ここで、トランジスタ11aとトランジスタ11bは、※

$$I_{drv} / I_w = (W^2 / L^2) / (W_1 / L_1) \quad \dots \quad (4)$$

ここで注意すべき点は、(1)式及び(2)式において、 $\mu$ 、 $C_{ox}$ 、 $V_{th}$ の値自体は、画素毎、製品毎、あるいは製造ロット毎にばらつくのが普通であるが、

(4)式はこれらのパラメータを含まないので、 $I_{drv} / I_w$ の値はこれらのばらつきに依存しないということである。

【0179】仮に $W_1 = W_2$ 、 $L_1 = L_2$ と設計すれば、 $I_{drv} / I_w = 1$ 、すなわち $I_w$ と $I_{drv}$ が同一の値となる。すなわちトランジスタの特性ばらつきによらず、EL素子15に流れる駆動電流 $I_{dd}$ は、正確に信号電流 $I_w$ と同一になるので、結果としてEL素子15の発光輝度を正確に制御できる。

【0180】以上の様に、駆動用トランジスタ11aの $V_{th1}$ と駆動用トランジスタ11bの $V_{th2}$ は基本的に同一である為、両トランジスタお互いの共通電位にあるゲートに対してカットオフレベルの信号電圧が印加されると、トランジスタ11a及びトランジスタ11b共に非導通状態になるはずである。ところが、実際には画素内でもパラメータのばらつきなどの要因により、 $V_{th1}$ よりも $V_{th2}$ が低くなってしまうことがある。この時には、駆動用トランジスタ11bにサブスレッショルドレベルのリーク電流が流れる為、EL素子15は微発光を呈する。この微発光により画面のコントラストが低下し表示特性が損なわれる。

【0181】本発明では特に、駆動用トランジスタ11bの閾電圧 $V_{th2}$ が画素内で対応する駆動用トランジスタ11aの閾電圧 $V_{th1}$ より低くならない様に設定している。例えば、トランジスタ11bのゲート長 $L_2$ をトランジスタ11aのゲート長 $L_1$ よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 $V_{th2}$ が $V_{th1}$ よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。以上の事項は図1のトランジスタ11aとトランジスタ11dの関係にも適用される。

36

\*  $dd$ は、EL素子15と直列に接続されるトランジスタ11bによって電流レベルが制御される。本発明では、そのゲート・ソース間電圧が(1)式の $V_{gs}$ に一致するので、トランジスタ11bが飽和領域で動作すると仮定すれば、以下の式が成り立つ。

※小さな画素内部に近接して形成されるため、大略 $\mu_1 = \mu_2$ 及び $C_{ox1} = C_{ox2}$ であり、特に工夫を凝らさない限り、 $V_{th1} = V_{th2}$ と考えられる。すると、このとき(1)式及び(2)式から容易に以下の式が導かれる。

【0178】

【0182】図38に示すように、信号電流が流れる駆動用トランジスタ11a、EL素子15等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ11bの他、ゲート信号線17a1の制御によって画素回路とデータ線dataとを接続もしくは遮断する取込用トランジスタ11c、ゲート信号線17a2の制御によって書き込み期間中にトランジスタ11aのゲート・ドレインを短絡するスイッチ用トランジスタ11d、トランジスタ11aのゲート・ソース間電圧を書き込み終了後も保持するための容量C19および発光素子としてのEL素子15などから構成される。

【0183】図38でトランジスタ11c、11dはNチャンネルMOS (NMOS)、その他のトランジスタはPチャンネルMOS (PMOS)で構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量Cは、その一方の端子をトランジスタ11aのゲートに接続され、他方の端子は $V_{dd}$ （電源電位）に接続されているが、 $V_{dd}$ に限らず任意の一定電位でも良い。EL素子15のカソード（陰極）は接地電位に接続されている。したがって、以上の事項は図1などにも適用されることは言うまでもない。

【0184】EL素子15の端子電圧は温度によっても変化する。通常、温度が低い時は高く、温度が高くなるにつれ、低くなる。この傾向はリニアの関係にある。したがって、 $V_{dd}$ 電圧を外部温度によって（正確にはEL素子15の温度によって）調整することが好ましい。温度センサで外部温度を検出し、 $V_{dd}$ 電圧発生部あるいは $V_k$ 電圧発生部のフィードバックをかけて $V_{dd}$ 電圧あるいは $V_k$ 電圧を変化させる。 $V_{dd}$ 電圧などは摂氏1-0℃の変化で、2%以上8%以下変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。

【0185】なお、図1などの $V_{dd}$ 電圧はトランジスタ11bのオフ電圧（トランジスタがPチャンネル時）

37

よりも低くすることが好ましい。具体的には、 $V_{gh}$  (ゲートのオフ電圧) は少なくとも  $V_{dd}-0.5$

(V) よりも高くすべきである。これよりも低いとトランジスタのオフリークが発生し、レーザーアニールのショットムラが目立つようになる。また、 $V_{dd}+4$

(V) よりも低くすべきである。あまりにも高いと逆にオフリーク量が増加する。

【0186】したがって、ゲートのオフ電圧 (図1では  $V_{gh}$ 、つまり、電源電圧に近い電圧側) は、電源電圧

(図1では  $V_{dd}$ ) は、よりも  $-0.5$  (V) 以上  $+4$  (V) 以下とすべきである。さらに好ましくは、電源電圧 (図1では  $V_{dd}$ ) は、よりも  $0$  (V) 以上  $+2$

(V) 以下とすべきである。つまり、ゲート信号線に印加するトランジスタのオフ電圧は、十分オフになるようにする。トランジスタがNチャンネルの場合は、 $V_{gl}$  がオフ電圧となる。したがって、 $V_{gl}$  はGND電圧に対して  $-4$  (V) 以上  $0.5$  (V) 以下の範囲となるようにする。さらに好ましくは  $-2$  (V) 以上  $0$  (V) 以下の範囲とすることが好ましい。

【0187】以上の事項は、図1の電流プログラムの画素構成について述べたが、これに限定するものではなく、電圧プログラムの画素構成にも適用できることは言うまでもない。なお、電圧プログラムの  $V_t$  オフセットキャンセルは、R、G、Bごとに個別に補償することが好ましい。

【0188】駆動用トランジスタ11bは、コンデンサ19に保持された電圧レベルをゲートに受け入れそれに応じた電流レベルを有する駆動電流はチャネルを介してEL素子15に流す。トランジスタトランジスタ11aのゲートとトランジスタトランジスタ11bのゲートとが直接に接続されてカレントミラー回路を構成し、信号電流  $I_w$  の電流レベルと駆動電流の電流レベルとが比例関係となる様にしている。

【0189】トランジスタ11bは飽和領域で動作し、そのゲートに印加された電圧レベルと閾電圧との差に応じた駆動電流をEL素子15に流す。

【0190】トランジスタ11bは、その閾電圧が画素内で対応するトランジスタ11aの閾電圧より低くならない様に設定されている。具体的には、トランジスタ11bは、そのゲート長がトランジスタ11aのゲート長より短くならない様に設定されている。あるいは、トランジスタ11bは、そのゲート絶縁膜が画素内で対応するトランジスタ11aのゲート絶縁膜より薄くならないように設定しても良い。

【0191】あるいは、トランジスタ11bは、そのチャネルに注入される不純物濃度を調整して、閾電圧が画素内で対応するトランジスタ11aの閾電圧より低くならない様に設定してもよい。仮に、トランジスタ11aとトランジスタ11bの閾電圧が同一となる様に設定した場合、共通接続されたトランジスタのゲートにカット

(20)

38

オフレベルの信号電圧が印加されると、トランジスタ11a及びトランジスタ11bは両方共オフ状態になるはずである。ところが、実際には画素内にも僅かながらプロセスパラメータのばらつきがあり、トランジスタ11aの閾電圧よりトランジスタ11bの閾電圧が低くなる場合がある。

【0192】この時には、カットオフレベル以下の信号電圧でもサブスレッショルドレベルの微弱電流が駆動用トランジスタ11bに流れる為、EL素子15は微発光し画面のコントラスト低下が現れる。そこで、トランジスタ11bのゲート長をトランジスタ11aのゲート長よりも長くしている。これにより、トランジスタ11のプロセスパラメータが画素内で変動しても、トランジスタ11bの閾電圧がトランジスタ11aの閾電圧よりも低くならない様にする。

【0193】ゲート長Lが比較的短い短チャネル効果領域Aでは、ゲート長Lの増加に伴い  $V_{th}$  が上昇する。一方、ゲート長Lが比較的大きな抑制領域Bではゲート長Lに関わらず  $V_{th}$  はほぼ一定である。この特性を利用して、トランジスタ11bのゲート長をトランジスタ11aのゲート長よりも長くしている。例えば、トランジスタ11aのゲート長が  $7\mu m$  の場合、トランジスタ11bのゲート長を  $10\mu m$  程度にする。

【0194】トランジスタ11aのゲート長が短チャネル効果領域Aに属する一方、トランジスタ11bのゲート長が抑制領域Bに属する様にしても良い。これにより、トランジスタ11bにおける短チャネル効果を抑制することができるとともに、プロセスパラメータの変動による閾電圧低減を抑制可能である。以上により、トランジスタ11bに流れるサブスレッショルドレベルのリーク電流を抑制してEL素子15の微発光を抑え、コントラスト改善に寄与可能である。

【0195】このようにして作製した図1、図2、図3などで説明したEL表示素子15に直流電圧を印加し、 $10mA/cm^2$  の一定電流密度で連続駆動させた。EL構造体は、 $7.0V$ 、 $200cd/cm^2$  の緑色 (発光極大波長  $\lambda_{max} = 460nm$ ) の発光が確認できた。青色発光部は、輝度  $100cd/cm^2$  で、色座標が  $x=0.129$ 、 $y=0.105$ 、緑色発光部は、輝度  $200cd/cm^2$  で、色座標が  $x=0.340$ 、 $y=0.625$ 、赤色発光部は、輝度  $100cd/cm^2$  で、色座標が  $x=0.649$ 、 $y=0.338$  の発光色が得られた。フルカラー有機EL表示パネルでは、開口率の向上が重要な開発課題になる。開口率を高めると光の利用効率が上がり、高輝度化や長寿命化につながるためである。開口率を高めるためには、有機EL層からの光を遮るトランジスタの面積を小さくすればよい。低温多結晶Siートランジスタはアモルファスシリコンに比較して10-100倍の性能を持ち、電流の供給能力が高いため、トランジスタの大きさ



(21)

39

を非常に小さくできる。したがって、有機EL表示パネルでは、画素トランジスタ、周辺駆動回路を低温ポリシリコン技術で作製することが好ましい。もちろん、アモルファスシリコン技術で形成してもよいが画素開口率はかなり小さくなってしまう。

【0196】ゲートドライバ回路12あるいはソースドライバ回路14などの駆動回路をガラス基板71上に形成することにより、電流駆動の有機EL表示パネルで特に問題になる抵抗を下げるができる。TCPの接続抵抗がなくなるうえに、TCP接続の場合に比べて電極からの引き出し線が2~3mm短くなり配線抵抗が小さくなる。さらに、TCP接続のための工程がなくなる、材料コストが下がるという利点があるとする。

【0197】次に、本発明のEL表示パネルあるいはEL表示装置について説明をする。図6はEL表示装置の回路を中心とした説明図である。画素16がマトリクス状に配置または形成されている。各画素16には各画素の電流プログラムを行う電流を出力するソースドライバ回路14が接続されている。ソースドライバ回路14の出力段は映像信号のビット数に対応したカレントミラー回路が形成されている（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

【0198】なお、1つのカレントミラー回路の最小出力電流は10nA以上50nAにしている。特にカレントミラー回路の最小出力電流は15nA以上35nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0199】また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBでことなるからである。

【0200】以上に説明した画素構成、アレイ構成、パネル構成などは、以下に説明する構成、方法、装置に適用されることは言うまでもない。また、以下に説明する構成、方法、装置は、すでに説明した画素構成、アレイ構成、パネル構成などが適用されることは言うまでもない。有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはボジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0201】この場合は、選択するEL材料で一義的に

40

決定されるから、マイコンなどのソフト制御する必要がない場合が多い。つまり、液晶材料により、一定のシフト量などに固定しておいてもよい。重要なのは発光色材料により温特が異なっている点であり、発光色（R、G、B）ごとに最適な温特補償を行う必要がある点である。

【0202】R、G、Bの各EL素子の温特は一定範囲内にする必要がある。R、G、BのEL素子15の温特はない事が好ましいのはいうまでもない。少なくともR、G、Bの温特方向が同一方向か、もしくは変化しないようにする。また、変化は各色摂氏10℃の変化で、2%以上8%以下変化するようにすることが好ましい。中でも3%以上6%以下とすることが好ましい。また、温特補償はマイコンでおこなってもよい。温度センサでEL表示パネルの温度を測定し、測定した温度によりマイコン（図示せず）などで変化させる。また、切り替え時に基準電流などをマイコン制御などにより自動的に切り替えてもよいし、また、特定のメニュー表示を表示できるように制御してもよい。また、マウスなどを用いて切り替えできるように構成できる。また、EL表示装置の表示画面をタッチパネルにし、かつメニューを表示して特定箇所を押さえることにより切り替えできるように構成してもよい。

【0203】本発明ではソースドライバは半導体シリコンチップで形成し、ガラスオンチップ（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0204】本発明はCOG技術に限定するものではなく、チップオンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC82を別途作製し、3チップ構成としてもよい。

【0205】また、TCFテープを用いてもよい。TCFテープ向けフィルムは、ポリイミドフィルムと銅（Cu）箔を、接着剤を使わずに熱圧着することができる。接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープ向けフィルムにはこのほか、Cu箔の上に溶解したポリイミドを重ねてキャスト成型する方式と、ポリイミドフィルム上にスパッタリングで形成した金属膜の上にCuをメッキや蒸着で付ける方式がある。これらのいずれでもよいが、接着剤を使わずにポリイミドフィルムにCuを付けるTCPテープを用いる方法が最も好ましい。30μm以下のリード・ピッチには、接着剤を使わないCuはり積層板で対応する。接着剤を使わないCuはり積層板のうち、Cu層をメッキや蒸着で形成す

(22)

41

る方法はCu層の薄型化に適しているため、リード・ピッチの微細化に有利である。

【0206】一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路14に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭縁縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板71上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【0207】ゲートドライバ12はゲート信号線17a用のシフトレジスタ回路61aと、ゲート信号線17b用のシフトレジスタ回路61bとを内蔵する。各シフトレジスタ回路61は正相と負相のクロック信号（CLKxP、CLKxN）、スタートパルス（STx）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABL）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC81からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【0208】シフトレジスタ回路61のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ回路61の出力とゲート信号線17を駆動する出力ゲート63間には少なくとも2つ以上のインバータ回路62が形成されている。

【0209】ソースドライバ14を低温ポリシリコンなどのポリシリコン技術で基板71上に直接形成する場合も同様であり、ソース信号線18を駆動するトランスファージゲートなどのアナログスイッチのゲートとソースドライバ回路14のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージゲートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライバおよびゲートドライバ回路に共通の事項である。

【0210】たとえば、図6ではソースドライバ14の出力が直接ソース信号線18に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファージゲートなどのアナログスイッ

42

チのゲートに接続されている。

【0211】インバータ回路62はPチャンネルのMOSトランジスタとNチャンネルのMOSトランジスタから構成される。先にも説明したようにゲートドライバ回路12のシフトレジスタ回路61の出力端にはインバータ回路62が多段に接続されており、その最終出力が出力ゲート回路63に接続されている。なお、インバータ回路62はPチャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【0212】図8は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コンとローレベルIC81からソースドライバ回路14aに供給する信号（電源配線、データ配線など）はフレキシブル基板84を介して供給する。

【0213】図8ではゲートドライバ12の制御信号はコントロールICで発生させ、ソースドライバ14でいったん、レベルシフトを行った後、ゲートドライバ12に印加している。ソースドライバ14の駆動電圧は4～8（V）であるから、コントロールIC81から出力された3.3（V）振幅の制御信号を、ゲートドライバ12が受け取れる5（V）振幅に変換することができる。

【0214】ソースドライバ14内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26万色表示データを4096色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ81で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【0215】なお、図8などにおいて14をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図8などで説明する構成にあっても、図9などで説明する3辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【0216】表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバIC（回路）14、ゲートドライバIC（回路）12を図9に示すように、表示パネルの一边に実装（形成）することが好ましい（なお、このように一边にドライバIC（回路）を実装（形成）する形態を3辺フリー構成（構造）と呼ぶ。従来は、表示領域のX辺にゲートドライバIC12が実装され、Y辺にソースドライバIC14が実装されていた）。画面50の中心線が表示装置の中心になるように設計し易く、また、ドライバICの実装も容易となるか

(23)

43

らである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで3辺フリーの構成で作製してもよい（つまり、図9のソースドライバ回路14とゲートドライバ回路12のうち、少なくとも一方をポリシリコン技術で基板71に直接形成する）。

【0217】なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一边（もしくはほぼ一边）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0218】図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cに沿って形成し、画面表示領域50まで形成する必要がある。

【0219】なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0220】C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅Dが大きくなりすぎ実用的でない。

【0221】前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

【0222】図9のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

44

【0223】なお、図9などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【0224】また、ソースドライバIC14とゲートドライバIC12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

【0225】なお、ソースドライバIC14、ゲートドライバIC12はシリコンなどの半導体ウェハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

【0226】図1などで図示した構成ではEL素子15のトランジスタ11aを介してVdd電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧がBとG、Rで異なる。したがって、BとG、Rでは保持するトランジスタ11aのソースドレイン電圧(SD電圧)が異なる。そのため、各色でトランジスタのソースドレイン電圧(SD電圧)間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリッカが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態をなす。

【0227】この課題に対応するため、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはR、G、B色のうち、1つのVddの電位を他色のVddの電位と異ならせるように構成している。

【0228】R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が6000K以上9000K以下の範囲で、R、G、BのEL素子の端子電圧は10(V)以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bのうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5(V)以内にする必要がある。さらに好ましくは1.5(V)以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

(24)

45

【0229】また、色ムラの補正も必要である。これは、各色のEL材料を塗り分けるため、膜厚のパラツキ、特性のパラツキによって発生する。これを補正するため、30%もしくは70%の輝度で白ラスタ表示を行い、表示領域50内の各色の面内分布を測定する。面内分布は少なくとも30画素に1ポイントずつは測定する。この測定データをメモリからなるテーブルに保存し、この保存されたデータを使用して、入力画像データを補正して表示画面50に表示するように構成する。

【0230】なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルターで3原色表示としてもよい。この場合は、EL層に各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0231】有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

【0232】また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【0233】RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が6000K（ケルビン）以上9000K以下の範囲で、ホワイトバランスを調整した時、各色の

46

電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【0234】また、隣接した画素行で、3原色の配置が異なるように配置することが好ましい。たとえば、偶数行目が、左からR、G、Bの配置であれば、奇数行目はB、G、Rの配置とする。このように配置することにより、少ない画素数でも、画像の斜め方向の解像度が改善される。さらに、1行目を左からR、G、B、R、G、Bの配置とし、2行目をG、B、R、G、B、Rの配置とし、3行目をB、R、G、B、R、Gの配置とするように、3画素行以上で、画素配置を異ならせてもよい。もちろん、R、G、Bの画素配置もしくは、シアン、イエロー、マゼンダなどの色配置は、デルタ配置（1/2画素ずらす配置）としてもよいことは言うまでもない。

【0235】有機EL15は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【0236】この課題に対処するため、本発明ではゲートドライバ12（場合によってはソースドライバ14）の下層、画素トランジスタ11の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は50nm以上150nm以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ11A1のパターニングが困難になる。

【0237】遮光膜上に20以上100nm以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量19の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量19の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（HA）構造の画素電極が形成される。

【0238】ドライバ回路12などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ12などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【0239】しかし、ドライバ12の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電

(25)

47

氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路12などの上に少なくとも1層、好ましくは複数層の有機EL膜を画素電極上の有機EL膜形成と同時に形成する。

【0240】基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【0241】画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつて黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

【0242】なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0243】画素16のトランジスタ11の欠陥は、ドライバIC14などにも影響を与える。例えば、図58では駆動トランジスタ11aにソースドレイン（SD）ショート582が発生していると、パネルのV<sub>dd</sub>電圧がソースドライバIC14に印加される。したがって、ソースドライバIC14の電源電圧は、パネルの電源電圧V<sub>dd</sub>と同一かもしくは高くしておくことが好ましい。なお、ソースドライバICで使用する基準電流は電子ボリウム581で調整できるように構成しておくことが好ましい。

【0244】トランジスタ11aにSDショート582が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図58において、トランジスタ11aのソースドレイン（SD）ショートが発生していると、トランジスタ11aのゲート（G）端子電位の大小に関わらず、V<sub>dd</sub>電圧からEL素子15に電流が常時流れる（トランジスタ11dがオンの時）。したがって、輝点となる。

【0245】一方、トランジスタ11aにSDショートが発生していると、トランジスタ11cがオン状態の時、V<sub>dd</sub>電圧がソース信号線18に印加されソースドライバ14にV<sub>dd</sub>電圧が印加される。もし、ソースドライバ14の電源電圧がV<sub>dd</sub>以下であれば、耐圧を越えて、ソースドライバ14が破壊される恐れがある。そのため、ソースドライバ14の電源電圧はV<sub>dd</sub>電圧（パネルの高い方の電圧）以上にすることが好ましい。

【0246】トランジスタ11aのSDショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路、

48

を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、図58のトランジスタ11aとEL素子15間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。なお、光学手段とはレーザーに限定されるものではなく、キセノンランプなどから発生する光を集光し、この集光した光で配線を切断する方式でもよい。また、切断箇所にサンドブラスト方式で切断（微粒子の砂を吹き付け、切断する）する方法を採用してもよい。つまり、切断手段としては何を用いても良い。しかし、レーザーなどの光学手段を用いる方法は切断箇所に非接触で加工を行うことができ好ましい。

【0247】なお、レーザー光は連続方式のものよりは、Qスイッチを用いたパルス発振のものを採用することが好ましい。また、切断箇所には複数のレーザーパルスが照射されるようにする。そして、レーザーのパルス間隔は0.1msec以上100msec以下にすることが好ましい。特に1msec以上10msec以下にすることが好ましい。この間隔では、先に照射したレーザー光による加工箇所の熔融状態が継続しており、良好な切断あるいは加工が実施できるからである。また、レーザー光の波長は1μm前後が好ましい。この波長のレーザーとしてはYAGレーザーが例示される。もちろん、他のレーザーでもよい。たとえば、炭酸ガスレーザー、エキシマレーザー、ネオンヘリウムレーザーなどが例示される。

【0248】なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図1でもわかるように、トランジスタ11aの電源V<sub>dd</sub>が、トランジスタ11aのゲート（G）端子に常時印加されるように修正してもよい。たとえば、コンデンサ19の2つの電極間をショートさせれば、V<sub>dd</sub>電圧がトランジスタ11aのゲート（G）端子に印加されるようになる。したがって、トランジスタ11aは完全にオフ状態になり、EL素子15に電流を流さなくすることができる。これば、コンデンサ19にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。また、実際には、画素電極の下層にV<sub>dd</sub>配線が配置されているから、V<sub>dd</sub>配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御（修正）することができる。

【0249】その他、トランジスタ11aのSD間（チャンネル）をオープンにすることでも実現できる。簡単にはトランジスタ11aにレーザー光を照射し、トランジスタ11aのチャンネルをオープンにする。同様に、トランジスタ11dのチャンネルをオープンにしてもよい。もちろん、トランジスタ11bのチャンネルをオープンしても該当画素16が選択されないから、黒表示と



(26)

49

なる。

【0250】画素16を黒表示するためには、EL素子15を劣化させてもよい。たとえば、レーザー光をEL層15に照射し、EL層15を物理的にあるいは化学的に劣化させ、発光しないようにする（常時黒表示）。レーザー光の照射によりEL層15を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、EL膜15の化学的変化を容易に行うことができる。

【0251】なお、以上の実施例は、図1に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図62、図51などで図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

【0252】カソード（もしくはアノード）電極が透明電極の場合、画素電極を反射タイプとし共通電極を透明電極（ITO、IZOなど）にする光上取り出しの構造（ガラス基板71側から光を取り出すのは下取出し、EL膜蒸着面から光を取り出すのが上取り出し）の場合は、透明電極のシート抵抗値が問題となる。透明電極は高抵抗であるが、有機ELのカソードには高い電流密度で電流を流す必要がある。したがって、ITO膜の単層でカソード電極を形成すると発熱により加熱状態となったり、表示画面に極度の輝度傾斜が発生したりする。

【0253】この課題に対応するため、カソード電極の表面に金属薄膜からなる低抵抗化配線を形成すればよい。低抵抗化配線は液晶表示パネルのブラックマトリックス（BM）と同様の構成（クロムまたはアルミ材料で50nm～200nmの膜厚）で、かつ同様の位置（画素電極間、ドライバ12の上など）である。しかし、有機ELではBMを形成する必要はないから機能は全く異なる。なお、低抵抗化配線は透明電極の表面に限定するものではなく、裏面（有機EL膜と接する面）に形成してもよい。また、BM状に形成した金属膜として、Mg・Ag、Mg・Li、Al・Liなどの合金あるいは積層構造体など、アルミニウム、マグネシウム、インジウム、銅または各々の合金等を用いてもよい。なお、BM上には腐食などを防止するため、さらにITO、IZO膜を積層し、また、SiNx、SiO<sub>2</sub>などの無機薄膜、あるいはポリイミドなどの有機薄膜を形成する。

【0254】また、EL膜の蒸着面から光を取り出す場合（上取り出し）の場合は、有機EL膜15上のMg-Al膜を形成し、その上にITO、IZO膜を形成することが好ましい。また、有機EL膜15上のMg-Al膜を形成し、その上にブラックマトリックス（液晶表示パネルのようなブラックマトリックス）を形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO

50

2、SiNxなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成する。

【0255】AIRコートは3層の構成あるいは2層構成がある。3層構成の場合は酸化アルミニウム（Al<sub>2</sub>O<sub>3</sub>）を光学的膜厚が $nd=λ/4$ 、ジルコニウム（ZrO<sub>2</sub>）を $nd=λ/2$ 、フッ化マグネシウム（MgF<sub>2</sub>）を $nd=λ/4$ 積層して形成する。通常、 $λ$ として520nmもしくはその近傍の値として薄膜は形成される。

【0256】2層構成の場合は一酸化シリコン（SiO）を光学的膜厚 $nd=λ/4$ とフッ化マグネシウム（MgF<sub>2</sub>）を $nd=λ/4$ 、もしくは酸化イットリウム（Y<sub>2</sub>O<sub>3</sub>）とフッ化マグネシウム（MgF<sub>2</sub>）を $nd=λ/4$ 積層して形成する。

【0257】1層の場合は、フッ化マグネシウム（MgF<sub>2</sub>）を $nd=λ/2$ 積層して形成する。

【0258】なお、下取り出しの場合であっても、カソード電極106の金属膜の透過率を高くすることは効果がある。基板71側から表示画像を見る構成であっても、金属膜の透過率を高いため、写り込みが減少するからである。写り込みが減少すれば、円偏光板（位相板）108は不要となる。したがって、上取り出しよりも光取り出し効率が向上する場合がある。金属膜の透過率は、60%以上90%以下にすることが好ましい。特に70%以上90%以下にすることが好ましい。60%以下であるとカソード電極のシート抵抗値が低くなる。しかし、写り込みが大きくなる。逆に90%以上ではカソード電極のシート抵抗値が高くなる。したがって、表示画像の輝度傾斜が大きくなる。

【0259】金属膜の透過率を高くするにはAl膜を薄く形成する。厚みは20nm以上100nm以下に形成する。その上にITO、IZO膜を形成することが好ましい。また、Al膜上にブラックマトリックスを形成することが好ましい。このブラックマトリックスはクロム、Al、Ag、Au、Cuなどで形成し、この上に、SiO<sub>2</sub>、SiNxなどの無機絶縁膜、ポリエステル、アクリルなどの有機絶縁膜からなる保護膜を形成することが好ましい。さらに、この保護膜上に、反射防止膜（AIRコート）を形成することが好ましい。

【0260】なお、EL膜15または画素電極105は、円弧状に限定するものではなく、三角錐状、円錐状、サインカーブ状でもよく、また、これらを組み合わせた構造でもよい。また、1画素に微細な円弧上、三角錐状、円錐状、サインカーブ状が形成されたり、これらが組み合わされたり、もしくは、ランダムな凹凸が形成された構成であっても良い。

【0261】画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーア



(27)

51

ニールにより形成するのが一般的である。このレーザーアニールの条件のパラツキがトランジスタ11特性のパラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、図1などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【0262】なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相(CGS)成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

【0263】この課題に対して、本発明では図7に示すように、アニールの時のレーザー照射スポット(レーザー照射範囲)72をソース信号線18に平行に照射する。また、1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射してもよい(この場合は、3画素列ということになる)。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない(通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である)。

【0264】画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性パラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性(モビリティ、 $V_t$ 、S値など)を均一にすることができる(つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる)。

【0265】一般的にレーザー照射スポット72の長さは10インチというように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある(つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする)。

【0266】図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識(パターン認識による自動位置決

52

め)してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置(図示せず)は位置決めマーカー73を認識し、画素列の位置をわりだす(レーザー照射範囲72がソース信号線18と平行になるようにする)。画素列位置に重なるようにレーザー照射スポット72を照射してアニールを順次行う。

【0267】図7で説明したレーザーアニール方法(ソース信号線18に平行にライン状のレーザー照射スポットを照射する方式)は、有機EL表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ11の特性が一致しているためである(縦方向に隣接した画素トランジスタの特性が近似している)。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【0268】たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ11aに流す電流はほぼ同一のため、ソースドライバIC14から出力する電流振幅の変化が少ない。もし、図1のトランジスタ11aの特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線18の電位は一定である。したがって、ソース信号線18の電位変動は発生しない。1つのソース信号線18に接続されたトランジスタ11aの特性がほぼ同一であれば、ソース信号線18の電位変動は小さいことになる。このことは、図38などの他の電流プログラム方式の画素構成でも同一である(つまり、図7の製造方法を適用することが好ましい)。

【0269】また、図27、図30などで説明する複数の画素行を同時書き込みする方式で均一な画像表示(主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである)を実現できる。図27などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路14で吸収できる。

【0270】なお、図7では、ソースドライバ回路14は、ICチップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路14を画素16と同一プロセスで形成してもよいことは言うまでもない。

【0271】以下、図1の画素構成について、その駆動方法について説明をする。図1に示すように、ゲート信号線17aは行選択期間に導通状態(ここでは図1のトランジスタ11がpチャネルトランジスタであるためローレベルで導通となる)となり、ゲート信号線17bは非選択期間時に導通状態とする。

【0272】ソース信号線18には寄生容量(図示せず)が存在する。寄生容量は、ソース信号線18とゲート信号線17とのクロス部の容量、トランジスタ11

(28)

53

b、11cのチャンネル容量などにより発生する。

【0273】ソース信号線18の電流値変化に要する時間 $t$ は浮遊容量の大きさを $C$ 、ソース信号線の電圧を $V$ 、ソース信号線に流れる電流を $I$ とすると $t=C \cdot V / I$ であるため電流値を10倍大きくできることは電流値変化に要する時間が10分の1近くまで短くできる。またはソース容量が10倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【0274】入力電流を10倍にすると出力電流も10倍となり、ELの輝度が10倍となるため所定の輝度を得るために、図1のトランジスタ17dの導通期間を従来の10分の1とし、発光期間を10分の1とすることで、所定輝度を表示するようにした。

【0275】つまり、ソース信号線18の寄生容量の充放電を十分に行い、所定の電流値を画素16のトランジスタ11aにプログラムを行うためには、ソースドライバ14から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線18に流すとこの電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流がEL素子15に流れる。たとえば、10倍の電流でプログラムすれば、当然、10倍の電流がEL素子15に流れ、EL素子15は10倍の輝度で発光する。所定の発光輝度にするためには、EL素子15に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【0276】なお、10倍の電流値を画素のトランジスタ11a（正確にはコンデンサ19の端子電圧を設定している）に書き込み、EL素子15のオン時間を $1/10$ にするとしがこれは一例である。場合によっては、10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/5$ にしてもよい。逆に10倍の電流値を画素のトランジスタ11aに書き込み、EL素子15のオン時間を $1/2$ 倍にする場合もあるであろう。

【0277】本発明は、画素への書き込み電流を所定値以外の値にし、EL素子15に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、 $N$ 倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、 $N1$ 倍の電流値を画素のトランジスタ11に書き込み、EL素子15のオン時間を $1/N2$ 倍（ $N1$ と $N2$ とは異なる）でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい（全体として、表示期間もしくは非表示期間が所定値（一定割合）となればよい）。ま

54

た、RGBで異なってもよい。つまり、白（ホワイト）バランスが最適になるように、R、G、B表示期間もしくは非表示期間が所定値（一定割合）となるように調整（設定）すればよい。また、説明を容易にするため、 $1/N$ を1F（1フィールドまたは1フレーム）を基準にしてこの1Fを $1/N$ にするとして説明する。しかし、1画素行が選択され、電流値がプログラムされる時間（通常、1水平走査期間（1H））があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【0278】有機（無機）EL表示装置は、CRTのように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つまり、EL表示装置では、1F（1フィールドあるいは1フレーム）の期間の間は、画素に書き込んだ電流（電圧）を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0279】本発明では、1F/ $N$ の期間の間だけ、EL素子15に電流を流し、他の期間（1F（ $N-1$ ）/ $N$ ）は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。動画データ表示を、この間欠表示状態で見ると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0280】液晶表示パネルの場合は、光変調をする画像データ（電圧）は液晶層に保持される。したがって、黒挿入表示を実施しようとする液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバIC14の動作クロックを高くし、画像データを黒表示データとを交互にソース信号線18に印加する必要がある。したがって、黒挿入（黒表示などの間欠表示）を実現しようとする回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0281】図1、図2、図38などに示す本発明のEL表示パネルの画素構成では、画像データはコンデンサ19に保持されている。このコンデンサ19の端子電圧に対応する電流をEL素子15に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0282】本発明はスイッチングのトランジスタ11d、あるいはトランジスタ11eなどをオンオフさせるだけでEL素子15に流す電流を制御する。つまり、EL素子15に流れる電流 $I_w$ をオフしても、画像データ

(29)

55

はそのままコンデンサ 19 の保持されている。したがって、次のタイミングでスイッチング素子 11 d をオンさせ、EL 素子 15 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現しようとする際においても回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないため画像メモリも不要である。また、有機 EL 素子 15 は電流を印加してから発光するまでの時間が短く高速応答である。そのため、動画表示に適し、さらに間欠表示を実施することの

より従来のデータ保持型の表示パネル（液晶表示パネル、EL 表示パネルなど）の問題である動画表示の問題を解決できる。

【0283】さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を 10 倍以上にしてやればよい。一般にソース電流値を  $N$  倍にした場合、ゲート信号線 17 b（トランジスタ 11 d）の導通期間を  $1F/N$  とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【0284】以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 18 の寄生容量は、隣接したソース信号線 18 間の結合容量、ソースドライブ IC（回路）14 のバッファ出力容量、ゲート信号線 17 とソース信号線 18 とのクロス容量などにより発生する。この寄生容量は通常 10 pF 以上となる。電圧駆動の場合は、ドライバ IC 14 からは低インピーダンスで電圧がソース信号線 18 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【0285】しかし、電流駆動では特に黒レベルの画像表示では 5 nA 以下の微小電流で画素のコンデンサ 19 をプログラムする必要がある。したがって、寄生容量が所定値以上の大ききで発生すると、1 画素行にプログラムする時間（通常、1 H 以内、ただし、2 画素行を同時に書き込む場合もあるので 1 H 以内に限定されるものではない。）内に寄生容量を充放電することができない。1 H 期間で充放電できなれば、画素への書き込み不足となり、解像度がでない。

【0286】図 1 の画素構成の場合、図 3 (a) に示すように、電流プログラム時は、プログラム電流  $I_w$  がソース信号線 18 に流れる。この電流  $I_w$  がトランジスタ 11 a を流れ、 $I_w$  を流す電流が保持されるように、コンデンサ 19 に電圧設定（プログラム）される。このとき、トランジスタ 11 d はオープン状態（オフ状態）である。

【0287】次に、EL 素子 15 に電流を流す期間は図 3 (b) のように、トランジスタ 11 c、11 b がオフし、トランジスタ 11 d が動作する。つまり、ゲート信号線 17 a にオフ電圧 ( $V_{gh}$ ) が印加され、トランジスタ 11 b、11 c がオフする。一方、ゲート信号線 1

56

7 b にオン電圧 ( $V_{gl}$ ) が印加され、トランジスタ 11 d がオンする。

【0288】今、電流  $I_1$  が本来流す電流（所定値）の  $N$  倍であるとする、図 3 (b) の EL 素子 15 に流れる電流も  $I_w$  となる。したがって、所定値の 10 倍の輝度で EL 素子 15 は発光する。つまり、図 12 に図示するように、倍率  $N$  を高くするほど、表示パネルの表示輝度  $B$  も高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$  と駆動することにより、輝度と倍率とは反比例の関係となる。

【0289】そこで、トランジスタ 11 d を本来オンする時間（約  $1F$ ）の  $1/N$  の期間だけオンさせ、他の期間  $(N-1)/N$  期間はオフさせれば、 $1F$  全体の平均輝度は所定の輝度となる。この表示状態は、CRT が電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の  $1/N$ （全画面を 1 とする）が点灯している点である。（CRT では、点灯している範囲は 1 画素行（厳密には 1 画素である））。

【0290】本発明では、この  $1F/N$  の画像表示領域 53 が図 13 (b) に示すように画面 50 の上から下に移動する。本発明では、 $1F/N$  の期間の間だけ、EL 素子 15 に電流が流れ、他の期間  $(1F \cdot (N-1)/N)$  は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0291】なお、図 13 に図示するように、書き込み画素行 51 a は非点灯表示 52 a とする。しかし、これは、図 1、図 2 などの画素構成の場合である。図 38 などで図示するカレントミラーの画素構成では、書き込み画素行 51 a は点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図 1 の画素構成を例示して説明をする。また、図 13、図 16 などの所定駆動電流  $I_w$  よりも大きい電流でプログラムし、間欠駆動する駆動方法を  $N$  倍パルス駆動と呼ぶ。

【0292】この表示状態では  $1F$  ごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外の EL 表示パネル）では、 $1F$  の期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRT に近い動画表示を実現することができる。

【0293】このタイミングチャートを図 14 に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図 1 であるとする。図 14 でわかるように、各選択された画素行（選択期間は、1 H としている）にお

(30)

57

いて、ゲート信号線17aにオン電圧(V<sub>g1</sub>)が印加されている時(図14(a)を参照)には、ゲート信号線17bにはオフ電圧(V<sub>gh</sub>)が印加されている(図14(b)を参照)。また、この期間は、EL素子15には電流が流れていない(非点灯状態)。選択されていない画素行において、ゲート信号線17aにオフ電圧(V<sub>gh</sub>)が印加され、ゲート信号線17bにはオン電圧(V<sub>g1</sub>)が印加されている。また、この期間は、EL素子15に電流が流れている(点灯状態)。また、点灯状態では、EL素子15は所定のN倍の輝度(N・B)で点灯し、その点灯期間は1F/Nである。したがって、1Fを平均した表示パネルの表示輝度は、(N・B) × (1/N) = B (所定輝度) となる。

【0294】図15は、図14の動作を各画素行に適用した実施例である。ゲート信号線17に印加する電圧波形を示している。電圧波形はオフ電圧をV<sub>gh</sub>(Hレベル)とし、オン電圧をV<sub>g1</sub>(Lレベル)としている。

(1)(2)などの添え字は選択している画素行番号を示している。

【0295】図15において、ゲート信号線17a

(1)が選択され(V<sub>g1</sub>電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行(1)が選択されている時は、図1の画素構成ではゲート信号線17b

(1)はオフ電圧(V<sub>gh</sub>)が印加され、EL素子15には電流が流れない。

【0296】1H後には、ゲート信号線17a(2)が選択され(V<sub>g1</sub>電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このプログラム電流は所定値のN倍(説明を容易にするため、N=10として説明する)である。したがって、コンデンサ19には10倍に電流がトランジスタ11aに流れるようにプログラムされる。画素行(2)が選択されている時は、図1の画素構成ではゲート信号線17b(2)はオフ電圧(V<sub>gh</sub>)が印加され、EL素子15には電流が流れない。しかし、先の画素行(1)のゲート信号線17a(1)にはオフ電圧(V<sub>gh</sub>)が印加され、ゲート信号線17b(1)にはオン電圧(V<sub>g1</sub>)が印加されるため、点灯状態となっている。

【0297】次の1H後には、ゲート信号線17a

(3)が選択され、ゲート信号線17b(3)はオフ電圧(V<sub>gh</sub>)が印加され、画素行(3)のEL素子15には電流が流れない。しかし、先の画素行(1)(2)

58

のゲート信号線17a(1)(2)にはオフ電圧(V<sub>gh</sub>)が印加され、ゲート信号線17b(1)(2)にはオン電圧(V<sub>g1</sub>)が印加されるため、点灯状態となっている。

【0298】以上の動作を1Hの同期信号に同期して画像を表示していく。しかし、図15の駆動方式では、EL素子15には10倍の電流が流れる。したがって、表示画面50は約10倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を1/10にしておけばよいことは言うまでもない。しかし、1/10の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面52挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0299】なお、本発明の駆動方法において、所定電流よりも高い電流がEL素子15に流れるようにし、ソース信号線18の寄生容量を十分に充放電するという概念である。つまり、EL素子15にN倍の電流を流さなくともよい。たとえば、EL素子15に並列に電流経路を形成し(ダミーのEL素子を形成し、このEL素子は遮光膜を形成して発光させないなど)、ダミーEL素子とEL素子15に分流して電流を流しても良い。たとえば、信号電流が0.2μAのとき、プログラム電流を2.2μAとして、トランジスタ11aには2.2μAを流す。この電流のうち、信号電流0.2μAをEL素子15に流して、2μAをダミーのEL素子に流すなどの方式が例示される。

【0300】以上のように構成することにより、ソース信号線18に流す電流をN倍に増加させることにより、駆動トランジスタ11aにN倍の電流が流れるようにプログラムすることができ、かつ、電流EL素子15には、N倍よりは十分小さい電流をながることができることになる。以上の方法では、図5に図示するように、非点灯領域52を設けることなく、全表示領域50を画像表示領域53とすることができる。

【0301】図13(a)は表示画像50への書き込み状態を図示している。図13(a)において、51aは書き込み画素行である。ソースドライバIC14から各ソース信号線18にプログラム電流が供給される。なお、図13などでは1H期間に書き込む画素行は1行である。しかし、何ら1Hに限定するものではなく、0.5H期間でも、2H期間でもよい。また、ソース信号線18にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線18に書き込まれるのは電圧である電圧プログラム方式でもよい。

【0302】図13(a)において、ゲート信号線17aが選択されるとソース信号線18に流れる電流がトランジスタ11aにプログラムされる。この時、ゲート信号線17bはオフ電圧が印加されEL素子15には電流

(31)

59

が流れない。これは、EL素子15側にトランジスタ11dがオン状態であると、ソース信号線18からEL素子15の容量成分が見え、この容量に影響されてコンデンサ19に十分に正確な電流プログラムができなくなるためである。したがって、図1の構成を例にすれば、図13(b)で示すように電流を書き込まれている画素行は非点灯領域52となる。

【0303】今、N（ここでは、先に述べたようにN=10とする）倍の電流でプログラムしたとすれば、画面の輝度は10倍になる。したがって、表示領域50の90%の範囲を非点灯領域52とすればよい。したがって、画像表示領域の水平走査線がQCIFの220本（S=220）とすれば、22本を表示領域53とし、 $220-22=198$ 本を非表示領域52とすればよい。一般的に述べれば、水平走査線（画素行数）をSとすれば、 $S/N$ の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示（非発光）である。また、この非発光部52はトランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することは言うまでもない。

【0304】また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図41を参照のこと）。

【0305】図13(b)に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面の $S/N$ （時間的には $1F/N$ ）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

【0306】図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させ

60

た時などに認識されやすくなる。

【0307】この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。また、分割された非表示領域52も等しくする必要はない。

【0308】以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほど動画表示性能は低下する。

【0309】図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）している。つまり、Vg1にする期間は $1F/(K/N)$ の期間をK回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0310】なお、図17などにおいて、ゲート信号線17bをVg1にする期間（ $1F/N$ ）を複数に分割（分割数K）し、Vg1にする期間は $1F/(K/N)$ の期間をK回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F/(K/N)$ の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

【0311】以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ（点灯、非点灯）するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ（点灯、非点灯）する方式でもよい。



(32)

61

【0312】図18は図16の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図18と図15の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ（VglとVgh）動作する。他の点は図15と同一であるので説明を省略する。

【0313】EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図1の構成においては、トランジスタ11dをオンオフ操作するだけで、図38の構成においては、トランジスタ素子11eをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ（アナログ値であるから階調数は無限大）されているためである。つまり、各画素16に、画像データは1Fの期間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをトランジスタ11d、11eの制御により実現しているのである。

【0314】コンデンサ19の端子電圧を維持することは重要である。1フィールド（フレーム）期間でコンデンサ19の端子電圧が変化（充放電）すると、画面輝度が増減し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ11aが1フレーム（1フィールド）期間でEL素子15に流す電流は、少なくとも65%以下に低下しないようにする必要がある。この65%とは、画素16に書き込み、EL素子15に流す電流の最初が100%とした時、次のフレーム（フィールド）で前記画素16に書き込む直前のEL素子15に流す電流が65%以上とすることである。

【0315】図1の画素構成では、間欠表示を実現する場合としない場合では、1画素を構成するトランジスタ11の個数に変化はない。つまり、画素構成はそのまま、ソース信号線18の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、CRTに近い動画表示を実現しているのである。

【0316】また、ゲートドライバ回路12の動作クロックはソースドライバ回路14の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるといえる。また、Nの値の変更も容易である。

【0317】なお、画像表示方向（画像書き込み方向）は、1フィールド（1フレーム）目では画面の上から下方向とし、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【0318】さらに、1フィールド（1フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第2フィールド（フレーム）目では画面の下から上方向としてもよい。また、い

62

ったん、全画面を黒表示（非表示）としてもよい。

【0319】なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。以上の事項は他の本発明の実施例でも同様である。非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈すべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【0320】基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広くなるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

【0321】表示領域53の面積はシフトレジスタ61へのデータパルス（ST2）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替えることができる。1F周期でのデータパルス数を多くすれば、画面50は明るくなり、少なくすれば、画面50は暗くなる。また、連続してデータパルスを印加すれば図13の表示状態となり、間欠にデータパルスを入力すれば図16の表示状態となる。

【0322】図19（a）は図13のように表示領域53が連続している場合の明るさ調整方式である。図19（a1）の画面50の表示輝度が最も明るい。図19（a2）の画面50の表示輝度が次に明るく、図19（a3）の画面50の表示輝度が最も暗い。図19（a1）から図19（a3）への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。この際、図1のVdd電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面50の輝度変化を実施できる。また、図19（a1）から図19（a3）への変化の際、画面のガンマ特性は全く変化しない。したがって、画面50の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面50の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は64階調表示を実現できても、低



(33)

63

輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の64階調表示を実現できる。

【0323】図19(b)は図16のように表示領域53が分散している場合の明るさ調整方式である。図19(b1)の画面50の表示輝度が最も明るい。図19(b2)の画面50の表示輝度が次に明るく、図19(b3)の画面50の表示輝度が最も暗い。図19(b1)から図19(b3)への変化(あるいはその逆)は、先にも記載したようにゲートドライバ回路12のシフトレジスタ回路61などの制御により、容易に実現できる。図19(b)のように表示領域53を分散させれば、低フレームレートでもフリッカが発生しない。

【0324】さらに低フレームレートでも、フリッカが発生しないようにするには、図19(c)のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図19(a)の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図19(c)の駆動方法が適している。図19(a)から図19(c)の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

【0325】図20はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、 $N=10$ として説明する(ソース信号線18に流す電流を10倍にする)。図20で説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバIC14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流の $N/K$ 倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム(1フィールド)の $K/N$ 時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【0326】つまり、1フレーム(1フィールド)の $K/N$ の期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)K/N)は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示(間欠表示)状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線18にはN倍の電流で

64

駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

【0327】図21は、図20の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧をVgh(Hレベル)とし、オン電圧をVgl(Lレベル)としている。各信号線の添え字は画素行の番号(1)(2)(3)などを記載している。なお、行数はQCI F表示パネルの場合は220本であり、VGAパネルでは480本である。

【0328】図21において、ゲート信号線17a(1)が選択され(Vgl電圧)、選択された画素行のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行51aが画素行(1)番目であるとして説明する。

【0329】また、ソース信号線18に流れるプログラム電流は所定値のN倍(説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。)である。また、5画素行が同時に選択( $K=5$ )として説明をする。したがって、理想的には1つの画素のコンデンサ19には2倍( $N/K=10/5=2$ )に電流がトランジスタ11aに流れるようにプログラムされる。

【0330】書き込み画素行が(1)画素行目である時、図21で図示したように、ゲート信号線17aは(1)(2)(3)(4)(5)が選択されている。つまり、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、画素行(1)(2)(3)(4)(5)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0331】理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す(つまり、ソース信号線18には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明のN倍パルス駆動を実施しない場合が所定電流 $I_w$ とすると、 $I_w$ の10倍の電流がソース信号線18に流れる)。

【0332】以上の動作(駆動方法)により、各画素16のコンデンサ19には、2倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性( $V_t$ , S値)が一致しているとして説明をする。

【0333】同時に選択する画素行が5画素行( $K=5$ )であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $10/5=2$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、

(34)

65

5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、本来、書き込む電流 $I_w$ とし、ソース信号線18には、 $I_w \times 1.0$ の電流を流す。書き込み画素行(1)より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0334】したがって、4画素行51bにおいて、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。ただし、図38のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では、場合によっては表示状態としてもよい。

【0335】次の、1H後には、ゲート信号線17a

(1)は非選択となり、ゲート信号線17bにはオン電圧( $V_{gl}$ )が印加される。また、同時に、ゲート信号線17a(6)が選択され( $V_{gl}$ 電圧)、選択された画素行(6)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0336】次の、1H後には、ゲート信号線17a

(2)は非選択となり、ゲート信号線17bにはオン電圧( $V_{gl}$ )が印加される。また、同時に、ゲート信号線17a(7)が選択され( $V_{gl}$ 電圧)、選択された画素行(7)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフトしながら走査することにより1画面が書き換えられる。

【0337】図20の駆動方法では、各画素には2倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には2倍となる。したがって、表示画面の輝度は所定値よりも2倍となる。これを所定の輝度とするためには、図16に図示するように、書き込み画素行51を含み、かつ表示領域50の1/2の範囲を非表示領域52とすればよい。

【0338】図13と同様に、図20のように1つの表示領域53が画面の上から下方向に移動すると、フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0339】この課題に対しては、図22に図示するように、表示領域53を複数に分割するとよい。分割された非表示領域52を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

【0340】図23はゲート信号線17に印加する電圧

66

波形である。図21と図23との差異は、基本的にはゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ( $V_{gl}$ と $V_{gh}$ )動作する。他の点は図21とほぼ同一あるいは類推できるので説明を省略する。

【0341】以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特にEL素子15の応答性は速いため、 $5\mu\text{sec}$ よりも小さい時間でオンオフしても、表示輝度の低下はない。

【0342】本発明の駆動方法において、EL素子15のオンオフは、ゲート信号線17bに印加する信号のオンオフで制御できる。そのため、クロック周波数はkHzオーダーの低周波数で制御が可能である。また、黒画面挿入(非表示領域52挿入)を実現するには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【0343】図24は同時に選択する画素行が2画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ11aの特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線18と平行に照射することで良好な結果が得られた。

【0344】これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したTFTの $V_t$ 、モビリティがほぼ等しくなるためである。したがって、ソース信号線18の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線18に沿った画素(画素列、画面の上下方向の画素)の特性はほぼ等しく作製される。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図24などで説明する駆動方式とは相乗効果がある。

【0345】以上のように、レーザーショットの方向をソース信号線18の形成方向と略一致させることにより、画素の上下方向のTFT11aの特性がほぼ同一になり、良好な電流プログラムを実施することができる(画素の左右方向のTFT11aの特性が一致していなくとも)。以上の動作は、1H(1水平走査期間)に同

(35)

67

期して、1画素行あるいは複数画素行づつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線18と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線18に対して斜め方向にレーザーショットを照射しても1つのソース信号線18に沿った画素の上下方向のTFT11aの特性はほぼ一致して形成されるからである。したがって、ソース信号線に平行にレーザーショットを照射するという意味はソース信号線18に沿った任意の画素の上または下に隣接した画素を、1つのレーザー照射範囲に入るように形成するということである。また、ソース信号線18とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【0346】なお、本発明の実施例では1Hごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2Hごとにシフトしてもよく、また、それ以上の画素行づつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1画素行へだてた画素行を選択してもよい。つまり、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行を選択し、第2番目の水平走査期間に第2番目の画素行と第4番目の画素行を選択し、第3番目の水平走査期間に第3番目の画素行と第5番目の画素行を選択し、第4番目の水平走査期間に第4番目の画素行と第6番目の画素行を選択する駆動方法である。もちろん、第1番目の水平走査期間に第1番目の画素行と第3番目の画素行と第5番目の画素行を選択するという駆動方法も技術的範疇である。

【0347】なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図1、図2、図32の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図38、図42、図50などの他の電流駆動方式の画素構成にも適用できることはいふまでもない。また、図43、図51、図54、図62などの電圧駆動の画素構成にも適用できる。つまり、画素上下のTFTの特性が一致しておれば、同一のソース信号線18に印加した電圧値により良好に電圧プログラムを実施できるからである。

【0348】図24において、書き込み画素行が(1)画素行目である時、ゲート信号線17aは(1)(2)が選択されている(図25を参照のこと)。つまり、画素行(1)(2)のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ゲート信号線17bはゲート信号線17aの逆位相となっている。したがって、少なくとも画素行(1)(2)のスイ

68

ッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。なお、図24では、フリッカの発生を低減するため、表示領域53を5分割している。

【0349】理想的には、2画素(行)のトランジスタ11aが、それぞれ $I_w \times 5$  ( $N=10$ の場合。つまり、 $K=2$ であるから、ソース信号線18に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる)の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。

【0350】同時に選択する画素行が2画素行( $K=2$ )であるから、2つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、2つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0351】たとえば、書き込み画素行51aに、本来、書き込む電流 $I_d$ とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧( $V_{gl}$ )が印加される。また、同時に、ゲート信号線17a(3)が選択され( $V_{gl}$ 電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0352】次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧( $V_{gl}$ )が印加される。また、同時に、ゲート信号線17a(4)が選択され( $V_{gl}$ 電圧)、選択された画素行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行づつシフト(もちろん、複数画素行づつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2行づつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう)しながら走査することにより1画面が書き換えられる。

【0353】図16と同様であるが、図24の駆動方法では、各画素には5倍の電流(電圧)でプログラムを行うため、各画素のEL素子15の発光輝度は理想的には5倍となる。したがって、表示領域53の輝度は所定値

(36)

69

よりも5倍となる。これを所定の輝度とするためには、図16などに図示するように、書き込み画素行51を含み、かつ表示画面1の1/5の範囲を非表示領域52とすればよい。

【0354】図27に図示するように、2本の書き込み画素行51(51a、51b)が選択され、画面50の上辺から下辺に順次選択されていく(図26も参照のこと。図26では画素行16aと16bが選択されている)。しかし、図27(b)のように、画面の下辺までくると書き込み画素行51aは存在するが、51bはなくなる。つまり、選択する画素行が1本しかなくなる。そのため、ソース信号線18に印加された電流は、すべて画素行51aに書き込まれる。したがって、画素行51aに比較して、2倍の電流が画素にプログラムされてしまう。

【0355】この課題に対して、本発明は、図27

(b)に図示するように画面50の下辺にダミー画素行281を形成(配置)している。したがって、選択画素行が画面50の下辺まで選択された場合は、画面50の最終画素行とダミー画素行281が選択される。そのため、図27(b)の書き込み画素行には、規定どおりの電流が書き込まれる。

【0356】図28は図27(b)の状態を示している。図28で明らかのように、選択画素行が画面50の下辺の画素16c行まで選択された場合は、画面50の最終画素行281が選択される。ダミー画素行281は表示領域50外に配置する。つまり、ダミー画素行281は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とTFT11とのコンタクトホールをなくすとか、ダミー画素行にはEL膜を形成しないとかである。

【0357】図27では、画面50の下辺にダミー画素(行)281を設ける(形成する、配置する)としたが、これに限定するものではない。たとえば、図29

(a)に図示するように、画面の下辺から上辺に走査する(上下逆転走査)する場合は、図29(b)に図示するように画面50の上辺にもダミー画素行281を形成すべきである。つまり、画面50の上辺を下辺のそれぞれにダミー画素行281を形成(配置)する。以上のように構成することにより、画面の上下反転走査にも対応できるようにする。以上の実施例は、2画素行を同時選択する場合であった。

【0358】本発明はこれに限定するものではなく、たとえば、5画素行を同時選択する方式(図23を参照のこと)でもよい。つまり、5画素行同時駆動の場合は、ダミー画素行281は4行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも1つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法とN倍パルス駆動とを組み合わせる用いることが好ましい。

70

【0359】複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ11aの特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1画素にプログラムする電流が大きくなり、EL素子15に大きな電流を流すことになる。EL素子15に流す電流が大きいとEL素子15が劣化しやすくなる。

【0360】図30はこの課題を解決するものである。図30の基本概念は、1/2H(水平走査期間の1/2)は、図22、図29で説明したように、複数の画素行を同時に選択する方法である。その後の1/2H(水平走査期間の1/2)は図5、図13などで説明したように、1画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ11aの特性バラツキを吸収しより、高速にかつ面内均一性を良好にすることができる。

【0361】図30において、説明を容易にするため、第1の期間では5画素行を同時に選択し、第2の期間では1画素行を選択するとして説明をする。まず、第1の期間(前半の1/2H)では、図30(a1)に図示するように、5画素行を同時に選択をする。この動作は図22を用いて説明したので省略する。一例としてソース信号線18に流す電流は所定値の25倍とする。したがって、各画素16のトランジスタ11a(図1の画素構成の場合)には5倍の電流(25/5画素行=5)がプログラムされる。25倍の電流であるから、ソース信号線18などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線18の電位は、短時間で目標の電位となり、各画素16のコンデンサ19の端子電圧も5倍電流を流すようにプログラムされる。この25倍電流の印加時間は前半の1/2H(1水平走査期間の1/2)とする。

【0362】当然のことながら、書き込み画素行の5画素行は同一画像データが書き込まれるから、表示しないように5画素行のトランジスタ11dはオフ状態とされる。したがって、表示状態は図30(a2)となる。

【0363】次の後半の1/2H期間は、1画素行を選択し、電流(電圧)プログラムを行う。この状態を図30(b1)に図示している。書き込み画素行51aは先と同様に5倍の電流を流すように電流(電圧)プログラムされる。図30(a1)と図30(b1)とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ19の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【0364】つまり、図30(a1)で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第1の段階では、複数のトランジスタ11aでプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第2の段階で、データを書き込みかつ保持する画素行のみを選択し

(37)

71

て、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【0365】なお、非点灯領域52を画面の上から下方向に走査し、また、書き込み画素行51aも画面の上から下方向に走査することは図13などの実施例と同様であるので説明を省略する。

【0366】図31は図30の駆動方法を実現するための駆動波形である。図31でわかるように、1H（1水平走査期間）は2つのフェーズで構成されている。この2つのフェーズはISEL信号で切り替える。ISEL信号は図31に図示している。

【0367】まず、ISEL信号について説明をしておく。図30を実施するドライバ回路14は、電流出力回路Aと電流出力回路Bとを具備している。それぞれの電流出力回路は、8ビットの階調データをDA変換するDA回路とオープンアンプなどから構成される。図30の実施例では、電流出力回路Aは2.5倍の電流を出力するように構成されている。一方、電流出力回路Bは5倍の電流を出力するように構成されている。電流出力回路Aと電流出力回路Bの出力はISEL信号により電流出力部に形成（配置）されたスイッチ回路が制御され、ソース信号線18に印加される。この電流出力回路は各ソース信号線に配置されている。

【0368】ISEL信号は、Lレベルの時、2.5倍電流を出力する電流出力回路Aが選択されてソース信号線18からの電流をソースドライバIC14が吸収する（より適切には、ソースドライバ回路14内に形成された電流出力回路Aが吸収する）。2.5倍、5倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【0369】図30に示すように書き込み画素行が（1）画素行目である時（図30の1Hの欄を参照）、ゲート信号線17aは（1）（2）（3）（4）（5）が選択されている（図1の画素構成の場合）。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、2.5倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。また、ゲート信号線17bには、オフ電圧（V<sub>gh</sub>）が印加されている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0370】理想的には、5画素のトランジスタ11aが、それぞれ $I_w \times 2$ の電流をソース信号線18に流す。そして、各画素16のコンデンサ19には、5倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ11aは特性（V<sub>t</sub>、S値）が一致しているとして説明をする。

72

【0371】同時に選択する画素行が5画素行（K=5）であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $2.5/5 = 0.5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。たとえば、書き込み画素行51aに、従来の駆動方法で画素に書き込む電流 $I_w$ とする時、ソース信号線18には、 $I_w \times 2.5$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行51bソース信号線18への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。

【0372】したがって、画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0373】次の $1/2H$ （水平走査期間の $1/2$ ）では、書き込み画素行51aのみを選択する。つまり、

（1）画素行目のみを選択する。図31で明らかなように、ゲート信号線17a（1）のみが、オン電圧（V<sub>g</sub>）が印加され、ゲート信号線17a（2）（3）

（4）（5）はオフ（V<sub>gh</sub>）が印加されている。したがって、画素行（1）のトランジスタ11aは動作状態（ソース信号線18に電流を供給している状態）であるが、画素行（2）（3）（4）（5）のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路Bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧（V<sub>gh</sub>）が印加されている。したがって、画素行（1）（2）

（3）（4）（5）のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0374】以上のことから、画素行（1）のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行（1）のコンデンサ19には、5倍の電流がプログラムされる。

【0375】次の水平走査期間では1画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が（2）である。最初の $1/2H$ の期間では、図31に示すように書き込み画素行が（2）画素行目である時、ゲート信号線17aは（2）（3）（4）（5）（6）が選択されている。つまり、画素行（2）（3）（4）

（5）（6）のスイッチングトランジスタ11b、トランジスタ11cがオン状態である。また、ISELがLレベルであるから、2.5倍電流を出力する電流出力回路Aが選択され、ソース信号線18と接続されている。ま



(38)

73

た、ゲート信号線17bには、オフ電圧(V<sub>gh</sub>)が印加されている。したがって、画素行(2)(3)(4)

(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。一方、画素行(1)のゲート信号線17b(1)はV<sub>gl</sub>電圧が印加されているから、トランジスタ11dはオン状態であり、画素行(1)のEL素子15は点灯する。

【0376】同時に選択する画素行が5画素行(K=5)であるから、5つの駆動トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0377】次の1/2H(水平走査期間の1/2)では、書き込み画素行51aのみを選択する。つまり、

(2)画素行目のみを選択する。図31で明らかに、ゲート信号線17a(2)のみが、オン電圧(V<sub>gl</sub>)が印加され、ゲート信号線17a(3)(4)

(5)(6)はオフ(V<sub>gh</sub>)が印加されている。したがって、画素行(1)(2)のトランジスタ11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、IS<sub>EL</sub>がHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の1/2Hの状態と変化がなく、オフ電圧(V<sub>gh</sub>)が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0378】以上のことから、画素行(2)のトランジスタ11aが、それぞれI<sub>w</sub>×5の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

【0379】図30で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電流を流すようにプログラムする方式である。

【0380】しかし、他の方策もある。第1の期間でG画素行(Gは2以上)を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後

74

の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、選択された画素行の総和の電流(ただし、選択画素行が1の時は、1画素行の電流)がN倍となるようにプログラムする方式である。たとえば、図30(a1)において、5画素行を同時に選択し、各画素のトランジスタ11aには2倍の電流を流す。したがって、ソース信号線18には $5 \times 2 = 10$ 倍の電流が流れる。次の第2の期間では図30(b1)において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

【0381】なお、図31において、複数の画素行を同時に選択する期間を1/2Hとし、1画素行を選択する期間を1/2Hとしたがこれに限定するものではない。複数の画素行を同時に選択する期間を1/4Hとし、1画素行を選択する期間を3/4Hとしてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は1Hとしたがこれに限定するものではない。たとえば、2H期間でも、1.5H期間であっても良い。

【0382】また、図30において、5画素行を同時に選択する期間を1/2Hとし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0383】また、図30において、5画素行を同時に選択する第1の期間を1/2Hとし、1画素行を選択する第2の期間を1/2Hとする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【0384】以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を1F/Nに規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。図6のシフトレジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにV<sub>gl</sub>が出力され、入力ST2がHレベルの時、ゲート信号線17bにV<sub>gh</sub>が出力されるとすれば、シフトレジスタ17bに印加するST2を1F/Nの期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【0385】なお、EL素子15をオンオフする周期は0.5msec以上にする必要がある。この周期が短い



(39)

75

と、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5msec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【0386】黒画面152の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【0387】なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええるように構成すればよい。

【0388】たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0389】また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（ $N$ で表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（ $N$ で表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0390】また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり

76

解像度が劣化する。

【0391】いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変化させることができる。ただし、画像の明るさはソース信号線18に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図33、図35などを用いて）ゲート信号線17の制御と、ソース信号線18に印加する電流（電圧）を変化させることを組み合わせで行ってもよいことは言うまでもない。

10 【0392】なお、以上の事項は、図38などの電流プログラムの画素構成、図43、図51、図54などの電圧プログラムの画素構成でも適用できることは言うまでもない。図38では、トランジスタ11dを、図43ではトランジスタ11dを、図51ではトランジスタ11eをオンオフ制御すればよい。このように、EL素子15に電流を流す配線をオンオフすることにより、本発明のN倍パルス駆動を容易に実現できる。

20 【0393】また、ゲート信号線17bの1F/Nの期間だけ、 $V_{gl}$ にする時刻は1F（1Fに限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけEL素子15をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（1H）後、すぐにゲート信号線17bを $V_{gl}$ にしてEL素子15を発光させる方がよい。図1のコンデンサ19の保持率特性の影響を受けにくくなるからである。

30 【0394】また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出してKの値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0395】このようにKの値（画像表示部53の分割数）を変化させることも容易に実現できる。図6においてSTに印加するデータのタイミング（1Fのいつにレベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

40 【0396】なお、図16などでは、ゲート信号線17bを $V_{gl}$ にする期間（1F/N）を複数に分割（分割数K）し、 $V_{gl}$ にする期間は1F/(K/N)の期間をK回実施するとしたがこれ限定するものではない。1F/(K/N)の期間をL（ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、1F/(K/N)の期間をL（ $L \neq K$ ）回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では50%の輝度（コントラスト）変化をな

50

(40)

77

る。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない（もちろん、以降に説明する本発明にも適用できる）。これらも本発明のN倍パルス駆動である。以上の実施例は、EL素子15と駆動用トランジスタ11aとの間にスイッチング素子としてのトランジスタ11dを配置（形成）し、このトランジスタ11dを制御することにより、画面50をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ11aをリセットし、良好な黒表示を実現するものである。以下、図32を用いて、その実施例について説明をする。

【0397】図32は基本的には図1の画素構成である。図32の画素構成では、プログラムされたIw電流がEL素子15に流れ、EL素子15が発光する。つまり、駆動トランジスタ11aはプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ11aをリセット（オフ状態）にする方式が図32の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【0398】図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線11c（ゲート信号線EL）とを独立して制御できるようにする。ゲート信号線11aとゲート信号線11cの制御は図6に図示するように独立した2つのシフトレジスタ61で行えばよい。

【0399】ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート信号線WRの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャンネルTFTで形成されている場合は、シフトレジスタ61aと61bのV<sub>gh</sub>（オフ電圧）を略同一にし、シフトレジスタ61aのV<sub>gl</sub>

（オン電圧）をシフトレジスタ61bのV<sub>gl</sub>（オン電

78

圧）よりも低くする。

【0400】以下、図33を参照しながら、リセット駆動方式について説明をする。図33はリセット駆動の原理説明図である。まず、図33(a)に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、I<sub>b</sub>電流が流れる。一般的に、トランジスタ11aは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態にすれば、駆動電流I<sub>b</sub>がトランジスタ11aのゲート（G）端子に流れる。そのため、トランジスタ11aのゲート（G）端子とドレイン（D）端子とが同一電位となり、トランジスタ11aはリセット（電流を流さない状態）になる。

【0401】このトランジスタ11aのリセット状態（電流を流さない状態）は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図33(a)の状態では、コンデンサ19の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ11aの特性に応じて異なる電圧値である。したがって、図33(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11aが電流を流さない（つまり、黒表示電流（ほとんど0に等しい）が保持されることになるのである。

【0402】なお、図33(a)の動作の前に、トランジスタ11b、トランジスタ11cをオフ状態にし、トランジスタ11dをオン状態にし、駆動用トランジスタ11aに電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。EL素子15に電流が流れてEL素子15が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1H（1水平走査期間）の0.1%以上10%以下とすることが好ましい。さらに好ましくは0.2%以上2%以下となるようにすることが好ましい。もしくは0.2μsec以上5μsec以下となるようにすることが好ましい。また、全画面の画素16に一括して前述の動作（図33(a)の前に行う動作）を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ11aのドレイン（D）端子電圧が低下し、図33(a)の状態ですmoothなI<sub>b</sub>電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【0403】図33(a)の実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図33(a)の実施時間は固定値にする必要がある。実験および検討によれば、図33(a)の実施時間は、1H以上5H以下にすること

(41)

79

が好ましい。なお、この期間は、R、G、Bの画素で異ならせることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。RGBの各画素で、EL材料に適應して、もっとも最適な期間を設定する。なお、実施例において、この期間は1H以上5H以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5H以上であつてもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【0404】図33(a)を実施後、1H以上5H以下の期間において、図33(b)の状態にする。図33

(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。図33(b)の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 $I_w$ を出力（あるいは吸収）し、このプログラム電流 $I_w$ を駆動用トランジスタ11aに流す。このプログラム電流 $I_w$ が流れるように、駆動用トランジスタ11aのゲート(G)端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

【0405】もし、プログラム電流 $I_w$ が0(A)であれば、トランジスタ11aは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図33(b)で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0406】図33(b)の電流プログラミング後、図33(c)に図示するように、トランジスタ11b、トランジスタ11cとオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流 $I_w (= I_e)$ をEL素子15に流し、EL素子15を発光させる。図33(c)に関しても、図1などで以前に説明をしたので詳細は省略する。

【0407】つまり、図33で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン(D)端子とゲート(G)端子（もしくはソース(S)端子とゲート(G)端子、さらに一般的に表現すれば駆動用トランジスタのゲート

(G)端子を含む2端子)間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図

80

32の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

【0408】画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）。次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図33(a)のリセットが完全に行われるのに比較的時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれると6画素行）となるはずである。

【0409】また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（1）（2）（3）（4）をリセット状態にし、次の第2の水平走査期間に、画素行（3）（4）（5）（6）をリセット状態にし、さらに次の第3の水平走査期間に、画素行（5）（6）（7）（8）をリセット状態にする。また、次の第4の水平走査期間に、画素行（7）（8）（9）（10）をリセット状態にするという駆動状態が例示される。なお、当然、図33(b)、図33(c)の駆動状態も図33(a)の駆動状態と同期して実施される。

【0410】また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図33(b)

(c)の駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態（1画素行あるいは複数画素行の飛び越し走査）で、リセット状態（1画素行あるいは複数画素行飛び越し）にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である（つまり、画面の上下方向の制御する）。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

【0411】なお、図33のリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図22の構成は、間欠N/K倍パルス駆動（1画面に点灯領域を複数設ける駆動方法であ

(42)

81

る。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図22あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【0412】図34はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路12aは、図32におけるゲート信号線17aおよびゲート信号線17bを制御する。ゲート信号線17aにオンオフ電圧を印加することによりトランジスタ11bがオンオフ制御される。また、ゲート信号線17bにオンオフ電圧を印加することによりトランジスタ11dがオンオフ制御される。ゲートドライバ回路12bは、図32におけるゲート信号線17cを制御する。ゲート信号線17cにオンオフ電圧を印加することによりトランジスタ11cがオンオフ制御される。

【0413】したがって、ゲート信号線17aはゲートドライバ回路12aで操作し、ゲート信号線17cはゲートドライバ回路12bで操作する。そのため、トランジスタ11bをオンさせて駆動用トランジスタ11aをリセットするタイミングと、トランジスタ11cをオンさせて駆動用トランジスタ11aに電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【0414】図35はリセット駆動のタイミングチャートである。ゲート信号線17aにオン電圧を印加し、トランジスタ11bをオンさせ、駆動用トランジスタ11aをリセットしている時には、ゲート信号線17bにはオフ電圧を印加し、トランジスタ11dをオフ状態にしている。したがって、図32(a)の状態となっている。この期間にI<sub>b</sub>電流が流れる。

【0415】図35のタイミングチャートでは、リセット時間は2H(ゲート信号線17aにオン電圧が印加され、トランジスタ11bがオンする)としているが、これに限定するものではない。2H以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は1H未満であってもよい。また、リセット期間を何H期間にするかはゲートドライバ回路12にパルス期間で容易に変更できる。たとえば、ST端子にを2H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は2H期間となる。同様に、ST端子に

82

ATAを5H期間の間Hレベルとすれば、各ゲート信号線17aから出力されるリセット期間は5H期間となる。

【0416】1H期間のリセット後、画素行(1)のゲート信号線17c(1)に、オン電圧が印加される。トランジスタ11cがオンすることにより、ソース信号線18に印加されたプログラム電流I<sub>w</sub>がトランジスタ11cを介して駆動用トランジスタ11aに書き込まれる。

【0417】電流プログラム後、画素(1)のゲート信号線17cにオフ電圧が印加され、トランジスタ11cがオフし、画素がソース信号線と切り離される。同時に、ゲート信号線17aにもオフ電圧が印加され、駆動用トランジスタ11aのリセット状態が解消される(なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である)。また、ゲート信号線17bにはオン電圧が印加され、トランジスタ11dがオンして、駆動用トランジスタ11aにプログラムされた電流がEL素子15に流れる。なお、画素行(2)以降についても、画素行(1)と同様であり、また、図35からその動作は明らかであるから説明を省略する。

【0418】図35において、リセット期間は1H期間であった。図36はリセット期間を5Hとした実施例である。リセット期間を何H期間にするかはゲートドライバ回路12にパルス期間で容易に変更できる。図36ではゲートドライバ回路12aのST1端子にを5H期間の間Hレベルし、各ゲート信号線17aから出力されるリセット期間を5H期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【0419】図36はリセット期間を5Hとした実施例であった。また、このリセット状態は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線17aから出力される信号を1Hごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路(図示せず)を操作することにより容易に実現できる。また、ゲートドライバ回路12にパルスを制御することで容易に実現できる。

【0420】図34の回路構成では、ゲートドライバ回路12aは少なくとも2つのシフトレジスタ回路(1つはゲート信号線17a制御用、他の1つはゲート信号線17b制御用)が必要であった。そのため、ゲートドライバ回路12aの回路規模が大きくなるという課題があった。図37はゲートドライバ回路12aのシフトレジスタを1つにした実施例である。図37の回路を動作さ

(43)

83

せた出力信号のタイミングチャートは図35のごとくなる。なお、図35と図37とはゲートドライバ回路12a、12bから出力されているゲート信号線17の記号が異なっているので注意が必要である。

【0421】図37のOR回路371が付加されていることから明らかであるが、各ゲート信号線17aの出力は、シフトレジスタ回路61aの前段出力とのORをとって出力される。つまり、2H期間、ゲート信号線17aからはオン電圧が出力される。一方、ゲート信号線17cはシフトレジスタ回路61aの出力がそのまま出力される。したがって、1H期間の間、オン電圧が印加される。

【0422】たとえば、シフトレジスタ回路61aの2番目にHレベル信号が出力されている時、画素16

(1)のゲート信号線17cにオン電圧が出力され、画素16(1)が電流(電圧)プログラムの状態である。同時に、画素16(2)のゲート信号線17aにもオン電圧が出力され、画素16(2)のトランジスタ11bがオン状態となり、画素16(2)の駆動用トランジスタ11aがリセットされる。

【0423】同様に、シフトレジスタ回路61aの3番目にHレベル信号が出力されている時、画素16(2)のゲート信号線17cにオン電圧が出力され、画素16

(2)が電流(電圧)プログラムの状態である。同時に、画素16(3)のゲート信号線17aにもオン電圧が出力され、画素16(3)トランジスタ11bがオン状態となり、画素16(3)駆動用トランジスタ11aがリセットされる。つまり、2H期間、ゲート信号線17aからはオン電圧が出力され、ゲート信号線17cに1H期間、オン電圧が出力される。

【0424】プログラム状態の時は、トランジスタ11bとトランジスタ11cが同時にオン状態となる(図33(b))から、非プログラム状態(図33(c))に移行する際、トランジスタ11cがトランジスタ11bよりも先にオフ状態となると、図33(b)のリセット状態となってしまう。これと防止するためには、トランジスタ11cがトランジスタ11bよりもあとからオフ状態にする必要がある。そのためには、ゲート信号線17aがゲート信号線17cよりも先にオン電圧が印加されるように制御する必要がある。

【0425】以上の実施例は、図32(基本的には図1)の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図38に示すようなカレントミラーの画素構成であっても実施することができる。なお、図38ではトランジスタ11eをオンオフ制御することにより、図13、図15などで図示するN倍パルス駆動を実現できる。図39は図38のカレントミラーの画素構成での実施例の説明図である。以下、図39を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

84

【0426】図39(a)に図示するように、トランジスタ11c、トランジスタ11eをオフ状態にし、トランジスタ11dをオン状態にする。すると、電流プログラム用トランジスタ11bのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI<sub>b</sub>電流が流れる。一般的に、トランジスタ11bは1つ前のフィールド(フレーム)で電流プログラムされ、電流を流す能力がある(ゲート電位はコンデンサ19に1F期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない)。この状態でトランジスタ11eがオフ状態とし、トランジスタ11dがオン状態にすれば、駆動電流I<sub>b</sub>がトランジスタ11aのゲート(G)端子の方向に流れる(ゲート(G)端子とドレイン(D)端子がショートされる)。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、トランジスタ11aはリセット(電流を流さない状態)になる。また、駆動用トランジスタ11bのゲート(G)端子は電流プログラム用トランジスタ11aのゲート(G)端子と共通であるから、駆動用トランジスタ11bもリセット状態となる。

【0427】このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、図51などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図39(a)の状態では、コンデンサ19の端子間には、オフセット電圧(電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ11に電流が流れる)が保持されていることになる。このオフセット電圧はトランジスタ11a、トランジスタ11bの特性に応じて異なる電圧値である。したがって、図39(a)の動作を実施することにより、各画素のコンデンサ19にはトランジスタ11a、トランジスタ11bが電流を流さない(つまり、黒表示電流(ほとんど0に等しい)状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【0428】なお、図39(a)においても図33(a)と同様に、リセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図39(a)の実施時間は固定値にする必要がある。実験および検討によれば、図39(a)の実施時間は、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましい。あるいは、20μsec以上2msec以下とすることが好ましい。このことは図33の駆動方式でも同様である。

【0429】図33(a)も同様であるが、図39(a)のリセット状態と、図39(b)の電流プログラム状態とを同期をとって行う場合は、図39(a)のリセット状態から、図39(b)の電流プログラム状態ま



(44)

85

での期間が固定値（一定値）となるから問題はない（固定値にされている）。つまり、図33（a）あるいは図39（a）のリセット状態から、図33（b）あるいは図39（b）の電流プログラム状態までの期間が、1H以上10H（10水平走査期間）以下とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは、 $20\mu\text{sec}$ 以上 $2\text{msec}$ 以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の輝度も低下する。

【0430】図39（a）を実施後、図39（b）の状態にする。図39（b）はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態である。図39（b）の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 $I_w$ を出力（あるいは吸収）し、このプログラム電流 $I_w$ を電流プログラム用トランジスタ11aに流す。このプログラム電流 $I_w$ が流れるように、駆動用トランジスタ11bのゲート（G）端子の電位をコンデンサ19に設定するのである。

【0431】もし、プログラム電流 $I_w$ が0（A）（黒表示）であれば、トランジスタ11bは電流を図33

（a）の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図39（b）で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aあるいはトランジスタ11bの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0432】図39（b）の電流プログラミング後、図39（c）に図示するように、トランジスタ11c、トランジスタ11dとオフし、トランジスタ11eをオンさせて、駆動用トランジスタ11bからのプログラム電流 $I_w$ （ $=I_e$ ）をEL素子15に流し、EL素子15を発光させる。図39（c）に関しても、以前に説明をしたので詳細は省略する。

【0433】図33、図39で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断（電流が流れない状態。トランジスタ11eあるいはトランジスタ11dで行う）し、かつ、駆動用トランジスタのドレイン

（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む2端子）間

86

をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断するという動作は、必ずしも必須の条件ではない。もし、第1の動作における駆動用トランジスタ11aあるいはトランジスタ11bとEL素子15間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第1の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【0434】図39のカレントミラーの画素構成は、電流プログラムトランジスタ11aをリセットすることにより、結果として駆動用トランジスタ11bをリセットする駆動方法であった。

【0435】図39のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ11bとEL素子15間を切断する必要はない。したがって、電流プログラム用トランジスタaのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート（G）端子を含む2端子、あるいは駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、電流プログラム用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。

【0436】画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムを行われる画素行は、リセット状態（黒表示状態）になり、所定H後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【0437】以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図43は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成（パネル構成）の説明図である。

【0438】図43の画素構成では、駆動用トランジスタ11aをリセット動作させるためのトランジスタ11eが形成されている。ゲート信号線17eにオン電圧が印加されることにより、トランジスタ11eがオンし、駆動用トランジスタ11aのゲート（G）端子とドレイン（D）端子間をショートさせる。また、EL素子15



(45)

87

と駆動用トランジスタ11aとの電流経路を切断するトランジスタ11dが形成されている。以下、図44を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【0439】図44(a)に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI<sub>b</sub>電流が流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用トランジスタ11aはリセット(電流を流さない状態)になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44(a)の動作を実施する。

【0440】このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、図41などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図44(a)の状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値である。つまり、図44(a)の動作を実施することにより、各画素のコンデンサ19には駆動用トランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【0441】なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図44(a)のリセットの実施時間を長くするほど、I<sub>b</sub>電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図44(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

【0442】また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にしておくことが好ましい。つまり、ゲート信号線17eと前段の画素行のゲート信号線17aとをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも1H前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1画素行前に限定されるものではない。たとえば、2画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ11aのリセットを実施してもよい。

88

【0443】前段ゲート制御方式をさらに具体的に記載すれば以下になる。着目する画素行が(N)画素行とし、そのゲート信号線がゲート信号線17e

(N)、ゲート信号線17a(N)とする。1H前に選択される前段の画素行は、画素行が(N-1)画素行とし、そのゲート信号線がゲート信号線17e(N-1)、ゲート信号線17a(N-1)とする。また、着目画素行の次の1H後に選択される画素行が(N+1)画素行とし、そのゲート信号線がゲート信号線17e(N+1)、ゲート信号線17a(N+1)とする。

【0444】第(N-1)H期間では、第(N-1)画素行のゲート信号線17a(N-1)にオン電圧が印加されると、第(N)画素行のゲート信号線17e(N)にもオン電圧が印加される。ゲート信号線17e(N)と前段の画素行のゲート信号線17a(N-1)とがショート状態で形成されているからである。したがって、第(N-1)画素行の画素のトランジスタ11b(N-1)がオンし、ソース信号線18の電圧が駆動用トランジスタ11a(N-1)のゲート(G)端子に書き込まれる。同時に、第(N)画素行の画素のトランジスタ11e(N)がオンし、駆動用トランジスタ11a(N)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N)がリセットされる。

【0445】第(N-1)H期間の次の第(N)期間では、第(N)画素行のゲート信号線17a(N)にオン電圧が印加されると、第(N+1)画素行のゲート信号線17e(N+1)にもオン電圧が印加される。したがって、第(N)画素行の画素のトランジスタ11b(N)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N)のゲート(G)端子に書き込まれる。同時に、第(N+1)画素行の画素のトランジスタ11e(N+1)がオンし、駆動用トランジスタ11a(N+1)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N+1)がリセットされる。

【0446】以下同様に、第(N)H期間の次の第(N+1)期間では、第(N+1)画素行のゲート信号線17a(N+1)にオン電圧が印加されると、第(N+2)画素行のゲート信号線17e(N+2)にもオン電圧が印加される。したがって、第(N+1)画素行の画素のトランジスタ11b(N+1)がオンし、ソース信号線18に印加されている電圧が駆動用トランジスタ11a(N+1)のゲート(G)端子に書き込まれる。同時に、第(N+2)画素行の画素のトランジスタ11e(N+2)がオンし、駆動用トランジスタ11a(N+2)のゲート(G)端子とドレイン(D)端子間がショートされ、駆動用トランジスタ11a(N+2)がリセットされる。

【0447】以上の本発明の前段ゲート制御方式では、

(46)

89

1 H 期間、駆動用トランジスタ 11 a はリセットされ、その後、電圧（電流）プログラムが実施される。

【0448】図 33 (a) も同様であるが、図 44

(a) のリセット状態と、図 44 (b) の電圧プログラム状態とを同期をとって行う場合は、図 44 (a) のリセット状態から、図 44 (b) の電流プログラム状態までの期間が固定値（一定値）となるから問題はない（固定値にされている）。この期間が短いと駆動用トランジスタ 11 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 11 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 12 の輝度も低下する。

【0449】図 44 (a) を実施後、図 44 (b) の状態にする。図 44 (b) はトランジスタ 11 b をオンさせ、トランジスタ 11 e、トランジスタ 11 d をオフさせた状態である。図 44 (b) の状態は、電圧プログラムを行っている状態である。つまり、ソースドライバ回路 14 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 11 a のゲート (G) 端子に書き込む（駆動用トランジスタ 11 a のゲート (G) 端子の電位をコンデンサ 19 に設定する）。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 11 d を必ずしもオフさせる必要はない。また、図 13、図 15 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N/K 倍パルス駆動

（1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 11 e をオンオフ動作させることにより容易に実現できる）を実施する必要がなければ、トランジスタ 11 e が不要でない。このことは以前に説明をしたので、説明を省略する。

【0450】図 43 の構成あるいは図 44 の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧（各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧）から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 11 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0451】図 44 (b) の電流プログラミング後、図 44 (c) に図示するように、トランジスタ 11 b をオフし、トランジスタ 11 d をオンさせて、駆動用トランジスタ 11 a からのプログラム電流を EL 素子 15 に流し、EL 素子 15 を発光させる。

【0452】以上のように、図 43 の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 11 d をオンさせ、トランジスタ 11 e をオフさせて、トランジスタ 11 a に電流を流す第 1 の動作と、トランジスタ 11 a と EL 素子 15 間を切断し、かつ、駆動用トランジスタ 11 a のド

90

レイン (D) 端子とゲート (G) 端子（もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を含む 2 端子）間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 11 a に電圧プログラムを行う第 3 の動作とを実施するものである。

【0453】以上の実施例では、駆動トランジスタ素子 11 a（図 1 の画素構成の場合）から EL 素子 15 に流す電流を制御するのに、トランジスタ 11 d をオンオフさせて行う。トランジスタ 11 d をオンオフさせるためには、ゲート信号線 17 b を走査する必要がある。走査のためには、シフトレジスタ 61（ゲート回路 12）が必要となる。しかし、シフトレジスタ 61 は規模が大きく、ゲート信号線 17 b の制御にシフトレジスタ 61 を用いたのでは狭額縁化できない。図 40 で説明する方式は、この課題を解決するものである。なお、本発明は、主として図 1 などに図示する電流プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 38 などで説明した他の電流プログラム構成（カレントミラーの画素構成）であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図 41 などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、EL 素子 15 に流れる電流を間欠にする方式であるから、図 50 などで説明する逆バイアス電圧を印加する方式とも組み合わせることができるとは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。図 40 はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路 12 は基板 71 に直接形成したか、もしくはシリコンチップのゲートドライバ IC 12 を基板 71 に積載したとして説明をする。また、ソースドライバ 14 およびソース信号線 18 は図面が煩雑になるため省略する。図 40 において、ゲート信号線 17 a はゲートドライバ回路 12 と接続されている。一方、各画素のゲート信号線 17 b は点灯制御線 401 と接続されている。図 40 では 4 本のゲート信号線 17 b が 1 つの点灯制御線 401 と接続されている。なお、4 本のゲート信号線 17 b でブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域 50 は少なくとも 5 以上に分割することが好ましい。さらに好ましくは、10 以上に分割することが好ましい。さらには、20 以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線 401 の本数が多くなり、制御線 401 のレイアウトが困難になる。したがって、QCIF 表示パネルの場合は、垂直走査線の本数が 220 本であるから、少なくとも、 $220/5 = 44$  本以上でブロック化する必要があり、好ましくは、 $220/10 = 22$  本以上でブロック化する必要がある。

(47)

91

ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。図40の実施例では、点灯制御線401a、401b、401c、401d……401nと順次、オン電圧(V<sub>gl</sub>)を印加するか、もしくはオフ電圧(V<sub>gh</sub>)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素のトランジスタ11b、11cはオンして、ソース信号線18に印加された電流(電圧)を各画素のコンデンサ19にプログラムする。一方、ゲート信号線17bは各画素のトランジスタ11dのゲート(G)端子と接続されている。したがって、点灯制御線401にオン電圧(V<sub>gl</sub>)が印加されたとき、駆動トランジスタ11aとEL素子15との電流経路を形成し、逆にオフ電圧(V<sub>gh</sub>)が印加された時は、EL素子15のアノード端子をオープンにする。なお、点灯制御線401に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路12がゲート信号線17aに出力する画素行選択電圧(V<sub>gl</sub>)のタイミングは1水平走査クロック(1H)に同期していることが好ましい。しかし、これに限定するものではない。点灯制御線401に印加する信号は単に、EL素子15への電流をオンオフさせるだけである。また、ソースドライバ14が出力する画像データと同期がとれている必要もない。点灯制御線401に印加する信号は、各画素16のコンデンサ19にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは1H信号に限定されるものではなく、1/2Hでも、1/4Hであってもよい。図38に図示したカレントミラーの画素構成の場合であっても、ゲート信号線17bを点灯制御線401に接続することにより、トランジスタ11eをオンオフ制御できる。したがって、ブロック駆動を実現できる。なお、図32において、ゲート信号線17aを点灯制御線401に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1つの制御線で、複数の画素行を同時に非点灯(あるいは黒表示)とする駆動方法である。

【0454】以上の実施例は、1画素行ごとに1本の選択画素行を配置(形成)する構成であった。本発明は、

92

これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置(形成)してもよい。

【0455】図41はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図41では画素行の選択ゲート信号線17aは3つの画素(16R、16G、16B)を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0456】したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

【0457】画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0458】この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成(配置)することが適切である。なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を1/Nの期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値(電流値)を設定できないからである。一般的にコンデンサ19には所望の電圧値(電流値)よりも低い電圧値(電流値)が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、N=10としても実際にEL素子15に流れる電流はN=5の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。また、所望値より電流(そのまゝ、EL素子15に連続して電流を流すと所望

(48)

93

輝度よりも高くなるような電流)を駆動トランジスタ11a(図1を例示する場合)に電流(電圧)プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

【0459】また、図1などのスイッチングトランジスタ11b、11cなどはNチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【0460】また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト感が増加する。したがって、良好な画像表示を実現できる。

【0461】逆に、図1のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときにはV<sub>gh</sub>電圧となる。そのため、コンデンサ19の端子電圧がV<sub>dd</sub>側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【0462】その他、ゲート信号線17aとトランジスタ11aのゲート(G)端子間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加させる構成も有効である(図42(a)を参照)。このコンデンサ19bの容量は正規のコンデンサ19aの容量の1/50以上1/10以下にすることが好ましい。さらには1/40以上1/15以下とすることが好ましい。もしくはトランジスタ11bのソースゲート(ソースドレイン(SG)もしくはゲートドレイン(GD))容量の1倍以上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサ19bの形成位置は、コンデンサ19aの一方の端子(トランジスタ11aのゲート(G)端子)とトランジスタ11dのソース(S)端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

【0463】突き抜け電圧発生用のコンデンサ19bの容量(容量をC<sub>b</sub>(pF)とする)は、電荷保持用のコンデンサ19aの容量(容量をC<sub>a</sub>(pF)とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最大輝度の白ラスタ時)のゲート(G)端子電圧

94

V<sub>w</sub>を黒表示での電流を流す(基本的には電流は0である。つまり、画像表示で黒表示としている時)時のゲート(G)端子電圧V<sub>b</sub>が関連する。これらの関係は、
$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、|V<sub>w</sub>-V<sub>b</sub>|とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である(つまり、変化する電圧幅)。

【0464】さらに好ましくは、
$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

【0465】トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソースゲート(SGもしくはゲートドレイン(GD))容量(トランジスタがオンしているときの容量)の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【0466】なお、以上の事項は、図1の画素構成だけでなく、他の画素構成でも有効である。たとえば、図42(b)に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bとトランジスタ11aのゲート

(G)端子間に配置または形成する。スイッチングトランジスタ11cのNチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ11c、11dをPチャンネルとし、トリプルゲート以上とする。

【0467】41の電圧プログラムの構成にあつては、ゲート信号線17cと駆動用トランジスタ11aのゲート(G)端子間に突き抜け電圧発生用のコンデンサ19cを形成または配置する。また、スイッチングトランジスタ11cはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ19cはトランジスタ11cのドレイン(D)端子(コンデンサ19b側)と、ゲート信号線17a間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ11aのゲート

(G)端子と、ゲート信号線17a間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ11cのドレイン(D)端子(コンデンサ19b側)と、ゲート信号線17c間に配置してもよい。

【0468】また、電荷保持用のコンデンサ19aの容量をC<sub>a</sub>とし、スイッチング用のトランジスタ11cまたは11dのソースゲート容量C<sub>c</sub>(突き抜け用のコンデンサがある場合には、その容量を加えた値)とし、ゲート信号線に印加される高電圧信号(V<sub>gh</sub>)とし、ゲート信号線に印加される低電圧信号(V<sub>gl</sub>)とした時、以下の条件を満足するように構成することによ

(49)

95

り、良好な黒表示を実現できる。

$$\begin{aligned} & \text{【0469】 } 0.05 \text{ (V)} \leq (V_{gh} - V_{gl}) \\ & \times (C_c / C_a) \leq 0.8 \text{ (V)} \end{aligned}$$

さらに好ましくは、以下の条件を満足させることが好ましい。

$$\begin{aligned} & \text{【0470】 } 0.1 \text{ (V)} \leq (V_{gh} - V_{gl}) \times \\ & (C_c / C_a) \leq 0.5 \text{ (V)} \end{aligned}$$

以上の事項は図43などの画素構成にも有効である。図43の電圧プログラムの画素構成では、トランジスタ11aのゲート(G)端子とゲート信号線17a間に突き抜け電圧発生用のコンデンサ19bを形成または配置する。

【0471】なお、突き抜け電圧を発生させるコンデンサ19bは、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ11のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【0472】また、スイッチングトランジスタ11b、11c(図1の構成の場合)を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ19bを構成する方式も本発明の範疇である。スイッチングトランジスタ11b、11cはチャンネル幅W/チャンネル長L=6/6μmで形成することが多い。これをWと大きくすることも突き抜け電圧用のコンデンサ19bを構成することになる。例えば、W:Lの比を2:1以上20:1以下にする構成が例示される。好ましくは、W:Lの比を3:1以上10:1以下にすることがよい。

【0473】また、突き抜け電圧用のコンデンサ19bは、画素が変調するR、G、Bで大きさ(容量)を変化させることが好ましい。R、G、Bの各EL素子15の駆動電流が異なるためである。また、EL素子15のカットオフ電圧が異なるためである。そのため、EL素子15の駆動用トランジスタ11aのゲート(G)端子にプログラムする電圧(電流)が異なるからである。たとえば、Rの画素のコンデンサ11bRを0.02pFとした場合、他の色(G、Bの画素)のコンデンサ11bG、11bBを0.025pFとする。また、Rの画素のコンデンサ11bRを0.02pFとした場合、Gの画素のコンデンサ11bGと0.03pFとし、Bの画素のコンデンサ11bBを0.025pFとするなどである。このように、R、G、Bの画素ごとにコンデンサ11bの容量を変化させることによりオフセットの駆動電流をRGBごとに調整することができる。したがって、各RGBの黒表示レベルを最適値にすることができる。

【0474】以上は、突き抜け電圧発生用のコンデンサ19bの容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ19aと突き抜け電圧発生用のコン

96

デンサ19bとの容量の相対的なものである。したがって、コンデンサ19bをR、G、Bの画素で変化することに限定するものではない。つまり、保持用コンデンサ19aの容量を変化させてもよい。たとえば、Rの画素のコンデンサ11aRを1.0pFとした場合、Gの画素のコンデンサ11aGと1.2pFとし、Bの画素のコンデンサ11aBを0.9pFとするなどである。この時、突き抜け用コンデンサ19bの容量は、R、G、Bで共通の値とする。したがって、本発明は、保持用のコンデンサ19aと突き抜け電圧発生用のコンデンサ19bとの容量比を、R、G、Bの画素のうち、少なくとも1つを他と異ならせたものである。なお、保持用のコンデンサ19aの容量と突き抜け電圧発生用のコンデンサ19bとの容量との両方をR、G、B画素で変化させてもよい。

【0475】また、画面50の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい。ゲートドライバ12に近い位置にある画素16は信号供給側に配置されているので、ゲート信号の立ち上がりが速い(スルーレートが高い)からである)ため、突き抜け電圧が大きくなる。ゲート信号線17端に配置(形成)されている画素は、信号波形が鈍っている(ゲート信号線17には容量があるためである)。ゲート信号の立ち上がりが遅い(スルーレートが遅い)ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ12との接続側に近い画素16の突き抜け電圧用コンデンサ19bを小さくする。また、ゲート信号線17端はコンデンサ19bを大きくする。たとえば、画面の左右でコンデンサの容量は10%程度変化させる。

【0476】発生する突き抜け電圧は、保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bと、電荷保持用のコンデンサ19a容量の両方を画面の左右で変化させてもよいことは言うまでもない。

【0477】本発明のN倍パルス駆動の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧Vmを印加することが有効である。

【0478】EL素子15において、電子は陰極(カソード)より電子輸送層に注入されると同時に正孔も陽極(アノード)から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり、発光層界面でのエネルギー



(50)

97

一準位の差によりキャリアが蓄積されたりする。

【0479】有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0480】逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0481】図45は、逆バイアス電圧 $V_m$ とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図45はEL素子15に流す電流が電流密度 $100\text{ A}/\text{平方メートル}$ の場合であるが、図45の傾向は、電流密度 $50\sim 100\text{ A}/\text{平方メートル}$ の場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0482】縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度 $100\text{ A}/\text{平方メートル}$ の電流の印加した時の端子電圧が8 (V) とし、経過時間2500時間において、電流密度 $100\text{ A}/\text{平方メートル}$ の電流の印加した時の端子電圧が10 (V) とすれば、端子電圧比は、 $10/8=1.25$ である。

【0483】横軸は、逆バイアス電圧 $V_m$ と1周期に逆バイアス電圧を印加した時間 $t_1$ の積に対する定格端子電圧 $V_0$ の比である。たとえば、 $60\text{ Hz}$ （とくに $60\text{ Hz}$ に意味はないが）で、逆バイアス電圧 $V_m$ を印加した時間が $1/2$ （半分）であれば、 $t_1=0.5$ である。また、経過時間0時間において、電流密度 $100\text{ A}/\text{平方メートル}$ の電流の印加した時の端子電圧（定格端子電圧）が8 (V) とし、逆バイアス電圧 $V_m$ を8 (V) とすれば、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2) = |-8\text{ (V)} \times 0.5| / (8\text{ (V)} \times 0.5) = 1.0$ となる。

【0484】図45によれば、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 $V_m$ の印加による効果がよく発揮されている。しかし、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ （もしくは $t_2$ 、あるいは $t_1$ と $t_2$ との比率）を決定する

98

とよい。また、好ましくは、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ などを決定するとよい。

【0485】ただし、バイアス駆動を行う場合は、逆バイアス $V_m$ と定格電流とを交互に印加する必要がある。図46のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 $V_m$ を印加する場合（図46のサンプルA）のEL素子15の端子電圧も高くなる。

【0486】しかし、図45では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 $V_0$ とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度 $200\text{ A}/\text{平方メートル}$ の電流の印加した時の端子電圧である。ただし、 $1/2$ デューティであるので、1周期の平均輝度は電流密度 $200\text{ A}/\text{平方メートル}$ での輝度となる）。

【0487】以上の事項は、EL素子15を、白ラスタ表示（画面全体のEL素子に最大電流を印加している場合）を想定している。しかし、EL表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、EL素子15の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度 $100\text{ A}/\text{平方メートル}$ の電流）が流れているのではない。

【0488】一般的に、映像表示を行う場合は、各EL素子15に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度 $100\text{ A}/\text{平方メートル}$ の電流）の約0.2倍である。

【0489】したがって、図45の実施例では、映像表示を行う場合は横軸の値に0.2をかけるものとする必要がある。したがって、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ は0.2以上にするように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ （もしくは $t_2$ 、あるいは $t_1$ と $t_2$ との比率など）を決定するとよい。また、好ましくは、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ は $1.75 \times 0.2 = 0.35$ 以下になるように逆バイアス電圧 $V_m$ の大きさおよび印加時間比 $t_1$ などを決定するとよい。

【0490】つまり、図45の横軸（ $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ ）において、1.0の値を0.2とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスタを常時表示することはないであろう）時は、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$ が0.2よりも大きくなるように、逆バイアス電圧 $V_m$ を



所定時間  $t_1$  印加するようにする。また、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$  の値が大きくなっても、図45で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスタ表示を実施することも考慮して、 $|\text{逆バイアス電圧} \times t_1| / (\text{定格端子電圧} \times t_2)$  の値が1.75以下を満足するようにすればよい。

【0491】以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧  $V_m$  (電流) を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧  $V_m$  を印加してもよい。なお、この場合は、結果としてEL素子15には電流が流れず、非点灯状態(黒表示状態)となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧  $V_m$  を印加することを中心として説明するがこれに限定するものではない。

【0492】逆バイアス駆動の画素構成では、図47に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。

【0493】図47では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くすることにより、トランジスタ11g(N)がオンし、EL素子15のアノード電極に逆バイアス電圧  $V_m$  が印加される。

【0494】また、図47の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、図47において  $V_k$  電圧が0(V)とする時、ゲート電位制御線473の電位を0(V)以上(好ましくは2(V)以上)にする。なお、この電位を  $V_{sg}$  とする。この状態で、逆バイアス線471の電位を逆バイアス電圧  $V_m$  (0(V)以下、好ましくは  $V_k$  より-5(V)以上小さい電圧)にすると、トランジスタ11g(N)がオンし、EL素子15のアノードに、逆バイアス電圧  $V_m$  が印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧(つまり、トランジスタ11gのゲート(G)端子電圧)よりも高くすると、トランジスタ11gはオフ状態であるため、EL素子15には逆バイアス電圧  $V_m$  は印加されない。もちろん、この状態の時に、逆バイアス線471をハイインピーダンス状態(オープン状態など)としてもよいことは言うまでもない。

【0495】また、図48に図示するように、逆バイアス線471を制御するゲートドライバ回路12cを別途形成または配置してもよい。ゲートドライバ回路12cは、ゲートドライバ回路12aと同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【0496】以上の駆動方法では、トランジスタ11g

のゲート(G)端子は電位固定し、逆バイアス線471の電位を変化させるだけで、EL素子15に逆バイアス電圧  $V_m$  を印加することができる。したがって、逆バイアス電圧  $V_m$  の印加制御が容易である。また、トランジスタ11gのゲート(G)端子とソース(S)端子間に印加される電圧を低減できる。このことは、トランジスタ11gがPチャンネルの場合も同様である。

【0497】また、逆バイアス電圧  $V_m$  の印加は、EL素子15に電流を流していない時に行うものである。したがって、トランジスタ11dがオンしていない時に、トランジスタ11gをオンさせることにより行えばよい。つまり、トランジスタ11dのオンオフロジックの逆をゲート電位制御線473に印加すればよい。たとえば、図47では、ゲート信号線17bにトランジスタ11dおよびトランジスタ11gのゲート(G)端子を接続すればよい。トランジスタ11dはPチャンネルであり、トランジスタ11gはNチャンネルであるため、オンオフ動作は反対となる。

【0498】図49は逆バイアス駆動のタイミングチャートである。なお、チャート図において(1)(2)などの添え字は、画素行を示している。説明を容易にするため、(1)とは、第1画素行目と示し、(2)とは第2画素行目を示すとして説明をするが、これに限定するものではない。(1)がN画素行目を示し、(2)がN+1画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図49などの実施例では、図1などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図41、図38などの画素構成においても適用できるものである。

【0499】第1画素行目のゲート信号線17a(1)にオン電圧( $V_{gl}$ )が印加されている時には、第1画素行目のゲート信号線17b(1)にはオフ電圧( $V_{gh}$ )が印加される。つまり、トランジスタ11dはオフであり、EL素子15には電流が流れていない。

【0500】逆バイアス線471(1)には、 $V_{s1}$  電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧( $V_{gh}$ )が印加された後、所定期間(1Hの1/200以上の期間、または、0.5  $\mu\text{sec}$ )後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧( $V_{gl}$ )が印加される所定期間(1Hの1/200以上の期間、または、0.5  $\mu\text{sec}$ )前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

【0501】次の水平走査期間(1H)には、ゲート信号線17aにはオフ電圧( $V_{gh}$ )が印加され、第2画

(52)

101

素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧(V<sub>gl</sub>)が印加され、トランジスタ11dがオンして、EL素子15にトランジスタ11aから電流が流れEL素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V<sub>sh</sub>)が印加されて、第1画素行(1)のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)にはV<sub>s1</sub>電圧(逆バイアス電圧)が印加される。

【0502】以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図48の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは明らかである。また、ブロック駆動(図40参照)や、N倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。以上の実施例は、図1の画素構成の場合であったが、他の構成においても、図38、図41などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図50は電流プログラム方式の画素構成である。

【0503】図50は、カレントミラーの画素構成である。トランジスタ11cは画素選択素子である。ゲート信号線17a1にオン電圧を印加することにより、トランジスタ11cがオンする。トランジスタ11dはリセット機能と、駆動用トランジスタ11aのドレイン(D)ーゲート(G)端子間をショート(GDショート)する機能を有するスイッチ素子である。トランジスタ11dはゲート信号線17a2にオン電圧を印加することによりオンする。

【0504】トランジスタ11dは、該当画素が選択する1H(1水平走査期間、つまり1画素行)以上前にオンする。好ましくは3H前にはオンさせる。3H前とすれば、3H前にトランジスタ11dがオンし、トランジスタ11aのゲート(G)端子とドレイン(D)端子がショートされる。そのため、トランジスタ11aはオフする。したがって、トランジスタ11bには電流が流れなくなり、EL素子15は非点灯となる。

【0505】EL素子15が非点灯状態の時、トランジスタ11gがオンし、EL素子15に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ11dがオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ11dとトランジスタ11gとは同時にオンすることになる。

【0506】トランジスタ11gのゲート(G)端子はV<sub>sg</sub>電圧が印加されて固定されている。逆バイアス線471をV<sub>sg</sub>電圧より十分に小さな逆バイアス電圧を逆バイアス線471に印加することによりトランジスタ

102

11gがオンする。

【0507】その後、前記該当画素に映像信号が印加(書き込まれる)される水平走査期間がくると、ゲート信号線17a1にオン電圧が印加され、トランジスタ11cがオンする。したがって、ソースドライバ回路14からソース信号線18に出力された映像信号電圧がコンデンサ19に印加される(トランジスタ11dはオン状態が維持されている)。

【0508】トランジスタ11dをオンさせると黒表示となる。1フィールド(1フレーム)期間に占めるトランジスタ11dのオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても1フィールド(1フレーム)の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間にEL素子15に流す電流と大きくする必要がある。この動作は、本発明のN倍パルス駆動である。したがって、N倍パルス駆動と、トランジスタ11dをオンさせて黒表示とする駆動とを組み合わせることが本発明の1つの特徴ある動作である。また、EL素子15が非点灯状態で、逆バイアス電圧をEL素子15に印加することが本発明の特徴ある構成(方式)である。

【0509】以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のTFT11gを各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

【0510】例えば、図1の画素構成において、画素16を選択し(TFT11b、TFT11cをオンさせる)、ソースドライバIC(回路)14から、ソースドライバICが出力できる低い電圧V<sub>0</sub>(例えば、GND電圧)を出力して駆動用TFT11aのドレイン端子(D)に印加する。この状態でTFT11dもオンさせればELのアノード端子にV<sub>0</sub>電圧が印加される。同時に、EL素子15のカソードV<sub>k</sub>にV<sub>0</sub>電圧に対し、-5~-15(V)低い電圧V<sub>m</sub>電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、V<sub>dd</sub>電圧もV<sub>0</sub>電圧より0~-5(V)低い電圧を印加することにより、TFT11aもオフ状態となる。以上のようにソースドライバ回路14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

【0511】N倍パルス駆動は、1フィールド(1フレーム)期間内において、1度、黒表示をしても再度、EL素子15に所定の電流(プログラムされた電流(コンデンサ19に保持されている電圧による))を流すことができる。しかし、図50の構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電

(53)

103

(減少を含む) されるため、EL素子15に所定の電流(プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【0512】なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図38、図50のような他の電流方式の画素構成にも適用することができる。また、図51、図54、図62に図示するような電圧プログラムの画素構成でも適用することができる。

【0513】図51は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ11bが選択スイッチング素子であり、トランジスタ11aがEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ(スイッチング素子)11gを配置(形成)している。

【0514】図51の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート(G)端子に印加される。

【0515】まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

【0516】水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。この時、ソース信号線18にはV<sub>dd</sub>電圧が印加される。したがって、コンデンサ19bのa端子にはV<sub>dd</sub>電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン(D)端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

【0517】次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT<sub>1</sub>の期間、オン電圧が印加され、トランジスタ11bがオンする。このT<sub>1</sub>の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T<sub>1</sub>は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20μsec以上160μsec以下の時間とすることが好ましい。また、コンデンサ19b(C<sub>b</sub>)とコンデンサ19a(C<sub>a</sub>)の容量の比率は、C<sub>b</sub>:C<sub>a</sub>=6:1以上1:2以下とすることが好ましい。

【0518】リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート(G)

104

端子とドレイン(D)端子間がショートされる。したがって、トランジスタ11aのゲート(G)端子電圧とドレイン(D)端子電圧が等しくなり、トランジスタ11aはオフセット状態(リセット状態:電流が流れない状態)となる。このリセット状態とはトランジスタ11aのゲート(G)端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ19bのb端子に保持される。したがって、コンデンサ19には、オフセット電圧(リセット電圧)が保持されていることになる。

【0519】次のプログラム状態では、ゲート信号線17cにオフ電圧が印加されトランジスタ11bがオフする。一方、ソース信号線18には、T<sub>d</sub>の期間、DATA電圧が印加される。したがって、駆動用トランジスタ11aのゲート(G)端子には、DATA電圧+オフセット電圧(リセット電圧)が加えられたものが印加される。そのため、駆動用トランジスタ11aはプログラムされた電流を流せるようになる。

【0520】プログラム期間後、ゲート信号線17aにはオフ電圧が印加され、トランジスタ11cはオフ状態となり、駆動用トランジスタ11aはソース信号線18から切り離される。また、ゲート信号線17cにもオフ電圧が印加され、トランジスタ11bがオフし、このオフ状態は1Fの期間保持される。一方、ゲート信号線17bには、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図13、図15などのN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【0521】図52の駆動方式では、リセット状態でコンデンサ19には、トランジスタ11aの開始電流電圧(オフセット電圧、リセット電圧)が保持される。そのため、このリセット電圧がトランジスタ11aのゲート(G)端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線18と画素16とのカップリング、コンデンサ19への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き(コントラスト低下)が発生する。したがって、図53で説明した駆動方法では、表示コントラストを高くすることができない。

【0522】逆バイアス電圧V<sub>m</sub>をEL素子15に印加するためには、トランジスタ11aをオフさせる必要がある。トランジスタ11aをオフさせるためには、トランジスタ11aのV<sub>dd</sub>端子とゲート(G)端子間をショートすればよい。この構成については、後に図53を用いて説明をする。

【0523】また、ソース信号線18にV<sub>dd</sub>電圧またはトランジスタ11aをオフさせる電圧を印加し、トランジスタ11bをオンさせてトランジスタ11aのゲート(G)端子に印加させてもよい。この電圧によりトランジスタ11aがオフする(もしくは、ほとんど、電流

(54)

105

が流れないような状態にする（略オフ状態：トランジスタ11aが高インピーダンス状態）。その後、トランジスタ11gをオンさせて、EL素子15に逆バイアス電圧を印加する。この逆バイアス電圧 $V_m$ の印加は、全画素同時に行ってもよい。つまり、ソース信号線18にトランジスタ11aを略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ11bをオンさせる。したがって、トランジスタ11aがオフする。その後、トランジスタ11gをオンさせて、逆バイアス電圧をEL素子15に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【0524】次に、図51の画素構成におけるリセット駆動について説明をする。図53はその実施例である。図53に示すように画素16aのトランジスタ11cのゲート（G）端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11bのゲート（G）端子にも接続されている。同様に、画素16bのトランジスタ11cのゲート（G）端子に接続されたゲート信号線17aは次段画素16cのリセット用トランジスタ11bのゲート（G）端子に接続されている。

【0525】したがって、画素16aのトランジスタ11cのゲート（G）端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11bがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11cのゲート（G）端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11bがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【0526】さらに詳しく説明する。図53（a）のようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、ゲート信号線17bは画素16a、16bにはオフ電圧が印加され、画素16c、16dにはオン電圧が印加されているとする。

【0527】この状態では、画素16aは電圧プログラム状態で非点灯、画素16bはリセット状態で非点灯、画素16cはプログラム電流の保持状態で点灯、画素16dはプログラム電流の保持状態で点灯状態である。

【0528】1H後、制御用ゲートドライバ回路12のシフトレジスタ回路61内のデータが1ビットシフトし、図53（b）の状態となる。図53（b）の状態は、画素16aはプログラム電流保持状態で点灯、画素16bは電流プログラム状態で非点灯、画素16cはリ

106

セット状態で非点灯、画素16dはプログラム保持状態で点灯状態である。

【0529】以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【0530】図43に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる。図54は図43の画素構成を前段ゲート制御方式の接続とした実施例である。

【0531】図54に示すように画素16aのトランジスタ11bのゲート（G）端子に接続されたゲート信号線17aは次段画素16bのリセット用トランジスタ11eのゲート（G）端子に接続されている。同様に、画素16bのトランジスタ11bのゲート（G）端子に接続されたゲート信号線17aは次段画素16cのリセット用トランジスタ11eのゲート（G）端子に接続されている。

【0532】したがって、画素16aのトランジスタ11bのゲート（G）端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16aが電圧プログラム状態となるとともに、次段画素16bのリセット用トランジスタ11eがオンし、画素16bの駆動用トランジスタ11aがリセット状態となる。同様に、画素16bのトランジスタ11bのゲート（G）端子に接続されたゲート信号線17aにオン電圧を印加すると、画素16bが電流プログラム状態となるとともに、次段画素16cのリセット用トランジスタ11eがオンし、画素16cの駆動用トランジスタ11aがリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【0533】さらに詳しく説明する。図55（a）のようにゲート信号線17に電圧が印加されているとする。つまり、画素16aのゲート信号線17aにオン電圧が印加され、他の画素16のゲート信号線17aにオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ11gはオフ状態であるとする。

【0534】この状態では、画素16aは電圧プログラム状態、画素16bはリセット状態、画素16cはプログラム電流の保持状態、画素16dはプログラム電流の保持状態である。

【0535】1H後、制御用ゲートドライバ回路12のシフトレジスタ回路61内のデータが1ビットシフトし、図55（b）の状態となる。図55（b）の状態は、画素16aはプログラム電流保持状態、画素16bは電流プログラム状態、画素16cはリセット状態、画素16dはプログラム保持状態である。

【0536】以上のことから、各画素は前段に印加されたゲート信号線17aの電圧により、次段の画素の駆動用トランジスタ11aがリセットされ、次の水平走査期

(55)

107

間に電圧プログラムが順次行われることがわかる。

【0537】以後、本発明の電流駆動方式のソースドライバIC（回路）14について説明をする。まず、図72に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、このような電流ドライバICが存在するのではなく、本発明の電流駆動方式のソースドライバICを説明するための原理的なものである。

【0538】図72において、721はD/A変換器である。D/A変換器721にはnビットのデータ信号が入力され、入力されたデータに基づき、D/A変換器からアナログ信号が出力される。このアナログ信号はオペ  
10 アンプ722に入力される。オペアンプ722はNチャンネルトランジスタ631aに入力され、トランジスタ631aに流れる電流が抵抗691に流れる。抵抗Rの端子電圧はオペアンプ722の－入力となり、この一端子の電圧とオペアンプ722の＋端子とは同一電圧となる。したがってD/A変換器721の出力電圧は抵抗691の端子電圧となる。

【0539】今、抵抗691の抵抗値が1MΩとし、D/A変換器721の出力が1（V）であれば、抵抗691には1（V）/1MΩ＝1（μA）の電流が流れる。  
20 これが定電流回路となる。したがって、データ信号の値に応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗691に所定電流が流れる。

【0540】トランジスタ631p1と631p2とはカレントミラー回路を構成している。なお、トランジスタ631pはPチャンネル型トランジスタである。一方、633nはカレントミラーを構成するnチャンネル型トランジスタである。駆動用トランジスタ631aの  
30 ソースドレイン（SD）にも同じ電流が流れ、631p1と631p2で構成されるカレントミラー回路にも同じ電流値が流れ、各トランジスタ633nで構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子O1、O2、O3、O4、O5、・・・は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい時）。

【0541】しかしながら、ICは、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気  
40 的特性は異なり、ドライバICの出力電流は、たとえ同一ICであっても、定電流出力端子間では各出力間のばらつきは存在する。この場合、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらを生じる。したがって、ドライバIC14を使用して、有機EL表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

【0542】本発明はかかる点に鑑みてなされたもので  
50

108

あり、定電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバIC（回路）14を提供する。

【0543】図63に、本発明の電流駆動方式のソースドライバIC（回路）14の構成図を示す。図1は、一例として電流源を3段構成（631、632、633）とした場合の多段式カレントミラー回路を示している。

【0544】図63において、第1段の電流源631の電流値は、N個（ただし、Nは任意の整数）の第2段電流源632にカレントミラー回路によりコピーされる。更に、第2段電流源632の電流値は、M個（ただし、Mは任意の整数）の第3段電流源633にカレントミラー回路によりコピーされる。この構成により、結果として第1段電流源631の電流値は、N×M個の第3段電流源633にコピーされることになる。

【0545】例えば、QCIF形式の表示パネルのソース信号線18に1個のドライバIC14で駆動する場合は、176出力（ソース信号線が各RGBで176出力必要なため）となる。この場合は、Nを16個とし、M＝11個とする。したがって、16×11＝176となり、176出力に対応できる。このように、NまたはMのうち、一方を8または16もしくはその倍数とすることにより、ドライバICの電流源のレイアウト設計が容易になる。

【0546】従来の電流駆動方式のソースドライバIC（仮想で想定している）では、第1段電流源631の電流値を直接N×M個の第3段電流源にカレントミラー回路でコピーしていたので、第1段電流源631のトランジスタ特性と第3段電流源のトランジスタ特性に差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバIC14は、幅が2mm程度で長さが20mm程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

【0547】この課題に対して、本発明の多段式カレントミラー回路による電流駆動方式のソースドライバIC（回路）14では、前記したように、第1段電流源631の電流値を直接N×M個の第3段電流源633にカレントミラー回路でコピーするのではなく、中間に第2段電流源632を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【0548】特に、本発明は、第1段のカレントミラー回路（電流源631）と第2段にカレントミラー回路（電流源632）を密接して配置するところに特徴がある。第1段の電流源631から第3段の電流源633（つまり、カレントミラー回路の2段構成）であれば、第1段の電流源と接続される第2段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633を密接して配置することができない。



(56)

109

【0549】本発明のソースドライバ回路14のように、第1段のカレントミラー回路（電流源631）の電流を第2段のカレントミラー回路（電流源632）にコピーし、第2段のカレントミラー回路（電流源632）の電流を第3段のカレントミラー回路（電流源632）にコピーする構成である。この構成では、第1段のカレントミラー回路（電流源631）に接続される第2段のカレントミラー回路（電流源632）の個数は少ない。したがって、第1段のカレントミラー回路（電流源631）と第2段のカレントミラー回路（電流源632）とを密接して配置することがことができる。

【0550】密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第2段のカレントミラー回路（電流源632）に接続される第3段のカレントミラー回路（電流源633）の個数も少なくなる。したがって、第2段のカレントミラー回路（電流源632）と第3段のカレントミラー回路（電流源633）とを密接して配置することがことができる。

【0551】つまり、全体として、第1段のカレントミラー回路（電流源631）、第2段のカレントミラー回路（電流源632）、第3段のカレントミラー回路（電流源633）の電流受け取り部のトランジスタを密接して配置することがことができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる（精度が高い）。

【0552】なお、本例では簡単のため多段式カレントミラー回路を3段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバIC14の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は3段に限定するものではなく、3段以上であってもよい。

【0553】本発明において、電流源631、632、633と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図72に図示するようにオペアンプ722とトランジスタ631と抵抗Rの組み合わせからなる電流回路でもよい。

【0554】図64はさらに具体的なソースドライバIC（回路）14の構造図である。図64は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源634（1単位））で構成されており、そ

110

の個数が画像データのビットに対応して、ビット重み付けされている。

【0555】なお、本発明のソースドライバIC（回路）14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコン技術で直接形成したものでもよい。

10 【0556】図64で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{ 万色}$ を表示できることになる。

20 【0557】図64において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ641a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

30 【0558】D1入力端子にHレベル（正論理時）の時、スイッチ641bがオンする。すると、カレントミラーを構成する2つの電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

40 【0559】他のスイッチ641でも同様である。D2入力端子にHレベル（正論理時）の時は、スイッチ641cがオンする。すると、カレントミラーを構成する4つの電流源（1単位）634に向かって電流が流れる。D5入力端子にHレベル（正論理時）の時は、スイッチ641fがオンする。すると、カレントミラーを構成する32つの電流源（1単位）634に向かって電流が流れる。

50 【0560】以上のように、外部からのデータ（D0～D5）に応じて、それに対応する電流源（1単位）に向かって電流が流れる。したがって、データに応じて、0個から63個に電流源（1単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は6ビットの63個としているが、これに限



(57)

111

定するものではない。8ビットの場合は、255個の単位電流源634を形成（配置）すればよい。また、4ビットの時は、15個の単位電流源634を形成（配置）すればよい。単位電流源を構成するトランジスタ634は同一のチャンネル幅W、チャンネル幅Lとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【0561】また、電流源634はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源634を重み付けしてもよい。たとえば、1単位の電流源634と、2倍の電流源634と、4倍の電流源634などを混在させて電流出力回路を構成してもよい。しかし、電流源634を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【0562】図64の構成は図63に図示する第3段のカレントミラー部である。したがって、第1の電流源631と第2段の電流源632が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第2段の電流源632と第3段の電流源を構成するカレントミラー回路のトランジスタ633aも密集（密接あるいは隣接）して配置される。

【0563】なお、特に電流源（1単位）634は、密集して配置され、かつ微小な電流が流れる。したがって、EL表示パネルなどから放射される光（発光光）が、電流源634（他に631、632、633も考慮すべきである）に光が照射されると、ホトコンダクタ現象（ホトコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成する。また、基板に実装する箇所、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、EL素子15に電流を供給するアノード配線、カソード配線を引き回す（ICチップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、ICチップに限定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）を用いてソースドライバ回路14にも適用される。つまり、このソースドライバ回路14の裏面に遮光膜を形成する。

【0564】第2段のカレントミラー回路632を流れる電流は、第3段のカレントミラー回路を構成するトランジスタ633aにコピーされ、カレントミラー倍率が1倍の時は、この電流がトランジスタ633bに流れる。この電流は、最終段のトランジスタ634にコピーされる。

112

【0565】D0に対応する部分は、1個のトランジスタ634で構成されているので、最終段電流源のトランジスタ633に流れる電流値である。D1に対応する部分は2個のトランジスタ634で構成されているので、最終段電流源の2倍の電流値である。D2は4個のトランジスタ634で構成されているので、最終段電流源の4倍の電流値であり、・・・、D5に対応する部分は32個のトランジスタで構成されているので、最終段電流源の32倍の電流値である。したがって、6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介してプログラム電流Iwはソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データD0、D1、D2、・・・、D5のON、OFFに応じて、出力線には、最終段電流源633の1倍、2倍、4倍、・・・、32倍の電流が加算されて出力される。すなわち、6ビットの画像データD0、D1、D2、・・・、D5により、最終段電流源633の0～63倍の電流値が出力線より出力される（ソース信号線18から電流を引き込む）。

【0566】以上のように、最終段電流源633の整数倍の構成により、従来のW/Lの比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

【0567】ただし、この構成は、画素16を構成する駆動用TFT11aがPチャンネルで構成され、かつ、ソースドライバIC14を構成する電流源（1単位）部634がNチャンネルトランジスタで構成されている場合である。他の場合（例えば、画素16の駆動用TFT11aがNチャンネルトランジスタで構成されている場合など）は、プログラム電流Iwは吐き出し電流となる構成も実施できることはいうまでもない。

【0568】なお、最終段電流源633の0～63倍の電流が出力されるとしたが、これは最終段電流源633のカレントミラー倍率が1倍の時である。カレントミラー倍率が2倍の時は、最終段電流源633の0～126倍の電流が出力され、カレントミラー倍率が0.5倍の時は、最終段電流源633の0～31.5倍の電流が出力される。以上のように、本発明は最終段電流源633あるいは、それより前段の電流源（631、632など）のカレントミラー倍率を変化させることにより、出力の電流値を容易に変更できる。また、以上の事項は、R、G、Bごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、Rのみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、EL表示パネルは、各色（R、G、Bあるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

(58)

113

【0569】電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

【0570】なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）するということである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

【0571】以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

【0572】図65に、3段式カレントミラー回路による176出力（ $N \times M = 176$ ）の回路図の一例を示す。図65では、第1段カレントミラー回路による電流源631を親電流源、第2段カレントミラー回路による電流源632を子電流源、第3段カレントミラー回路による電流源633を孫電流源と記している。最終段カレントミラー回路である第3段カレントミラー回路による電流源の整数倍の構成により、176出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源531、632、633を密集して配置するという構成を忘れてはならない。

【0573】なお、密集して配置するとは、第1の電流源631と第2の電流源632とを少なくとも8mm以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第2の電流源632と第3の電流源633（電流の出力側と電流の入力側）も少なくとも8mm以内の距離に配置する。さらに好ましくは、5mm以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることはいうまでもない。

114

【0574】この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図66の電圧受け渡しの場合は、第（I）段の電流源のトランジスタ631（出力側）と第（I+1）の電流源のトランジスタ632a（入力側）とを密集して配置する関係である。図67の電流受け渡しの場合は、第（I）段の電流源のトランジスタ631a（出力側）と第（I+1）の電流源のトランジスタ632b（入力側）とを密集して配置する関係である。

10 【0575】ここで、シリコンチップとしたが、これは、半導体チップの意味である。したがって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

【0576】さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）を用いてソースドライバ回路にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線18からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素TFEと同時にソースドライバ回路14を形成する表示パネルでは、密集して配置するとは、第1の電流源631と第2の電流源632とを少なくとも30mm以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、20mm以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（ $V_t$ 、モビリティ（ $\mu$ ））差がほとんど発生しないからである。また、同様に、第2の電流源632と第3の電流源633（電流の出力側と電流の入力側）も少なくとも30mm以内の距離に配置する。さらに好ましくは、20mm以内の位置に配置することが好ましい。

【0577】以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（IC）14を実現することができる。

【0578】図67は電流受け渡し構成の実施例である。なお、図66は電圧受け渡し構成の実施例である。

40 図66、図67とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図66において、631は第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

【0579】図67において、631aは第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

50 【0580】図66では、可変抵抗651（電流を変化するために用いるものである）とNchトランジスタ6

(59)

115

31で構成される第1段電流源のゲート電圧が、第2段電流源のNchトランジスタ632aのゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

【0581】一方、図67では、可変抵抗651とNchトランジスタ631aで構成される第1段電流源のゲート電圧が、隣接する第2段電流源のNchトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPchトランジスタ632bに受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【0582】なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第1の電流源と第2の電流源との関係を中心に説明しているが、これに限定されるものではなく、第2の電流源と第3の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

【0583】図66の電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段の電流源のNchトランジスタ631と第2段の電流源のNchトランジスタ632aが離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第1段電流源の電流値が第2段電流源に正確に伝達されず、ばらつきが生じやすい。

【0584】それに対して、図67の電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第1段電流源のNchトランジスタ631aと第2段電流源のNchトランジスタ632aが隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第1段電流源の電流値が第2段電流源に正確に伝達され、ばらつきが生じにくい。

【0585】以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（IC）14）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

【0586】なお、説明の都合上、第1段電流源から第2段電流源の場合を示したが、第2段電流源から第3段電流源、第3段電流源から第4段電流源、・・・の場合も同様であることは言うまでもない。

【0587】図68は、図65の3段構成のカレントミラー回路（3段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図65は電圧受け渡し方式の回路構成である）。

【0588】図68では、まず、可変抵抗651とNchトランジスタ631aで基準電流が作成される。な

116

お、可変抵抗651で基準電流を調整するように説明しているが、実際は、ソースドライバIC（回路）14内に形成（もしくは配置）された電子ポリウム回路によりトランジスタ631aのソース電圧が設定され、調整されるように構成される。もしくは、図64に図示するような多数の電流源（1単位）634から構成される電流方式の電子ポリウムから出力される電流を直接にトランジスタ631のソース端子に供給することにより基準電流は調整される（図69を参照のこと）。

【0589】トランジスタ631aによる第1段電流源のゲート電圧が、隣接する第2段電流源のNchトランジスタ632aのゲートに印加され、その結果トランジスタに流れる電流値が、第2段電流源のPchトランジスタ632bに受け渡される。また、第2の電流源のトランジスタ632bによるゲート電圧が、隣接する第3段電流源のNchトランジスタ633aのゲートに印加され、その結果トランジスタに流れる電流値が、第3段電流源のNchトランジスタ633bに受け渡される。第3段電流源のNchトランジスタ633bのゲートには図64に図示する多数の電流源634が必要なビット数に応じて形成（配置）される。

【0590】図69では、前記多段式カレントミラー回路の第1段電流源631に、電流値調整用素子が具備されていることを特徴としている。この構成により、第1段電流源631の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【0591】トランジスタの $V_t$ バラツキ（特性バラツキ）は、1 $\mu$ m以内で100mV程度のばらつきがある。しかし、100 $\mu$ m以内に近接して形成されたトランジスタの $V_t$ バラツキは、少なくとも、10mV以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成するとにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、本発明のソースドライバICの各端子の出力電流バラツキを少なくすることができる。

【0592】図110はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（3 $\sigma$ ）との測定結果を示している。出力電流バラツキとは、 $V_t$ 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（10〜200個）のトランジスタ出力電流バラツキである。図110のA領域（形成面積0.5平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆にC領域（形成面積2.4平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B領域（形成面積0.5平方ミリメートル以上2.4平方ミリメートル以下）では、形成面積に対す

(60)

117

る出力電流のバラツキはほぼ比例の関係にある。

【0593】ただし、出力電流の絶対値は、ウェハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

【0594】本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64=0.015$ であるから、理論的には、1～2%以内の出力電流バラツキ以内にすることが必要である。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

【0595】出力電流バラツキ（%）を1%以内にするためには、図110の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にすることが必要である。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの $V_t$ バラツキ）を0.5%以内にすることが好ましい。図110の結果に示すようにトランジスタ群681の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、 $1\text{mm} \times 1.2\text{mm}$ である。

【0596】なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（図68では、トランジスタ群681aと681bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3つ以上ある場合は、1つ以上のトランジスタ群681）この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681（681aが上位で、681bが下位の関係）に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

【0597】以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

【0598】本発明のソースドライバ回路（IC）14は、図68に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている（もちろん、親、子の2段接続でもよい）。また、各電流源間（トランジスタ群681間）を

118

電流受け渡しにしている。具体的には、図68の点線で囲った範囲（トランジスタ群681）を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。また、親の電流源631と子の電流源632aとは、ソースドライバIC14チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ632aと、子の電流源を構成するトランジスタ632bとの距離を比較的短くすることができからである。つまり、最上位のトランジスタ群681aをICチップの略中央部に配置する。そして、ICチップ14の左右に、下位のトランジスタ群681bを配置する。好ましくは、この下位のトランジスタ群681bの個数がICチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ICチップ14に限定されず、低温あるいは高温ポリシリコン技術で基板71に直接形成したソースドライバ回路14にも適用される。他の事項も同様である。

【0599】本発明では、トランジスタ群681aはICチップ14の略中央部に1つ構成または配置または形成あるいは作製されたおり、チップの左右に8個づつトランジスタ群681bが形成されている（ $N=8+8$ 、図63を参照のこと）。子のトランジスタ群681bはチップの左右に等しくなるように、もしくは、チップの左側に形成または配置されたトランジスタ群681bの個数と、チップの右側に形成または配置されたトランジスタ群681bの個数との差が、4個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群681bの個数と、チップの右側に形成または配置されたトランジスタ群681bの個数との差が、1個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図68では省略されているが）についても同様である。

【0600】親電流源631と子電流源632a間は電圧受け渡し（電圧接続）されている。したがって、トランジスタの $V_t$ バラツキの影響を受けやすい。そのため、トランジスタ群681aの部分に密配置する。このトランジスタ群681aの形成面積を、図110の図示するように2平方ミリメートル以内の面積に形成する。さらに好ましくは1.2平方ミリメートル以内に形成する。もちろん、階調数が64階調以下の場合は、5平方ミリメートル以内でもよい。

【0601】トランジスタ群681aを子トランジスタ632b間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は流れても構わない。この距離の範囲（たとえば、上位のトランジスタ群681aの出力端から下位のトランジスタ681bの入力端までの距離）は、先に説明したように、第2の電流源（子）を構成するトランジスタ632aと第2の電流源（子）

(61)

119

を構成するトランジスタ632bとを、少なくとも10mm以内の距離に配置する。このましくは8mm以内に配置または形成する。さらには、5mm以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性( $V_t$ 、モビリティ( $\mu$ ))差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群681aが上位で、その下位にトランジスタ群681b、さらにその下位にトランジスタ群681cがあれば、トランジスタ群681bとトランジスタ群681cの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群681がこの関係を満足させることに、本発明が限定されるものではない。少なくとも1組のトランジスタ群681がこの関係を満足させるようにすればよい。特に、下位の方が、トランジスタ群681の個数が多くなるからである。

【0602】第3の電流源(孫)を構成するトランジスタ633aと第3の電流源を構成するトランジスタ633bについても同様である。なお、電圧受け渡しでも、

【0603】トランジスタ群681bはチップの左右方向(長手方向、つまり、出力端子761と対面する位置に)に形成または作製あるいは配置されている。トランジスタ群681bはチップの左右方向(長手方向、つまり、出力端子761と対面する位置に)に形成または作製あるいは配置されている。このトランジスタ群681bの個数Mは、本発明では11個(図63を参照)である。

【0604】子電流源632bと孫電流源633a間は電圧受け渡し(電圧接続)されている。そのため、トランジスタ群681aと同様にトランジスタ群681bの部分に密配置する。このトランジスタ群681bの形成面積を、図110の図示するように2平方ミリメートル以内の面積に形成する。さらに好ましくは1.2平方ミリメートル以内に形成する。ただし、このトランジスタ群681b部分の $V_t$ が少しでもばらつくことと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図110のA領域(0.5平方ミリメートル以内)にすることが好ましい。

【0605】トランジスタ群681bを孫トランジスタ633aとトランジスタ633b間は電流でデータを受け渡し(電流受け渡し)をしているので、多少、距離は流れても構わない。この距離の範囲についても先の説明と同様である。第3の電流源(孫)を構成するトランジスタ633aと第2の電流源(孫)を構成するトランジスタ633bとを、少なくとも8mm以内の距離に配置する。さらには、5mm以内に配置することが好ましい。

【0606】図69に、前記電流値制御用素子として、

120

電子ポリウムで構成した場合を示す。電子ポリウムは抵抗691(電流制限および各基準電圧を作成する。抵抗691はポリシリで形成する)、デコーダ692、レベルシフタ693などで構成される。なお、電子ポリウムは電流を出力する。トランジスタ641はアナログスイッチ回路として機能する。

【0607】また、電子ポリウム回路は、EL表示パネルの色数に応じて形成(もしくは配置)する。たとえば、RGBの3原色であれば、各色に対応する3つの電子ポリウム回路を形成(もしくは配置)し、各色を独立に調整できるようにすることが好ましい。しかし、1つの色を基準にする(固定する)場合は、色数-1分の電子ポリウム回路を形成(もしくは配置)する。

【0608】図76は、RGBの3原色を独立に基準電流を制御する抵抗素子651を形成(配置)した構成である。もちろん、抵抗素子651は電子ポリウムに置き換えてもよいことは言うまでもない。電流源631、電流源632などの親電流源、子電流源など基本(根本)となる電流源は図76に図示する領域に電流出力回路704に密集して配置する。密集して配置することにより、各ソース信号線18からの出力バラツキが低減する。図76に図示するようにICチップ(回路)14の中央部に電流出力回路704に配置することにより、ICチップ(回路)14の左右に電流源631、632などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

【0609】電流出力回路704は、R、G、Bごとに形成(配置)し、かつ、このRGBの電流出力回路704R、704G、704Bも近接して配置する。また、各色(R、G、B)ごとに、図73に図示する低電流領域の基準電流INLを調整し、また、図74に図示する低電流領域の基準電流INHを調整する(図79も参照のこと)。したがって、Rの電流出力回路704Rには低電流領域の基準電流INLを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651RLが配置され、高電流領域の基準電流INHを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651RHが配置される。同様に、Gの電流出力回路704Gには低電流領域の基準電流INLを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651GLが配置され、高電流領域の基準電流INHを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651GHが配置される。また、Bの電流出力回路704Bには低電流領域の基準電流INLを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651BLが配置され、高電流領域の基準電流INHを調整するポリウム(もしくは、電圧出力もしくは電流出力の電子ポリウム)651BHが配置される。なお、ポリウム651などは、EL素子15の温特を補償できるよう



(62)

121

に、温度で変化するように構成することが好ましい。また、図79のガンマ特性で、折れ曲がり点が2点以上あるときは、各色の基準電流を調整する電子ポリウムあるいは抵抗などは3個以上にしてもよいことは言うまでもない。

【0610】ICチップの出力端子には、出力パッド761が形成または配置されている。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりパンプ（突起）が形成されている。突起の高さは10 $\mu$ m以上40 $\mu$ m以下の高さにする。

【0611】前記パンプと各ソース信号線18とは導電性接合層（図示せず）を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（SnO<sub>2</sub>）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でパンプ上に形成する。また、パンプとソース信号線18とをACF樹脂で熱圧着される。なお、パンプあるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いたり、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。

【0612】図69において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコーダ回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフタ回路693により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ641に入力される。

【0613】電子ポリウム回路の主構成部は、固定抵抗R0691aと16個の単位抵抗r691bで構成されている。デコーダ回路692の出力は、16個のアナログスイッチ641のいずれかに接続されており、デコーダ回路692の出力により、電子ポリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコーダ回路692の出力が4であれば、電子ポリウムの抵抗値はR0+5rとなる。この電子ポリウムの抵抗は、第1段電流源631の負荷となっており、アナログ電源AVddにプルアップされている。したがって、この電子ポリウムの抵抗値が変化すると、第1段電流源631の電流値が変化し、その結果、第2段電流源632の電流値が変化し、その結果、第3段電流源633の電流値も変化して、ドライバICの出力電流はコントロールされることになる。

【0614】なお、説明の都合上、電流値制御用データは4ビットとしたが、これは4ビットに固定されるもの

122

ではなく、ビット数が多ければ多いほど、電流値の可変数は多くなることは言うまでもない。また、多段式カレントミラーの構成を3段として説明したが、これも3段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

【0615】また、温度変化により、EL素子の発光輝度に変化するという課題に対して、電子ポリウム回路の構成として、温度により抵抗値が変化する外付け抵抗691aを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示さえる。一般に、素子に流れる電流に応じて輝度に変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗691aを電子ポリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度が常に一定にすることができる。

【0616】なお、前記多段式カレントミラー回路が、赤（R）用、緑（G）用、青（B）用の3系統に分離することが好ましい。一般に有機EL等の電流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流駆動型発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するためのサーミスタ等の外部補助素子の特性も、R、G、Bでそれぞれ調整する必要がある。

【0617】本発明では、前記多段式カレントミラー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

【0618】先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間（1H）に画素16に十分な電流を書き込むことができないという問題点があった。一般に、電流駆動型発光素子では、黒レベルの電流値は数nA程度と微弱であるため、その信号値で数10pF程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線18に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線18の電位レベルを画素のTFT11aの黒表示電流（基本的にはTFT11aはオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【0619】図70に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（IC）14の



(63)

123

一例を示す。図70では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図70において、プリチャージ制御信号は、画像データD0～D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路702でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウント回路701の出力とのAND回路703をとり、一定期間黒レベル電圧Vpを出力するように構成されている。他の場合は、図68などで説明した電流出力段704からの出力電流がソース信号線18に印加される（ソース信号線18からプログラム電流Iwを吸収する）。この構成により、画像データが黒レベルに近い0階調目～7階調目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を0階調目とし、完全白表示を63階調目とする（64階調表示の場合）。

【0620】なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

【0621】好ましくは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

【0622】特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

【0623】なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目か

124

ら3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ポリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ポリウム回路を用いることにより容易に実現できる。

【0624】また、全くプリチャージしない第0モード、階調0のみをプリチャージする第1モード、階調0から階調3の範囲でプリチャージする第2モード、階調0から階調7の範囲でプリチャージする第3モード、全階調の範囲でプリチャージする第4モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路（IC）14内においてロジック回路を構成（設計）することにより容易に実現できる。

【0625】図75は選択プリチャージ回路部の具体化構成図である。PVはプリチャージ電圧の入力端子である。外部入力あるいは、電子ポリウム回路におり、R、G、Bで個別のプリチャージ電圧が設定される。なお、R、G、Bで個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、Bで共通であってもよい。プリチャージ電圧は、画素16の駆動TFT11aのVtに相関するものであり、この画素16はR、G、B画素で同一だからである。逆に、画素16の駆動TFT11aのW/L比などがR、G、Bで異ならせている（異なった設計となっている）場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、Lが大きくなれば、TFT11aのダイオード特性は悪くなり、ソースドレイン（SD）電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位（Vdd）に対して低く設定する必要がある。

【0626】プリチャージ電圧PVはアナログスイッチ731に入力されている。このアナログスイッチのW（チャンネル幅）はオン抵抗を低減するために、10μm以上にする必要がある。しかし、あまりWが大きいと、寄生容量も大きくなるので100μm以下にする。さらに好ましくは、チャンネル幅Wは15μm以上60μm以下にすることが好ましい。以上の事項は図75のスイッチ641bのアナログスイッチ731、図73のアナログスイッチ73-1にも適用される。

【0627】スイッチ641aはプリチャージイネーブル（PEN）信号、選択プリチャージ信号（PSL）と、図74のロジック信号の上位3ビット（H5、H4、H3）で制御される。一例としたロジック信号の上位3ビット（H5、H4、H3）の意味は、上位3ビッ

(64)

125

トが“0”の時に選択プリチャージが実施されるようにしたためである。つまり、下位3ビットが“1”の時（階調0から階調7）の時を選択してプリチャージが実施されるように構成している。

【0628】なお、この選択プリチャージは、階調0のみをプリチャージするとか、階調0から階調7の範囲でプリチャージするとか固定してもよいが、低階調領域（図79の階調0から階調R1もしくは階調（R1-1））を選択プリチャージするというように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調0から階調R1の時はこの範囲で実施し、低階調領域が階調0から階調R2の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【0629】以上の信号の印加状態により、スイッチ641aがオンオフ制御され、スイッチ641aのオンの時、プリチャージ電圧PVがソース信号線18に印加される。なお、プリチャージ電圧PVを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は1水平走査期間（1H）の1/100以上1/5以下の時間に設定することが好ましい。たとえば、1Hが100μsecとすれば、1μsec以上20μsecとする。さらに好ましくは、2μsec以上10μsecとする。

【0630】また、プリチャージ印加時間は、R、G、Bで異ならせたりすることも良好な結果が得られる。たとえば、Rのプリチャージ時間をG、Bのプリチャージ時間よりも長くするなどである。これば、有機ELなどでは、RGBの各材料で発光開始時間などが異なるからである。また、次にソース信号線18に印加する画像データにより、プリチャージ電圧PV印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることができる。たとえば、1H前にソース信号線に画素を白表示にする電流と書き込み、次の1Hに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1H前にソース信号線に画素を黒表示にする電流と書き込み、次の1Hに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【0631】また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたが

126

って、プリチャージ電圧を高く（Vddに対して。なお、画素TFT11aがPチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素TFT11aがPチャンネルの時）する。

【0632】プログラム電流オープン端子（PO端子）が“0”の時は、スイッチ641bがオフ状態となり、IL端子およびIH端子とソース信号線18とは切り離される（Iout端子が、ソース信号線18と接続されている）。したがって、プログラム電流Iwはソース信号線18には流れない。PO端子はプログラム電流Iwをソース信号線に印加している時は、“1”とし、スイッチ641bをオンして、プログラム電流Iwをソース信号線18に流す。

【0633】PO端子に“0”を印加し、スイッチ641bをオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源634は入力データ（D0～D5）に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16のVdd端子からTFT11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択されず、ソース信号線18に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【0634】この状態で、IOUT端子がソース信号線18に接続されていると、オンしている単位電流源634（実際にはオンしているのはD0～D5端子のデータにより制御されるスイッチ641であるが）に電流が流れる。そのため、ソース信号線18の寄生容量に充電された電荷が放電し、ソース信号線18の電位が、急激に低下する。

【0635】以上のように、ソース信号線18の電位が低下すると、本来ソース信号線18に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【0636】この課題を解決するため、本発明は、全非選択期間に、PO端子に“0”を印加し、図75のスイッチ641bをオフとして、IOUT端子とソース信号線18とを切り離す。切り離すことにより、ソース信号線18から電流源634に電流が流れ込むことはなくなるから、全非選択期間にソース信号線18の電位変化は発生しない。以上のように、全非選択期間にPO端子を制御し、ソース信号線18から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【0637】また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒

(65)

127

面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。また、適正プリチャージは、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、所定輝度の白面積：所定輝度の黒面積の比が1：20以上でプリチャージを停止または開始し、GとBは、所定輝度の白面積：所定輝度の黒面積の比が1：16以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ELパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が1：100以上（つまり、黒面積が白面積の100倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が1：200以上（つまり、黒面積が白面積の200倍以上）でプリチャージを停止することが好ましい。

【0638】プリチャージ電圧PVは、画素16の駆動TFT11aがPチャンネルの場合、Vdd（図1を参照）に近い電圧をソースドライバ回路（IC）14から出力する必要がある。しかし、このプリチャージ電圧PVがVddに近いほど、ドライバ回路（IC）14は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、5（V）～10（V）であるが、しかし、5（V）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5（V）耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる）。

【0639】画素16の駆動用TFT11aのダイオード特性が良好で白表示のオン電流が確保した時、5（V）以下であれば、ソースドライバIC14も5（V）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が5（V）を越えるとき、問題となる。特に、プリチャージは、TFT11aのソース電圧Vddに近いプリチャージ電圧PVを印加する必要があるため、IC14から出力することができなくなる。

【0640】図92は、この課題を解決するパネル構成である。図92では、アレイ71側にスイッチ回路641を形成している。ソースドライバIC14からは、スイッチ641のオンオフ信号を出力する。このオンオフ信号は、アレイ71に形成されたレベルシフト回路693で昇圧され、スイッチ641をオンオフ動作させる。なお、スイッチ641およびレベルシフト回路693が画素のTFTを形成するプロセスで同時に、もしくは順

128

次に、形成する。もちろん、外付け回路（IC）で別途形成し、アレイ71上に実装などしてもよい。

【0641】オンオフ信号は、先に説明（図75など）したプリチャージ条件に基づいて、IC14の端子761aから出力される。したがって、プリチャージ電圧の印加、駆動方法は図92の実施例においても適用できることは言うまでもない。端子761aから出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくされる。

【0642】以上のように構成することにより、ソースドライバ回路（IC）14はプログラム電流Iwを駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧PVは、動作電圧が高いアレイ基板71で課題はなくなる。したがって、プリチャージもVdd電圧まで十分印加できるようになる。

【0643】図89のスイッチ回路641もソースドライバ回路（IC）14内に形成（配置）すると耐圧が問題となる。たとえば、画素16のVdd電圧が、IC14の電源電圧よりも高い場合、IC14の端子761にIC14を破壊するような電圧が印加される危険があるからである。

【0644】この課題を解決する実施例が図91の構成である。アレイ基板71にスイッチ回路641を形成（配置）している。スイッチ回路641の構成などは図92で説明した構成、仕様などと同一または近似である。

【0645】スイッチ641はIC14の出力よりも先で、かつソース信号線18の途中に配置されている。スイッチ641がオンすることにより、画素16をプログラムする電流Iwがソースドライバ回路（IC）14に流れ込む。スイッチ641がオフすることにより、ソースドライバ回路（IC）14はソース信号線18から切り離される。このスイッチ641を制御することにより、図90に図示する駆動方式などを実施することができる。

【0646】図92と同様に端子761aから出力される電圧（信号）は、5（V）以下と低い。この電圧（信号）がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくされる。

【0647】以上のように構成することにより、ソースドライバ回路（IC）14はプログラム電流Iwを駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ641もアレイ71の電源電圧で動作するため、画素16からVdd電圧がソース信号線18に印加されてもスイッチ641が破壊することはなく、また、ソースドライバ回路（IC）14が破壊されることもない。

【0648】なお、図91のソース信号線18の途中に配置（形成）されたスイッチ641とプリチャージ電圧PV印加用スイッチ641の双方をアレイ基板71に形

(66)

129

成（配置）してもよいことは言うまでもない（図91＋図92の構成）。

【0649】以前にも説明したが、図1のように画素16の駆動用TFT11a、選択TFT（11b、11c）がPチャンネルTFTの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択TFT（11b、11c）のG-S容量（寄生容量）を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときにはV<sub>gh</sub>電圧となる。そのため、コンデンサ19の端子電圧がV<sub>dd</sub>側に少しシフトする。そのため、トランジスタ11aのゲート（G）端子電圧は上昇し、より黒表示となる。

【0650】しかし、反面、第1階調の完全黒表示は実現できるが、第2階調などは表示しにくいことになる。もしくは、第1階調から第2階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【0651】この課題を解決する構成が、図71の構成である。出力電流値を嵩上げる機能を有することを特徴としている。嵩上げ回路711の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル0であっても、ある程度（数10nA）電流が流れるようにし、黒レベルの調整にも用いることができる。

【0652】基本的には、図71は、図64の出力段に嵩上げ回路（図71の点線で囲まれた部分）を追加したものである。図71は、電流値嵩上げ制御信号として3ビット（K0、K1、K2）を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0～7倍の電流値を出力電流に加算することが可能である。

【0653】以上が本発明のソースドライバ回路（IC）14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（IC）14について説明をする。

【0654】EL素子15に流す電流I（A）と発光輝度B（nt）とは線形の関係がある。つまり、EL素子15に流す電流I（A）と発光輝度B（nt）とは比例する。電流駆動方式では、1ステップ（階調刻み）は、電流（電流源634（1単位））である。

【0655】人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図83の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流I（A）と発光輝度B（nt）とは比例する。したがって、1ステップきざみづつ変化させると、低階調部（黒領域）では、1ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。以上のことから、電流駆動方式（1ステ

130

ップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（IC）14において）、黒表示領域が課題となる。

【0656】この課題に対して、本発明は、図79に図示するように、低階調領域（階調0（完全黒表示）から階調（R1））の電流出力の傾きを小さくし、高階調領域（階調（R1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに（1ステップ）増加する電流量と小さくする。高階調領域では、1階調あたりに（1ステップ）増加する電流量と大きくする。図79の2つの階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の図79などに図示する、階調－電流特性カーブをガンマカーブと呼ぶ。

【0657】なお、以上の実施例では、低階調領域と高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。

【0658】本発明の技術的思想は、電流駆動方式のソースドライバ回路（IC）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、階調1ステップあたりの電流増加量が複数存在させることである。

【0659】ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が変化する。したがって、本発明のソースドライバ回路（IC）14では、1つの電流源（1単位）634に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【0660】EL表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を2 $\mu$ Aにし、Gの基準電流を1.5 $\mu$ Aにし、Bの基準電流を3.5 $\mu$ Aにする。基準電流は、なお、本発明のドライバでは、図67の第1段の電流源631のカレントミラー倍率を小さくし（たとえば、基準電流が1 $\mu$ Aであれば、トランジスタ632bに流れる電流を1/100の10nAにするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

【0661】図79のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGBで独立

(67)

131

に調整できるように、RGBごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色（たとえば、Gを固定している場合は、R、B）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

【0662】電流駆動方式は、図83にも図示したように、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

【0663】しかし、図79のガンマカーブの場合は、少し注意が必要である。まず、RGBのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調R1）をRGBで同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるということになる）。また、低階調領域の傾きと高階調領域の傾きとの比率をRGBで、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるということになる）。たとえば、低階調領域で1階調あたり10nA増加（低階調領域でのガンマカーブの傾き）し、高階調領域で1階調あたり50nA増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で1階調あたり電流増加量/低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、 $50\text{ nA}/10\text{ nA}=5$ である）。すると、RGBでガンマ電流比率を同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子15に流れる電流を調整するように構成する。

【0664】図80はそのガンマカーブの例である。図80(a)では、低階調部と高階調部とも1階調あたりの電流増加が大きい。図80(b)では、低階調部と高階調部とも1階調あたりの電流増加は図80(a)に比較して小さい。ただし、図80(a)、図80(b)ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、RGBで同一に維持したまま調整することは、各色ごとに、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するボリュームを作製（配置）すればよいからである。

【0665】図77はガンマ電流比率を維持したまま、出力電流を変変する回路構成である。電流制御回路772で低電流領域の基準電流源771Lと高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、

132

電流源633L、633Hに流れる電流を変化させる。

【0666】また、図78に図示するように、ICチップ（回路）14内に形成した温度検出回路781で相対的な表示パネルの温度を検出することが好ましい。有機EL素子は、RGBを構成する材料により温度特性が異なるからである。この温度の検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色ごとに配置（形成）した温度制御回路782にフィードバックし、電流制御回路772により温度補償を行う。

【0667】なお、ガンマ比率は、検討により、3以上10以下の関係にすることが適切である。さらに好ましくは、4以上8以下の関係にすることが適切である。特にガンマ電流比率は5以上7以下の関係を満足させることが好ましい。これを第1の関係と呼ぶ。

【0668】また、低階調部と高階調部との変化ポイント（図79の階調R1）は、最大階調数Kの $1/32$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/32=2$ 階調番目以上、 $64/4=16$ 階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図79の階調R1）は、最大階調数Kの $1/16$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/16=4$ 階調番目以上、 $64/4=16$ 階調番目以下にする）。さらに好ましくは、最大階調数Kの $1/10$ 以上 $1/5$ 以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数Kが6ビットの64階調とすれば、 $64/10=6$ 階調番目以上、 $64/5=12$ 階調番目以下にする）。以上の関係を第2の関係と呼ぶ。なお、以上の説明は、2つの電流領域のガンマ電流比率の関係である。しかし、以上の第2の関係は、3つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が2箇所以上ある）場合にも適用される。つまり、3つ以上の傾きに対し、任意の2つの傾きに対する関係に適用すればよい。

【0669】以上の第1の関係と第2の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

【0670】図82は、本発明の電流駆動方式のソースドライバ回路（IC）14を1つの表示パネルに複数個用いた実施例である。本発明のソースドライバIC14は複数のドライバIC14を用いることを想定した、スレーブ/マスター（S/M）端子を具備している。S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。この電流がスレーブのIC14（14a、14c）の図73、図74のINL、INH端子に



(68)

133

流れる電流となる。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図73、図74のINL、INH端子に流れる電流となる。

【0671】基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の2系統である。したがって、RGBの3色では、 $3 \times 2$ で6系統となる。なお、上記の実施例では、各色2系統としたがこれに限定するものではなく、各色3系統以上であっても良い。

【0672】本発明の電流駆動方式では、図81に図示するように、折れ曲がり点（階調R1など）を変更できるように構成している。図81（a）では、階調R1で低階調部と高階調部とを変化させ、図81（b）では、階調R2で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

【0673】具体的には、本発明では64階調表示を実現できる。折れ曲がり点（R1）は、なし、2階調目、4階調目、8階調目、16階調目としている。なお、完全黒表示を階調0としているため、折れ曲がり点は2、4、8、16となるのであって、完全に黒表示の階調を階調1とするのであれば、折れ曲がり点は、3、5、9、17、33となる。以上のように、折れ曲がり位置を2の倍数の箇所（もしくは、2の倍数+1の箇所：完全黒表示を階調1とした場合）でできるように構成することにより、回路構成が容易になるという効果が発生する。

【0674】図73は低電流領域の電流源回路部の構成図である。また、図74は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図73に図示するように低電流源回路部は基準電流INLが印加され、基本的にはこの電流が単位電流となり、入力データL0～L4により、電流源634が必要個数動作し、その総和として低電流部のプログラム電流IwLが流れる。

【0675】また、図74に図示するように高電流源回路部は基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データH0～H5により、電流源634が必要個数動作し、その総和として低電流部のプログラム電流IwHが流れる。

【0676】嵩上げ電流回路部も同様であって、図74に図示するように基準電流INHが印加され、基本的にはこの電流が単位電流となり、入力データAK0～AK2により、電流源634が必要個数動作し、その総和として嵩上げ電流に対応する電流IwKが流れるソース信号線18に流れるプログラム電流Iwは $Iw = IwH + IwL + IwK$ である。なお、IwHとIwLの比率、つまりガンマ電流比率は、先にも説明した第1の関係を満足させるようにする。

134

【0677】なお、図73、図74に図示するようにオンオフスイッチ641は、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成される。このようにスイッチ641を、インバータ732とPチャンネルトランジスタとNチャンネルトランジスタからなるアナログスイッチ731から構成することにより、オン抵抗を低下することができ、電流源634とソース信号線18間の電圧降下が極めて小さくすることができる。

【0678】図73の低電流回路部と図74の高電流回路部の動作について説明をする。本発明のソースドライバ回路（IC）14は、低電流回路部L0～L4の5ビットで構成され、高電流回路部H0～H5の6ビットで構成される。なお、回路の外部から入力されるデータはD0～D5の6ビット（各色64階調）である。この6ビットデータをL0～L4の5ビット、高電流回路部H0～H5の6ビットに変換してソース信号線に画像データに対応するプログラム電流Iwを印加する。つまり、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【0679】以上のように、入力6ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（H）は、入力データ（D）のビット数と同一にし、低電流領域の回路のビット数（L）は、入力データ（D）のビット数-1としている。なお、低電流領域の回路のビット数（L）は、入力データ（D）のビット数-2としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL表示パネルの画像表示に最適になる。

【0680】以下、低電流領域の回路制御データ（L0～L4）と高電流領域の回路制御データ（H0～H4）との制御方法について、図84から図86を参照しながら説明をする。

【0681】本発明は図73の図73のL4端子に接続された、電流源634aの動作に特徴がある。この634aは1単位の電流源となる1つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流Iwの制御（オンオフ制御）が容易になる。

【0682】図84は、低電流領域と高電流領域を階調4で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号である。なお、図84から図86において、階調0から18まで図示しているが、実際は63階調目までである。したがって、各図面において階調18以上は省略している。また、表の“1”の時にスイッチ641がオンし、該当電流源634とソース信号線18とが接続され、表の“0”の時にスイッチ641がオフするとしている。



(69)

135

【0683】図84において、完全黒表示の階調0の場合は、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

【0684】階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0685】階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0686】階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641La、641Lbがオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0687】階調4では、 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の3つのスイッチ641La、641Lb、641Leがオンし、4つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0688】階調5以上では、低電流領域 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ は変化がない。しかし、高電流領域において、階調5では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。また、階調6では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調7では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ641Ha、641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調8では $(H0 \sim H5) = (0, 0, 1, 0, 0)$ であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。以後、図84のように順次スイッチ641がオンオフし、プログラム電流 $I_w$ がソース信号線18に印加される。

136

【0689】以上の動作で特徴的なのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流 $I_w$ としては、高電流領域の階調の場合、低電流 $I_wL$ が加算されているので、切り換り点という表現は正しくない（また、嵩上げ電流 $I_wK$ も加算される）。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流 $I_w$ となっているのである。1ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット（L）が変化しない点である。また、この時、図73のL4端子に“1”となり、スイッチ641eがオンし、トランジスタ634aに電流が流れている点である。

【0690】したがって、図84の階調4では低階調部の単位トランジスタ（電流源）634が4個動作している。そして、階調5では、低階調部の単位トランジスタ（電流源）634が4個動作し、かつ高階調部のトランジスタ（電流源）634が1個動作している。以後同様に、階調6では、低階調部の単位トランジスタ（電流源）634が4個動作し、かつ高階調部のトランジスタ（電流源）634が2個動作する。したがって、折れ曲がりポイントである階調5以上では、折れ曲がりポイント以下の低階調領域の電流源634が階調分（この場合、4個）オンし、これに加えて、順次、高階調部の電流源634が階調に応じた個数順次オンしていく。

【0691】したがって、図73のL4端子のトランジスタ634aの1個は有用に作用していることがわかる。もし、このトランジスタ634aがないと、階調3の次に、高階調部のトランジスタ634が1個オンする動作になる。そのため、切り替わりポイントが4、8、16というように2の乗数にならない。2の乗数は1信号のみが“1”となった状態である。したがって、2の重み付けの信号ラインが“1”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、ICチップの論理回路が簡略化し、結果としてチップ面積の小さいICを設計できるのである（低コスト化が可能である）。

【0692】図85は、低電流領域と高電流領域を階調8で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号の説明図である。

【0693】図85において、完全黒表示の階調0の場合は、図84と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

【0694】同様に階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領

(70)

137

域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0695】階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0696】階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641La、641Lbがオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0697】以下も同様に、階調4では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調5では、 $(L0 \sim L4) = (1, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。階調6では、 $(L0 \sim L4) = (0, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調7では、 $(L0 \sim L4) = (1, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。

【0698】階調8が切り替わりポイント(折れ曲がり位置)である。階調8では、 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641Leがオンし、8つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0699】階調8以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調9では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース信号線18と接続されている。

【0700】以下、同様に、階調ステップに応じて、高電流領域のトランジスタ634の個数が1個ずつ増加する。つまり、階調10では $(H0 \sim H5) = (0, 1, 0, 0, 0)$ であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調11では $(H0 \sim H5) = (1, 1, 0, 0, 0)$ であり、2つのスイッチ641Ha、641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調12では $(H0 \sim H5) = (0, 0, 1,$

138

0, 0)であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。以後、図84のように順次スイッチ641がオンオフし、プログラム電流Iwがソース信号線18に印加される。

【0701】図86は、低電流領域と高電流領域を階調16で切り替える場合の低電流側信号線(L)と高電流側信号線(H)との印加信号の説明図である。この場合も図84、図85と基本的な動作は同じである。

【0702】つまり、図86において、完全黒表示の階調0の場合は、図85と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流Iw=0である。同様に階調1から階調16までは、高階調領域の $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。つまり、低階調領域の $(L0 \sim L4)$ のみが変化する。

【0703】つまり、階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、階調2では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ である。以下階調16まで順次カウントされる。つまり、階調15では、 $(L0 \sim L4) = (1, 1, 1, 1, 0)$ であり、階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ である。階調16では、階調を示すD0～D5の5ビット目(D4)のみが1本オンするため、データD0～D5の表現している内容が16であるということが、1データ信号線(D4)の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

【0704】階調16が切り替わりポイント(折れ曲がり位置)である(もしくは階調17が切り替わりポイントというべきであるかもしれないが)。階調16では、 $(L0 \sim L4) = (1, 1, 1, 1, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の4つのスイッチ641La、641Lb、641Lc、641d、641Leがオンし、16つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0705】階調16以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調17では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ641Haがオンし、高電流領域の1つの単位電流源641がソース

(71)

139

信号線18と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ634の個数が1個ずつ増加する。つまり、階調18では(H0~H5)=(0、1、0、0、0)であり、スイッチ641Hbがオンし、高電流領域の2つの単位電流源641がソース信号線18と接続される。同様に、階調19では(H0~H5)=(1、1、0、0、0)であり、2つのスイッチ641Haスイッチ641Hbがオンし、高電流領域の3つの単位電流源641がソース信号線18と接続される。さらに、階調20では(H0~H5)=(0、0、1、0、0)であり、1つのスイッチ641Hcがオンし、高電流領域の4つの単位電流源641がソース信号線18と接続される。

【0706】以上のように、切り替わりポイント(折れ曲がり位置)で、2の乗数の個数の電流源(1単位)634がオンもしくはソース信号線18と接続(逆に、オフとなる構成も考えられる)ように構成するロジック処理などがきわめて容易になる。たとえば、図84に図示するように折れ曲がり位置が階調4(4は2の乗数である)であれば、4個の電流源(1単位)634が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。また、図85に図示するように折れ曲がり位置が階調8(8は2の乗数である)であれば、8個の電流源(1単位)634が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源(1単位)634が加算されるように構成する。本発明の構成を採用すれば、64階調に限らず(16階調:4096色、256階調:1.670万色など)、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

【0707】なお、図84、図85、図86で説明した実施例では、切り替わりポイントの階調が2の乗数となとしたが、これは、完全黒階調が階調0とした場合である。階調1を完全黒表示とする場合は、+1する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域(低電流領域、高電流領域など)を有し、その切り替わりポイントを信号入力が少なく判定(処理)できるように構成することである。その一例として、2の乗数であれば、1信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源634aを付加する。

【0708】したがって、負論理であれば、2、4、8・・・ではなく、階調1、3、7、15・・・で切り替わりポイントとすればよい。また、階調0を完全黒表示としたが、これに限定するものではない。たとえば、64階調表示であれば、階調63を完全黒表示状態とし、階調0を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。

140

したがって、2の乗数から処理上、異なる構成となる場合がある。

【0709】また、切り替わりポイント(折れ曲がり位置)が1つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成することができる。たとえば、折れ曲がり位置が階調4と階調16に設定することができる。また、階調4と階調16と階調32というように3ポイント以上に設定することもできる。

【0710】また、以上の実施例は、階調が2の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2の乗数の2と8(2+8=10階調目、つまり、判定に要する信号線は2本)で折れ曲がり点を設定してもよい。それ以上の2の乗数の2と8と16(2+8+16=26階調目、つまり、判定に要する信号線は3本)で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

【0711】図87に図示するように、本発明のソースドライバ回路(IC)14は3つの部分の電流出力回路704から構成されている。高階調領域で動作する高電流領域電流出力回路704aであり、低電流領域および高階調領域で動作する低電流領域電流出力回路704bであり、嵩上げ電流を出力する電流嵩上げ電流出力回路704cである。

【0712】高電流領域電流出力回路704aと電流嵩上げ電流出力回路704cは高電流を出力する基準電流源771aを基準電流として動作し、低電流領域電流出力回路704bは低電流を出力する基準電流源771bを基準電流として動作する。

【0713】なお、先にも説明したが、電流出力回路704は、高電流領域電流出力回路704a、低電流領域電流出力回路704b、電流嵩上げ電流出力回路704cの3つに限定するものではなく、高電流領域電流出力回路704aと低電流領域電流出力回路704bの2つでもよく、また、3つ以上の電流出力回路704から構成してもよい。また、基準電流源771はそれぞれの電流領域電流出力回路704に対応して配置または形成してもよく、また、すべての電流領域電流出力回路704に共通にしてもよい。

【0714】以上の電流出力回路704が階調データに対応して、内部のトランジスタ634が動作し、ソース信号線18から電流を吸収する。前記とトランジスタ634は、1水平走査期間(1H)信号に同期して動作する。つまり、1Hの期間の間、該当する階調データに基づく電流を入力する(トランジスタ634がNチャネルの場合)。

【0715】一方、ゲートドライバ回路12も1H信号

(72)

141

に同期して、基本的には1本のゲート信号線17aを順次選択する。つまり、1H信号に同期して、第1H期間にはゲート信号線17a(1)を選択し、第2H期間にはゲート信号線17a(2)を選択し、第3H期間にはゲート信号線17a(3)を選択し、第4H期間にはゲート信号線17a(4)を選択する。

【0716】しかし、第1のゲート信号線17aが選択されてから、次の第2のゲート信号線17aが選択される期間には、どのゲート信号線17aも選択されない期間(非選択期間、図88のt1を参照)を設ける。非選択期間は、ゲート信号線17aの立ち上がり期間、立下り期間が必要であり、TFT11dのオンオフ制御期間を確保するために設ける。

【0717】いずれかのゲート信号線17aにオン電圧が印加され、画素16のTFT11b、TFT11cがオンしていれば、Vdd電源(アノード電圧)から駆動用TFT11aを介して、ソース信号線18にプログラム電流Iwが流れる。このプログラム電流Iwがトランジスタ634に流れる(図88のt2期間)。なお、ソース信号線18には寄生容量Cが発生している(ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する)。

【0718】しかし、いずれのゲート信号線17aも選択されていない(非選択期間 図88のt1期間)はTFT11aを流れる電流経路がない。トランジスタ634は電流を流すから、ソース信号線18の寄生容量から電荷を吸収する。そのため、ソース信号線18の電位が低下する(図88のAの部分)。ソース信号線18の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

【0719】この課題に解決するため、図89に図示するように、ソース端子761との出力端にスイッチ641aを形成する。また、嵩上げ電流電流出力回路704cの出力段にスイッチ641bを形成または配置する。

【0720】非選択期間t1に、制御端子S1に制御信号を印加し、スイッチ641aをオフ状態にする。選択期間t2ではスイッチ641aをオン状態(導通状態)にする。オン状態の時にはプログラム電流 $I_w = I_{wH} + I_{wL} + I_{wK}$ が流れる。スイッチ641aをオフにするとIw電流は流れない。したがって、図90に図示するように図88のAのような電位に低下(変化はない)。なお、スイッチ641のアナログスイッチ731のチャンネル幅Wは、 $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下にする。このアナログスイッチのW(チャンネル幅)はオン抵抗を低減するために、 $10\mu\text{m}$ 以上にする必要がある。しかし、あまりWが大きいと、寄生容量も大きくなるので $100\mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅Wは $15\mu\text{m}$ 以上 $60\mu\text{m}$ 以下にすることが好ましい。

【0721】スイッチ641bは低階調表示のみに制御

142

するスイッチである。低階調表示(黒表示)時は、画素16のTFT11aのゲート電位はVddに近くする必要がある(したがって、黒表示では、ソース信号線18の電位はVdd近くに必要がある)。また、黒表示では、プログラム電流Iwが小さく、図88のAのように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

【0722】そのため、低階調表示の場合は、非選択期間t1が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流Iwが大きいため、非選択期間t1が発生しても問題がない場合が多い。したがって、本発明では、高階調表示の画像書き込みでは、非選択期間でもスイッチ641a、スイッチ641bの両方をオンさせておく。また、嵩上げ電流IwKも切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ641aをオンさせておき、スイッチ641bはオフするというように駆動する。スイッチ641bは端子S2で制御する。

【0723】もちろん、低階調表示および高階調表示の両方で、非選択期間t1にスイッチ641aをオフ(非導通状態)、スイッチ641bはオン(導通)させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間t1にスイッチ641a、スイッチ641bの両方をオフ(非導通)させた駆動を実施してもよい。

【0724】いずれにしても、制御端子S1、S2の制御でスイッチ641を制御できる。なお、制御端子S1、S2はコマンド制御で制御する。

【0725】たとえば、制御端子S2は非選択期間t1をオーバーラップするようにt3期間を“0”ロジックレベルとする。このように制御にすることにより、図88のAの状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子S1を“0”ロジックレベルとする。すると、嵩上げ電流IwKは停止し、より黒表示を実現できる。

【0726】以上の実施例は、表示パネルに1つのソースドライバIC14を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバIC14を1つの表示パネルに複数積載する構成でもよい。たとえば、図93は3つのソースドライバIC14を積載した表示パネルの実施例である。

【0727】本発明のソースドライバIC14は、図73、図74、図76、図77などでも説明したように、少なくとも低階調領域の基準電流と、高階調領域の基準電流の2系統を具備する。このことは、図82でも説明をした。

【0728】図82でも説明したように、本発明の電流駆動方式のソースドライバ回路(IC)14は複数のド

10

20

30

40

50

(73)

143

ライバIC14を用いることを想定した、スレーブ/マスター(S/M)端子を具備している。S/M端子をHレベルにすることによりマスターチップとして動作し、基準電流出力端子(図示せず)から、基準電流を出力する。もちろん、S/M端子のロジックは逆極性でもよい。また、ソースドライバIC14へのコマンドにより切り替えても良い。基準電流は可スケート電流接続線931で伝達される。S/M端子をLレベルにすることによりIC14はスレーブチップとして動作し、基準電流入力端子(図示せず)から、マスターチップの基準電流を受け取る。この電流が図73、図74のINL、INH端子に流れる電流となる。

【0729】基準電流はICチップ14の中央部(真中部分)の電流出力回路704で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいはIC内部に配置あるいは構成された電流きざみ方式の電子ボリュームにより、基準電流が調整されて印加される。

【0730】なお、ICチップ14の中央部にはコントロール回路(コマンドデコードなど)なども形成(配置)される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子761までの距離を極力短くするためである。

【0731】図93の構成では、マスターチップ14bより基準電流が2つのスレーブチップ(14a、14c)に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ14bがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う(図67を参照のこと)。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

【0732】図94は基準電流の受け渡し端子位置を概念的に図示している。ICチップの中央部に配置されて信号入力端子941iに基準電流信号線932が接続されている。この基準電流信号線932に印加される電流(なお、電圧の場合もある。図76を参照のこと)は、EL材料の温特補償がされている。また、EL材料の寿命劣化による補償がされている。

【0733】基準電流信号線932に印加された電流(電圧)に基づき、チップ14内で各電流源(631、632、633、634)を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子941oから出力される。端子941oは基準電流発生回路704の左右に少なくとも1個以上配置(形成)される。図94では、左右に2個ずつ配置(形成)されている。この基準電流が、カスケード信号線931a1、931a2、931b1、931b2でスレーブチップ14に伝達される。なお、スレーブチップ14aに印加された基準電流を、マスターチップ14bにフィ

144

ードバックし、ずれ量を補正するように回路を構成してもよい。

【0734】有機EL表示パネルをモジュール化する際、問題となる事項に、アノード配線951、カソード配線の引き回し(配置)の抵抗値の課題がある。有機EL表示パネルは、EL素子15の駆動電圧が比較的低いかわりに、EL素子15に流れる電流が大きい。そのため、EL素子15に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2インチクラスのEL表示パネルでも高分子EL材料では、200mA以上の電流をアノード配線951に流す必要がある。そのため、アノード配線951の電圧降下を防止するため、アノード配線は1Ω以下の低抵抗化する必要がある。しかし、アレイ基板71では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、200mAの電流をほとんど電圧降下なしで伝達するためには、配線幅が2mm以上となるという課題があった。

【0735】図105は従来のEL表示パネルの構成である。表示領域50の左右に内蔵ゲートドライバ12a、12bが形成(配置)されている。また、ソースドライバ回路14pも画素16のTFTと同一プロセスで形成されている(内蔵ソースドライバ回路)。

【0736】アノード配線951はパネルの右側に配置されている。アノード配線951にはV<sub>dd</sub>電圧が印加されている。アノード配線951幅は一例として2mm以上である。アノード配線951は画面の下端から画面の上端に分歧されている。分歧数は画素列数である。たとえば、QCIFパネルでは、176列×RGB=528本である。一方、ソース信号線18は内蔵ソースドライバ14pから出力されている。ソース信号線18は画面の上端から画面の下端に配置(形成)されている。また、内蔵ゲートドライバ12の電源配線1051も画面の左右に配置されている。

【0737】したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図105の構成では、狭額縁化が困難である。

【0738】この課題を解決するため、本発明の表示パネルでは、図106に図示するように、アノード配線951はソースドライバIC14の裏面に位置する箇所、かつアレイ表面に配置(形成)している。ソースドライバ回路(IC)14は半導体チップで形成(作製)し、COG(チップオンガラス)技術で基板71に実装している。ソースドライバIC14化にアノード配線951を配置(形成)できるのは、チップ14の裏面に基板に垂直方向に10μm~30μmの空間があるからである。図105のように、ソースドライバ回路14pをアレイ基板71に直接形成すると、マスク数の問題、ある



(74)

145

いは歩留まりの問題、ノイズの問題からソースドライバ回路14pの下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951を形成することは困難である。

【0739】また、図106に図示するように、共通アノード線962を形成し、ベースアノード線951と共通アノード線962とを接続アノード線961で短絡させている。このようにベースアノード線、共通アノード線、および接続アノード線により、アノード電位を供給する本発明のアノード供給線が構成されている。特に、ICチップの中央部の接続アノード線961を形成した点がポイントである。接続アノード線961を形成することにより、ベースアノード線951と共通アノード線962間の電位差がなくなる。また、アノード配線952を共通アノード線962から分岐している点がポイントである。以上の構成を採用することにより、図105のようにアノード配線951の引き回しがなくなり、狭額縁化を実現できる。

【0740】なお、ソースドライバIC14の裏面にアノード配線（カソード配線）などのEL素子15に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路12をICチップで形成し、このICをCOG実装してもよい。このゲートドライバIC12の裏面にアノード配線、カソード配線を配置（形成）する。以上のように本発明は、EL表示装置などにおいて、駆動ICを半導体チップで形成（作製）し、このICをアレイ基板71などの基板に直接実装し、かつ、ICチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

【0741】以上の事項を他の図面を使用しながらさらに詳しく説明をする。図95は本発明の表示パネルの一部の説明図である。図95において、点線がICチップ14を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がICチップ14の裏面かつアレイ基板71上に形成（配置）されている。なお、本発明の実施例において、ICチップ（12、14）の裏面に分岐前のアノード配線951を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線951のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路12の電源配線1051を配置または形成してもよい。

【0742】ICチップ14はCOG技術により電流出力（電流入力）端子741とアレイ71に形成された接続端子953とが接続される。接続端子953はソース信号線18の一端に形成されている。また、接続端子953は953aと953bというように千鳥配置であ

146

る。なお、ソース信号線の一端には接続端子953が形成され、他の端にもチェック用の端子電極が形成されている。

【0743】また、本発明ではICチップは電流駆動方式のドライバIC（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図43、図53などの電圧プログラムの画素を駆動する電圧駆動方式のドライバICを積載したEL表示パネル（装置）などにも適用することができる。

【0744】接続端子953aと953b間にはアノード配線952（分岐後のアノード配線）が配置される。つまり、太く、低抵抗のベースアノード線951から分岐されたアノード配線952が接続端子953間に形成され、画素16列に沿って配置されている。したがって、アノード配線952とソース信号線18とは平行に形成（配置）される。以上のように構成（形成）することにより、図105のようにベースアノード線951を画面横に引き回すことなく、各画素にV<sub>d</sub>電圧を供給できる。

【0745】図96はさらに、具体的に図示している。図95との差異は、アノード配線を接続端子953間に配置せず、別途形成した共通アノード線962から分岐させた点である。共通アノード線962とベースアノード線951とは接続アノード線961で接続している。

【0746】図96はICチップ14を透視して裏面の様子を図示したように記載している。ICチップ14は出力端子761にプログラム電流I<sub>w</sub>を出力する電流出力回路704が配置されている。基本的に、出力端子761と電流出力回路704は規則正しく配置されている。ICチップ14の中央部には親電流源の基本電流を作製する回路、コントロール（制御）回路が形成されている。そのため、ICチップの中央部には出力端子761が形成されていない（電流出力回路704がICチップの中央部に形成できないからである）。

【0747】本発明では、図96の中央部704a部には出力端子761をICチップに作製していない（出力回路がないからである。なお、ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い）。本発明のICチップはこの点に着眼し、ICチップの中央部に出力端子761を形成（配置）せず（ソースドライバなどのICチップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子（パッド）が形成されているのが一般的である）、この位置に共通アノード線961を形成している（ただし、共通アノード線961はアレイ基板71面に形成されている）。接続アノード線961の幅は、50μm以上1000μm以下にする。また、長さに対する抵抗（最大抵抗）値は、100Ω以下になるようにする。



(75)

147

【0748】接続アノード線961でベースアノード線951と共通アノード線962とをショートすることにより、共通アノード線962に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線961はICチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ICチップの中央部にダミーパッドとして形成されている出力端子761を削除することにより、このダミーパッドと接続アノード線961が接触することによる、ICチップが電氣的に影響をあたえることを防止している。ただし、このダミーパッドがICチップのベース基板（チップのグランド）、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線961と接触しても全く問題がない。したがって、ダミーパッドをICチップの中央部に形成したままでもよいことは言うまでもない。

【0749】さらに具体的には、図99のように接続アノード線961、共通アノード線962は形成（配置）されている。まず、接続アノード線961は太い部分（961a）と細い部分（961b）がある。太い部分（961a）は抵抗値を低減するためである。細い部分（961b）は、出力端子963間に接続アノード線961bを形成し、共通アノード線962と接続するためである。

【0750】また、ベースアノード線951と共通アノード線962との接続は、中央部の接続アノード線961bだけでなく、左右の接続アノード線961cでもショートしている。したがって、共通アノード線962とベースアノード線951とは3本の接続アノード線961でショートされている。したがって、共通アノード線962に大きな電流が流れても共通アノード線962で電圧降下が発生しにくい。これは、ICチップ14は通常、幅が2mm以上あり、このIC14下に形成されたベースアノード線951の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線951と共通アノード線962とを複数箇所て接続アノード線961によりショートしているため、共通アノード線962の電圧降下は小さくなるのである。

【0751】以上のように共通アノード線962での電圧降下を小さくできるのは、ICチップ14下にベースアノード線951を配置（形成）できる点、ICチップ14の左右の位置を用いて、接続アノード線961cを配置（形成）できる点、ICチップ14の中央部に接続アノード線961bを配置（形成）できる点にある。

【0752】また、図99では、ベースアノード線951とカソード電源線（ベースカソード線）991とを絶縁膜102を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源バスコンデン

148

サとして機能する。したがって、ベースアノード線951の急激な電流変化を吸収することができる。コンデンサの容量は、EL表示装置の表示面積をS平方ミリメートルとし、コンデンサの容量をC（pF）としたとき、 $M/200 \leq C \leq M/10$ 以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。Cが小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

【0753】なお、図99などの実施例では、ICチップ14下にベースアノード線951を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図99において、ベースカソード線991とベースアノード線951とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板71もしくはフレキシブル基板に実装し、半導体チップの下面にEL素子15などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

【0754】したがって、半導体チップは、ソースドライバ14に限定されるものではなく、ゲートドライバ12でもよく、また、電源ICでもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面にEL素子15などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。また、EL素子15への電源あるいはグランドパターンとしたがこれに限定するものではなく、ソースドライバ14への電源配線、ゲートドライバ12への電源配線でもよい。また、EL表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDPなど表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

【0755】図97は本発明の他の実施例である。主な図95、図96、図99との差異は図95が出力端子953間にアノード配線952を配置したのに対し、図97では、ベースアノード配線951から多数（複数）の細い接続アノード線961dを分岐させ、この接続アノード線961dを共通アノード線962とをショートした点である。また、細い接続アノード線961dと接続端子953と接続されたソース信号線18とを本発明の絶縁体の一例である絶縁膜102を介して積層した点である。

【0756】アノード線961dはベースアノード線951とコンタクトホール971aで接続を取り、アノード配線952は共通アノード線962とコンタクトホール971bで接続を取っている。他の点（接続アノード線961a、961b、961c、アノードコンデンサ構成など）などは図96、図99と同様であるので説明を省略する。

【0757】図99のa-a'線での断面図を図98に図

(76)

149

示する。図98(a)では、略同一幅のソース信号線18を接続アノード線961dが絶縁膜102aを介して積層されている。絶縁膜102aの膜厚は、500オングストローム以上3000オングストローム(Å)以下にする。さらに好ましくは、800オングストローム以上2000オングストローム(Å)以下にする。膜厚が薄いと、接続アノード線961dとソース信号線18との寄生容量が大きくなり、また、接続アノード線961dとソース信号線18との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜102は、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 $\text{SiO}_2$ 、 $\text{SiN}_x$ などの無機材料が例示される。その他、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_3$ などであってもよいことは言うまでもない。また、図98(a)に図示するように、最表面には絶縁膜102bを形成し、配線961などの腐食、機械的損傷を防止させる。

【0758】図98(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961dが絶縁膜102aを介して積層されている。以上のように構成することにより、ソース信号線18の段差によるソース信号線18と接続アノード線961dとのショートを抑制することができる。図98(b)の構成では、接続アノード線961dの線幅は、ソース信号線18の線幅よりも0.5μm以上狭くすることが好ましい。さらには、接続アノード線961dの線幅は、ソース信号線18の線幅よりも0.8μm以上狭くすることが好ましい。

【0759】図98(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961dが絶縁膜102aを介して積層されているとしたが、図98(c)に図示するように、接続アノード線961dの上に接続アノード信号線961dよりも線幅の狭いソース信号線18が絶縁膜102aを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

【0760】図100はICチップ14部の断面図である。基本的には図99の構成を基準にしているが、図96、図97などでも同様に適用できる。もしくは類似に適用できる。

【0761】図100(b)は図99のAA'での断面図である。図100(b)でも明らかなように、ICチップ14の中央部には出力パッド761が形成(配置)されていない。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ(突起)が形成されている。突起の高さは10μm以上40μm以下の高さにする。もちろん、金メッキ技術(電解、無電解)により突起を形成してもよいことは言

150

うまでもない。

【0762】前記突起と各ソース信号線18とは導電性接合層(図示せず)を介して電気的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀(Ag)、金(Au)、ニッケル(Ni)、カーボン(C)、酸化錫( $\text{SnO}_2$ )などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層(接続樹脂)1001は、転写等の技術でバンプ上に形成する。または、突起とソース信号線18とをACF樹脂1001で熱圧着される。なお、突起あるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。図100(a)はソース信号線18と共通アノード線962とが重なっている部分の断面図である(図98を参照のこと)。

【0763】共通アノード線962からアノード配線952が分岐されている。アノード配線952はQCIFパネルの場合は、 $176 \times \text{RGB} = 528$ 本である。アノード配線952を介して、図1などで図示するVdd電圧(アノード電圧)が供給される。1本のアノード配線952には、EL素子15が低分子材料の場合は、最大で200μA程度の電流が流れる。したがって、共通アノード配線962には、 $200 \mu\text{A} \times 528$ で約100mAの電流が流れる。

【0764】したがって、共通アノード配線962での電圧降下を0.2(V)以内にするには、電流が流れる最大経路の抵抗値が2Ω(100mA流れるとして)以下にする必要がある。本発明では、図99に示すように3箇所接続アノード線961を形成しているので、集中分布回路におきなおすと、共通アノード線962の抵抗値は容易に極めて小さく設計することができる。また、図97のように多数の接続アノード線961dを形成すれば、共通アノード線962での電圧降下は、ほぼなくなる。

【0765】問題となるのは、共通アノード線962とソース信号線18との重なり部分における寄生容量(共通アノード寄生容量と呼ぶ)の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線18に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【0766】共通アノード寄生容量は、少なくとも1ソース信号線18が表示領域内で発生する寄生容量(表示寄生容量と呼ぶ)の1/10以下にする必要がある。たとえば、表示寄生容量が10(pF)であれば、1(pF)以下にする必要がある。さらに好ましくは、(表示寄生容量と呼ぶ)の1/20以下にする必要がある。表示寄生容量が10(pF)であれば、0.5(pF)以下にする必要がある。この点を考慮して、共通アノード

(77)

151

線 962 の線幅 (図 103 の M)、絶縁膜 102 の膜厚 (図 101 を参照) を決定する。

【0767】ベースアノード線 951 は IC チップ 14 の下に形成 (配置) する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線 951 は遮光の機能を持たせることが好ましい。この説明図を図 102 に図示している。なお、ベースアノード配線 951 を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線 951 が太くできない時、あるいは、ITO などの透明材料で形成するときは、ベースアノード線 951 に積層して、あるいは多層に、光吸収膜あるいは光反射膜を IC チップ 14 下 (基本的にはアレイ 71 の表面) に形成する。

【0768】もちろん、アレイ基板 71 と IC チップ 14 との空間に、金属箔あるいは板あるいはシートからなる反射板 (シート)、光吸収板 (シート) を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板 (シート)、光吸収板 (シート) を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板 71 と IC チップ 14 との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線 951 を遮光膜 (反射膜) にするとして説明をする。

【0769】図 102 のように、ベースアノード線 951 はアレイ基板 71 の表面 (なお、表面に限定するものではない。遮光膜/反射膜とするという思想を満足させるためには、IC チップ 14 の裏面に光が入射しなければよいのである。したがって、基板 71 の内面あるいは内層にベースアノード線 951 などを形成してもよいことは言うまでもない。また、基板 71 の裏面にベースアノード線 951 (反射膜、光吸収膜として機能する構成または構造) を形成することにより、IC 14 に光が入射することを防止または抑制できるのであれば、アレイ基板 71 の裏面でもよい。

【0770】また、図 102 などでは、遮光膜などはアレイ基板 71 に形成するとしたがこれに限定するものではなく、IC チップ 14 の裏面に直接に遮光膜などを形成してもよい。この場合は、IC チップ 14 の裏面に絶縁膜 102 (図示せず) を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路 14 がアレイ基板 71 に直接に形成する構成 (低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術によるドライバ構成) の場合は、遮光膜、光吸収膜あるいは反射膜を基板 71 に形成し、その上にドライバ

152

回路 14 を形成 (配置) すればよい。

【0771】IC チップ 14 には電流源 634 など、微少電流を流すトランジスタ素子が多く形成されている (図 102 の回路形成部 1021)。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流 (プログラム電流  $I_w$ )、親電流量、子電流量などが異常な値 (バラツキが発生するなど) となる。特に、有機 EL などの自発光素子は、基板 71 内で EL 素子 15 から発生した光が乱反射するため、表示領域 50 以外の箇所から強い光が放射される。この放射された光が、IC チップ 14 の回路形成部 1021 に入射するとホトコンダクタ現象を発生する。したがって、ホトコンダクタ現象の対策は、EL 表示デバイスに特有の対策である。

【0772】この課題に対して、本発明では、ベースアノード線 951 を基板 71 上に構成し、遮光膜する。ベースアノード線 951 の形成領域は図 102 に図示するように、回路形成部 1021 を被覆するようにする。以上のように、遮光膜 (ベースアノード線 951) を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線 951 などの EL 電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、1 H タイミングで少しずつ変化するため、ほど、グランド電位 (電位変化しないという意味) として見なせる。したがって、ベースアノード線 951 あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

【0773】有機 EL などの自発光素子は、基板 71 内で EL 素子 15 から発生した光が乱反射するため、表示領域 50 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図 101 に図示するように、画像表示に有効な光が通過しない箇所 (無効領域) に光吸収膜 1011 を形成する (逆に有効領域とは、表示領域 50 をその近傍)。光吸収膜を形成する箇所は、封止フタ 85 の外面 (光吸収膜 1011a)、封止フタ 85 の内面 (光吸収膜 1011c)、基板 70 の側面 (光吸収膜 1011d)、基板の画像表示領域以外 (光吸収膜 1011b) などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることにより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

【0774】光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボン含有させたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラッ

(78)

153

クを用いることもできる。また、スパッタにより形成された  $\text{PrMnO}_3$  膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【0775】以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものを  
10 用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な1種、もしくはそれらのうち2種類以上の組み合わせでも良い。

【0776】また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例示される。六価クロムは黒色であり、光吸収膜として機能する。

【0777】なお、封止フタ85は、 $4\mu\text{m}$ 以上 $15\mu\text{m}$ 以下の樹脂ペースト1012を含有させた封止樹脂1031を用いて、基板71と封止フタ85とを接着する。

【0778】図99の実施例は、共通アノード線962をICチップ14の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図103に図示するように、表示領域50の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線18とアノード配線952とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線18とアノード配線952とが短距離で、かつ平行に配置されると、ソース信号線18とアノード配線952間に寄生容量が発生するからである。図103のように、表示領域50の近傍に共通アノード線962を配置するとその問題点はなくなる。画面表示領域50から共通アノード線962の距離K（図103を参照）は、 $1\text{mm}$ 以下にすることが好ましい。

【0779】共通アノード線962は、極力低抵抗化するため、ソース信号線18を形成する金属材料で形成することが好ましい。本発明では、Al薄膜あるいはTi/Al/Tiの積層構造からなる金属材料（SDメタル）で形成している。したがって、ソース信号線18と  
40 共通アノード線962が交差する箇所はショートすることを防止するため、ゲート信号線17を構成する金属材料（GEメタル）に置き換える。ゲート信号線は、Mo/Wの積層構造からなる金属材料で形成している。

【0780】一般的に、ゲート信号線17のシート抵抗は、ソース信号線18のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機EL表示パネルにおいて、かつ電流駆動方式では、ソース信号線18を流れる電流は $1\sim 5\mu\text{A}$ と微少である。したがって、ソース信号線18の配線抵抗が高くととも電圧降下は

154

ほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線18に画像データを書き込む。したがって、ソース信号線18の抵抗値が高いと画像を1水平走査期間に書き込むことができない。

【0781】しかし、本発明の電流駆動方式では、ソース信号線18の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線18のシート抵抗は、ゲート信号線17のシート抵抗より高くともよい。したがって、本発明のEL表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図104に図示するように、ソース信号線18をGEメタルで作製（形成）し、ゲート信号線17をSDメタルで作製（形成）してもよい（液晶表示パネルと逆）。

【0782】図107は、図99、図103の構成に加えて、ゲートドライバ回路12を駆動する電源配線1051を配置した構成である。電源配線1051はパネルの表示領域50の右端→下辺→表示領域50の左端に引き回している。つまり、ゲートドライバ12aと12bの電源とは同一になっている。

【0783】しかし、ゲート信号線17aを選択するゲートドライバ回路12a（ゲート信号線17aはTFT11b、TFT11cを制御する）と、ゲート信号線17bを選択するゲートドライバ回路12b（ゲート信号線17bはTFT11dを制御し、EL素子15に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線17aの振幅（オン電圧ーオフ電圧）は小さいことが好ましい。ゲート信号線17aの振幅が小さくなるほど、画素16のコンデンサ19への突き抜け電圧が減少するからである（図1などを参照）。一方、ゲート信号線17bはEL素子15を制御する必要があるため、振幅は小さくできない。

【0784】したがって、図108に図示するように、ゲートドライバ12aの印加電圧は $V_{ha}$ （ゲート信号線17aのオフ電圧）と、 $V_{la}$ （ゲート信号線17aのオン電圧）とし、ゲートドライバ12aの印加電圧は $V_{hb}$ （ゲート信号線17bのオフ電圧）と、 $V_{la}$ （ゲート信号線17bのオン電圧）とする。 $V_{la} < V_{lb}$ なる関係とする。なお、 $V_{ha}$ と $V_{hb}$ とは、略一致させてもよい。

【0785】ゲートドライバ回路109は、通常、NチャンネルトランジスタとPチャンネルトランジスタで構成するが、Pチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚になる。

(79)

155

【0786】しかし、Pチャンネルトランジスタのみでゲートドライバ回路12などを構成すると、レベルシフト回路をアレキ基板71に形成できない。レベルシフト回路はNチャンネルトランジスタとPチャンネルトランジスタで構成するからである。

【0787】この課題に対して、本発明では、レベルシフト回路機能を、電源IC1091に内蔵させている。図109はその実施例である。電源IC1091はゲートドライバ回路12の駆動電圧、EL素子15のアノード、カソード電圧、ソースドライバ回路14の駆動電圧を発生させる。

【0788】電源IC1091はゲートドライバ回路12のEL素子15のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路12の駆動する信号電圧までレベルシフトすることができる。

【0789】したがって、レベルシフトおよびゲートドライバ回路12の駆動は図109の構成で実施する。入力データ（画像データ、コマンド、制御データ）992はソースドライバIC14に入力される。入力データにはゲートドライバ回路12の制御データも含まれる。ソースドライバIC14は耐圧（動作電圧）が5（V）である。一方、ゲートドライバ回路12は動作電圧が15（V）である。ソースドライバ回路14から出力されるゲートドライバ回路12に出力される信号は、5（V）から15（V）にレベルシフトする必要がある。このレベルシフトを電源回路（IC）1091で行う。図109ではゲートドライバ回路12を制御するデータ信号も電源IC制御信号1092としている。

【0790】電源回路1091は入力されたゲートドライバ回路12を制御するデータ信号1092を内蔵するレベルシフト回路でレベルシフトし、ゲートドライバ回路制御信号1093として出力し、ゲートドライバ回路12を制御する。

【0791】以上に説明した本発明の表示パネル、表示装置を用いる、もしくは、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。

【0792】図57は情報端末装置の1例としての携帯電話の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572などが表示色切替キーあるいは電源オンオフ、フレームレート切り替えキーである。

【0793】キー572を1度押さえると表示色は8色モードに、つづいて同一キー572を押さえると表示色は256色モード、さらにキー572を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー572は3つ（以

156

上）となる。

【0794】キー572はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切替るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0795】また、表示色の切り替えは電氣的に切替るスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでもよい。また、スイッチを押さえる回数で切替る、あるいはクリックボールのように回転あるいは方向により切替るように構成してもよい。

【0796】572は表示色切替キーとしたが、フレームレートを切替るキーなどとしてもよい。また、動画と静止画とを切替るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ボリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。なお、表示色などによりフレームレートを切替るという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置（液晶表示パネル）に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、トランジスタパネル、PLZTパネルや、CRTにも適用することができる。

【0797】図19で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影した画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー572入力で切り替えることができる。

【0798】表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以



(80)

157

下となるように画像処理を行う。

【0799】今、ソースドライバIC14には4096色(RGB各4ビット)で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵画像RAMに格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

【0800】画像データが26万色(G:6ビット、R、B:5ビットの計16ビット)の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット(4096色)の画像データを出力し、表示画面50に画像を表示する。

【0801】さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0802】図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0803】ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル(表示装置)574から出射した迷光がボデー573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板( $\lambda/4$ 板など)108、偏光板109などが配置されている。このことは図10、図11でも説明している。

【0804】接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581をボデー573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

【0805】また、必要に応じて表示パネル574の光出射側に正レンズ583を配置すれば、拡大レンズ582に入射する主光線を収束させることができる。そのため、拡大レンズ582のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【0806】図59はビデオカメラの斜視図である。ビデオカメラは撮影(撮像)レンズ部592とビデオカメラ本体573と具備し、撮影レンズ部592とビューファインダ部573とは背中合わせとなっている。また、ビューファインダ(図58も参照)573には接眼カバーが取り付けられている。観察者(ユーザー)はこの接眼カバー部から表示パネル574の画像50を観察す

158

る。

【0807】一方、本発明のEL表示パネルは表示モニターとしても使用されている。表示部50は支点591で角度を自由に調整できる。表示部50を使用しない時は、格納部593に格納される。

【0808】スイッチ594は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ594は表示モード切り替えスイッチである。スイッチ594は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ594について説明をする。

【0809】本発明の駆動方法の1つにN倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法がある。この点灯させる1/MのMの値だけをきりかえることにより、明るさをデジタル的に変更することができる。たとえば、N=4として、EL素子15には4倍の電流を流す。点灯期間を1/Mとし、M=1、2、3、4と切り替えれば、1倍から4倍までの明るさ切り替えが可能となる。なお、M=1、1.5、2、3、4、5、6などに変更できるように構成してもよい。

【0810】以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面50を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けるとEL素子15は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【0811】したがって、ユーザーがボタン594で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【0812】なお、表示画面50はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して70%の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、50%輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明したN倍パルス駆動(N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法)を用いて画面



(81)

159

の上から下方向に、ガウス分布を発生させている。

【0813】具体的には、画面の上部と下部ではMの値と大きくし、中央部でMの値を小さくする。これは、ゲートドライバ12のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角0.9）を50%にした時、100%輝度の場合に比較して約20%の低消費電力化が可能である。周辺輝度（画角0.9）を70%にした時、100%輝度の場合に比較して約15%の低消費電力化が可能である。

【0814】なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことがこのま

い。

【0815】液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【0816】また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これをさけるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

【0817】以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【0818】なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をしておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【0819】本実施の形態のEL表示装置などはビデオカメラだけでなく、図60に示すような電子カメラにも適用することができる。表示装置はカメラ本体60-1に

160

付属されたモニター50として用いる。カメラ本体60-1にはシャッタ603の他、スイッチ594が取り付けられている。

【0820】本発明のビデオカメラなどは、タッチパネルを搭載し、指やペンでWebブラウジングやEメールなどを操作できるインターネット端末機能を有している。また、ハードディスク装置の代わりに256Mバイト以上のコンパクト・フラッシュ・カード（誤り訂正機能付き）を搭載することが好ましい。ウィンドウズ（登録商標）OSの基本機能部分だけを採用することで低容量化が図る。HDDがないため、ディスク・クラッシュなどの心配がなく堅牢性を確保できる。PCカード・スロットを2つ装備させる。モデムや、ISDN、PIAFS、LAN、無線LANなどを利用できるように構成することが好ましい。無線LAN用のアンテナ内蔵させる。USB/RS232Cインターフェースにより、バーコード・リーダーなどの業務用周辺機器も接続できるようにしている。キーボードがない省スペース設計に加え、水濡れやホコリに耐える（JIS防滴2級に準拠）ように構成する。タッチパネルや、アプリケーションを簡単に起動できる「ワンタッチ・キー」の採用、手書きE-mail機能（手書きメモ機能を含む）の搭載など、BtoBtoCでの一般ユーザーの利用を想定して操作性の向上を図っている。以上の機能などは本発明の他の表示装置、情報端末なども搭載する。

【0821】以上は表示パネルの表示領域が比較的小型の場合であるが、30インチ以上と大型となると表示画面50がたわみやすい。その対策のため、本発明では図61に示すように表示パネルに外枠611をつけ、外枠611をつくり上げられるように固定部材614で取り付けしている。この固定部材614を用いて、壁などに取り付ける。

【0822】しかし、表示パネルの画面サイズが大きくなると重量も重くなる。そのため、表示パネルの下側に脚取り付け部613を配置し、複数の脚612で表示パネルの重量を保持できるようにしている。

【0823】脚612はAに示すように左右に移動でき、また、脚612はBに示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【0824】なお、脚612あるいは筐体（他の本発明においても）にはプラスチックフィルム-金属板複合材（以後、複合材と呼ぶ）を使用する。複合材は、金属とプラスチックフィルムを特殊表面処理層（接着層）を介して強力に接着したものである。金属板は0.2mm以上0.8mm以下が好ましく、金属板に特殊表面処理層を介してはりあわされるプラスチックフィルムは15μm以上100μm以下にすることが好ましい。特殊接着法によりプラスチックと金属板間に強固な密着力を有するようになる。この複合材を使用することにより、プラ

(82)

161

スチック層への着色、染色、印刷が可能となり、また、プレス部品での二次加工工程（フィルムの手貼り、メッキ塗装）の削除が可能となる。また、従来では不可能であった深絞り成形やDI成形に適する。

【0825】図61のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが1つの目的である。保護フィルムの表面にはAIRコートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【0826】保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【0827】また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【0828】保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などをする 것도有効である。

【0829】また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についての汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【0830】画面は4:3に限定されるものではなく、ワイド表示ディスプレイでもよい。解像度は1280×768ドット以上にするのが好ましい。ワイド型をすることにより、DVD映画やテレビ放送など、横長表示のタイトルや番組をフルスクリーンで楽しむことができる。表示パネルの明るさは300cd/m<sup>2</sup>（カンデラ/平方メートル）にすることが好ましい。さらに好ましくは、表示パネルの明るさは500cd/m<sup>2</sup>（カンデラ/平方メートル）にすることが好ましい。また、イン

162

ターネットや通常のパソコン作業に適した明るさ（200cd/m<sup>2</sup>）で表示できるように切り替えスイッチを設置している。

【0831】したがって、使用者は表示内容あるいは使用方法により、最適に画面の明るさにすることができ。さらに動画を表示しているウインドウだけを500cd/m<sup>2</sup>にして、その他の部分は200cd/m<sup>2</sup>にする設定も用意している。テレビ番組をディスプレイの隅に表示しておいて、メールをチェックするといった使い方にも柔軟に対応する。スピーカーはタワー型の形状になり、前方向だけではなく、空間全体に音が広がるように設計されている。

【0832】テレビ番組の再生、録画機能も使い勝手を向上させている。iモードからの録画予約が簡単にできるようにしている。従来は新聞などのテレビ番組表で時間、チャンネルを確認してから予約する必要があったが、電子番組表をiモードで確認して予約できる。これなら、放送時間が分からなくて困ることもない。また、録画番組の短縮再生もできるようにしている。ニュース番組などのテロップや音声の有無で重要性を判断しながら、不必要と判断した部分を飛ばして、番組の概要を短時間で見るができる（30分番組で1～10分程度）。

【0833】テレビ録画ができるようにディスク容量が40GB以上のハードディスクを積載している。本体のほかに電源と映像入出力端子をまとめた拡張ボックスで構成している。ビデオなどのAV機器の接続に使う拡張ボックスには、パソコンとテレビのほかに2系統の映像機器を接続できる。映像入力はBSデジタルチューナー用のD1端子のほかにS端子入力も備え、接続する機器に合わせて選択できる。ゲーム機などの接続に便利のようにAV用の端子は前面に配置されている。

【0834】また、表示画面を前屈30度以上、後屈120度以上とすることにより、90度/180/270度に回転できるように構成することにより、操作環境にあわせた自在な設置が可能となる。たとえば、90度回転させてブラウザー画面を縦長に表示することができる。また、145度後屈させることによって対面に座った人へ向かって画面を表示できる。

【0835】以上の保護フィルム、筐体、構成、特性、機能などに関する事項は本発明の他の表示装置あるいは情報表示装置などにも適用されることは言うまでもない。

【0836】以上の実施例では、EL素子15はR、G、Bであるとしたが、これに限定するものではない。たとえば、シアン、イエロー、マゼンダでもよいし、任意の2色でもよい。R、G、B、シアン、イエロー、マゼンダの6色あるいは任意の4色以上であってもよい。また、白単色であってもよいし、白単色光をカラーフィルターでRGBにしたものでもよい。また、有機EL素

(83)

163

子に限定するものではなく、無機EL素子であってもよい。

【0837】なお、本発明の実施例では、アクティブマトリックス型表示パネルを例示して説明したがこれに限定するものではない。ソースドライバIC14などからは所定電流のN倍電流をソース信号線18に印加（から吸収）する。また、複数の画素行を同時に選択する。そして、所定の期間の間だけ、EL素子に電流を流し、他の期間は電流を流さない、という概念は、単純マトリックス型表示パネルにも適用できるものである。

【0838】また、EL素子15は点灯初期に特性変化が大きい。そのため、焼きツキなどが発生しやすい。この対策のため、パネル形成後、20時間以上150時間以内の間、白ラスタ表示でエージングを行った後に、商品として出荷することが好ましい。このエージングでは所定表示輝度よりも2-10倍程度の明るさで表示させることが好ましい。

【0839】本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることはいうまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなどは、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【0840】なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【0841】本明細書で説明した画素構成、あるいは駆動方法は、などの画素構成あるいはアレイ構成などはEL表示パネルにのみ限定されるものではない。たとえば、液晶表示パネルにも適用することができる。その際は、EL素子15を液晶層、PLZT、LEDなどの光変調層に置き換えればよい。たとえば、液晶の場合は、TN (Twisted Nematic)、IPS (In-Plane Switching)、FLC (Ferroelectric Liquid Crystal)、OCB (Optically Compensat

164

ory Bend)、STN (Super Twisted Nematic)、VA (Vertically Aligned)、ECB (Electrically Controlled Birefringence) およびHAN (Hybrid Aligned Nematic) モード、DSMモード（動的散乱モード）などである。特に、DSMは印加する電流により光変調できるので、本発明とはマッチングがよい。

【0842】本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【0843】また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【0844】さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【0845】また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【0846】また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【0847】本発明の表示パネルによれば、アノード線

(84)

165

をICチップ下に形成するため、スペースを有効に利用することができる。また、アノード線の引き回しがないため、狭額縁化できる。また、微少電流を高率良くソース信号線に供給できるため、均一表示を実現できる。

【0848】

【発明の効果】本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0849】なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

【図1】 本発明の表示パネルの画素構成図である。

【図2】 本発明の表示パネルの画素構成図である。

【図3】 本発明の表示パネルの動作の説明図である。

【図4】 本発明の表示パネルの動作の説明図である。

【図5】 本発明の表示装置の駆動方法の説明図である。

【図6】 本発明の表示装置の構成図である。

【図7】 本発明の表示パネルの製造方法の説明図である。

【図8】 本発明の表示装置の構成図である。

【図9】 本発明の表示装置の構成図である。

【図10】 本発明の表示パネルの断面図である。

【図11】 本発明の表示パネルの断面図である。

【図12】 本発明の表示パネルの説明図である。

【図13】 本発明の表示装置の駆動方法の説明図である。

【図14】 本発明の表示装置の駆動方法の説明図である。

【図15】 本発明の表示装置の駆動方法の説明図である。

【図16】 本発明の表示装置の駆動方法の説明図である。

【図17】 本発明の表示装置の駆動方法の説明図である。

【図18】 本発明の表示装置の駆動方法の説明図である。

【図19】 本発明の表示装置の駆動方法の説明図である。

【図20】 本発明の表示装置の駆動方法の説明図である。

【図21】 本発明の表示装置の駆動方法の説明図である。

【図22】 本発明の表示装置の駆動方法の説明図である。

【図23】 本発明の表示装置の駆動方法の説明図である。

166

る。

【図24】 本発明の表示装置の駆動方法の説明図である。

【図25】 本発明の表示装置の駆動方法の説明図である。

【図26】 本発明の表示装置の駆動方法の説明図である。

【図27】 本発明の表示装置の駆動方法の説明図である。

【図28】 本発明の表示装置の駆動方法の説明図である。

【図29】 本発明の表示装置の駆動方法の説明図である。

【図30】 本発明の表示装置の駆動方法の説明図である。

【図31】 本発明の表示装置の駆動方法の説明図である。

【図32】 本発明の表示装置の駆動方法の説明図である。

【図33】 本発明の表示装置の駆動方法の説明図である。

【図34】 本発明の表示装置の構成図である。

【図35】 本発明の表示装置の駆動方法の説明図である。

【図36】 本発明の表示装置の駆動方法の説明図である。

【図37】 本発明の表示装置の構成図である。

【図38】 本発明の表示装置の構成図である。

【図39】 本発明の表示装置の駆動方法の説明図である。

【図40】 本発明の表示装置の構成図である。

【図41】 本発明の表示装置の構成図である。

【図42】 本発明の表示パネルの画素構成図である。

【図43】 本発明の表示パネルの画素構成図である。

【図44】 本発明の表示装置の駆動方法の説明図である。

【図45】 本発明の表示装置の駆動方法の説明図である。

【図46】 本発明の表示装置の駆動方法の説明図である。

【図47】 本発明の表示パネルの画素構成図である。

【図48】 本発明の表示装置の構成図である。

【図49】 本発明の表示装置の駆動方法の説明図である。

【図50】 本発明の表示パネルの画素構成図である。

【図51】 本発明の表示パネルの画素図である。

【図52】 本発明の表示装置の駆動方法の説明図である。

【図53】 本発明の表示装置の駆動方法の説明図である。

(85)

167

- 【図 54】 本発明の表示パネルの画素構成図である。  
 【図 55】 本発明の表示装置の駆動方法の説明図である。  
 【図 56】 本発明の表示装置の駆動方法の説明図である。  
 【図 57】 本発明の携帯電話の説明図である。  
 【図 58】 本発明のビューファインダの説明図である。  
 【図 59】 本発明のビデオカメラの説明図である。  
 【図 60】 本発明のデジタルカメラの説明図である。 10  
 【図 61】 本発明のテレビ（モニター）の説明図である。  
 【図 62】 従来の表示パネルの画素構成図である。  
 【図 63】 本発明のドライバ回路の機能ブロック図である。  
 【図 64】 本発明のドライバ回路の説明図である。  
 【図 65】 本発明のドライバ回路の説明図である  
 【図 66】 電圧受け渡し方式の多段式カレントミラー回路の説明図である。  
 【図 67】 電流受け渡し方式の多段式カレントミラー 20  
 回路の説明図である。  
 【図 68】 本発明の他の実施例におけるドライバ回路の説明図である。  
 【図 69】 本発明の他の実施例におけるドライバ回路の説明図である。  
 【図 70】 本発明の他に実施例におけるドライバ回路の説明図である。  
 【図 71】 本発明の他の実施例におけるドライバ回路の説明図である。  
 【図 72】 従来のドライバ回路の説明図である。 30  
 【図 73】 本発明のドライバ回路の説明図である。  
 【図 74】 本発明のドライバ回路の説明図である。  
 【図 75】 本発明のドライバ回路の説明図である。  
 【図 76】 本発明のドライバ回路の説明図である。  
 【図 77】 本発明のドライバ回路の制御方法の説明図である。  
 【図 78】 本発明のドライバ回路の説明図である。  
 【図 79】 本発明のドライバ回路の説明図である。  
 【図 80】 本発明のドライバ回路の説明図である。  
 【図 81】 本発明のドライバ回路の説明図である。 40  
 【図 82】 本発明のドライバ回路の説明図である。  
 【図 83】 本発明のドライバ回路の説明図である。  
 【図 84】 本発明のドライバ回路の説明図である。  
 【図 85】 本発明のドライバ回路の説明図である。  
 【図 86】 本発明のドライバ回路の説明図である。  
 【図 87】 本発明のドライバ回路の説明図である。  
 【図 88】 本発明の駆動方法の説明図である。  
 【図 89】 本発明のドライバ回路の説明図である。  
 【図 90】 本発明の駆動方法の説明図である。  
 【図 91】 本発明の E L 表示装置の構成図である。 50

168

- 【図 92】 本発明の E L 表示装置の構成図である。  
 【図 93】 本発明のドライバ回路の説明図である。  
 【図 94】 本発明のドライバ回路の説明図である。  
 【図 95】 本発明の E L 表示装置の構成図である。  
 【図 96】 本発明の E L 表示装置の構成図である。  
 【図 97】 本発明の E L 表示装置の構成図である。  
 【図 98】 本発明の E L 表示装置の構成図である。  
 【図 99】 本発明の E L 表示装置の構成図である。  
 【図 100】 本発明の E L 表示装置の断面図である。  
 【図 101】 本発明の E L 表示装置の断面図である。  
 【図 102】 本発明の E L 表示装置の構成図である。  
 【図 103】 本発明の E L 表示装置の構成図である。  
 【図 104】 本発明の E L 表示装置の構成図である。  
 【図 105】 本発明の E L 表示装置の構成図である。  
 【図 106】 本発明の E L 表示装置の構成図である。  
 【図 107】 本発明の E L 表示装置の構成図である。  
 【図 108】 本発明の E L 表示装置の構成図である。  
 【図 109】 本発明の E L 表示装置の構成図である。  
 【図 110】 本発明のソースドライバ I C の説明図である。

## 【符号の説明】

- 11 TFT（薄膜トランジスタ）  
 12 ゲートドライバ I C（回路）  
 14 ソースドライバ I C（回路）  
 15 E L（素子）（発光素子）  
 16 画素  
 17 ゲート信号線  
 18 ソース信号線  
 19 蓄積容量（付加コンデンサ、付加容量）  
 50 表示画面  
 51 書き込み画素（行）  
 52 非表示画素（非表示領域、非点灯領域）  
 53 表示画素（表示領域、点灯領域）  
 61 シフトレジスタ  
 62 インバータ  
 63 出力バッファ  
 71 アレイ基板（表示パネル）  
 72 レーザー照射範囲（レーザースポット）  
 73 位置決めマーカー  
 40 74 ガラス基板（アレイ基板）  
 81 コントロール I C（回路）  
 82 電源 I C（回路）  
 83 プリント基板  
 84 フレキシブル基板  
 85 封止フタ  
 86 カソード配線  
 87 アノード配線（V d d）  
 88 データ信号線  
 89 ゲート制御信号線  
 50 101 土手（リブ）

(86)

169

102 層間絶縁膜  
 104 コンタクト接続部  
 105 画素電極  
 106 カソード電極  
 107 乾燥剤  
 108  $\lambda/4$ 板  
 109 偏光板  
 111 薄膜封止膜  
 281 ダミー画素 (行)  
 341 出力段回路  
 371 OR回路  
 401 点灯制御線  
 471 逆バイアス線  
 472 ゲート電位制御線  
 561 電子ポリウム回路  
 562 TFTのSD (ソースドレイン) ショート  
 571 アンテナ  
 572 キー  
 573 筐体  
 574 表示パネル  
 581 接眼リング  
 582 拡大レンズ  
 583 凸レンズ  
 591 支点 (回転部)  
 592 撮影レンズ  
 593 格納部  
 594 スイッチ  
 601 本体  
 602 撮影部  
 603 シャッタスイッチ  
 611 取り付け枠  
 612 脚  
 613 取り付け台  
 614 固定部  
 631 電流源  
 632 電流源  
 633 電流源  
 641 スイッチ (オンオフ手段)  
 634 電流源 (1単位)  
 643 内部配線

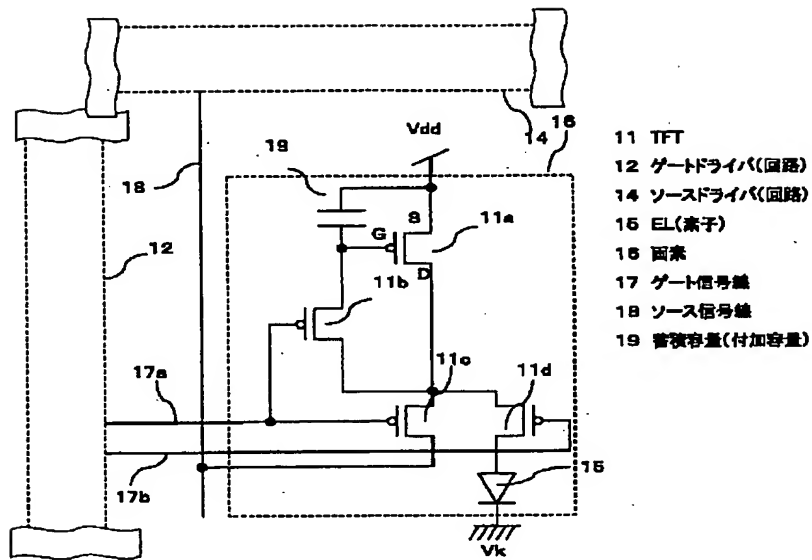
170

651 ポリウム (電流調整手段)  
 681 トランジスタ群  
 691 抵抗 (電流制限手段、所定電圧発生手段)  
 692 デコード回路  
 693 レベルシフト回路  
 701 カウンタ (計数手段)  
 702 NOR  
 703 AND  
 704 電流出力回路  
 10 711 嵩上げ回路  
 721 D/A変換器  
 722 オペアンプ  
 731 アナログスイッチ (オンオフ手段)  
 732 インバータ  
 761 出力パッド (出力信号端子)  
 771 基準電流源  
 772 電流制御回路  
 781 温度検出回路  
 782 温度制御回路  
 20 931 カスケード電流接続線  
 932 基準電流信号線  
 941 i 電流入力端子  
 941 o 電流出力端子  
 951 ベースアノード線 (アノード電圧線)  
 952 アノード配線  
 953 接続端子  
 961 接続アノード線  
 962 共通アノード線  
 971 コンタクトホール  
 30 991 ベースカソード線  
 992 入力信号線  
 1001 接続樹脂 (導電性樹脂、異方向性導電樹脂)  
 1011 光吸収膜  
 1012 樹脂ビーズ  
 1013 封止樹脂  
 1021 回路形成部  
 1051 ゲート電圧線  
 1091 電源回路 (IC)  
 1092 電源IC制御信号  
 40 1093 ゲートドライバ回路制御信号

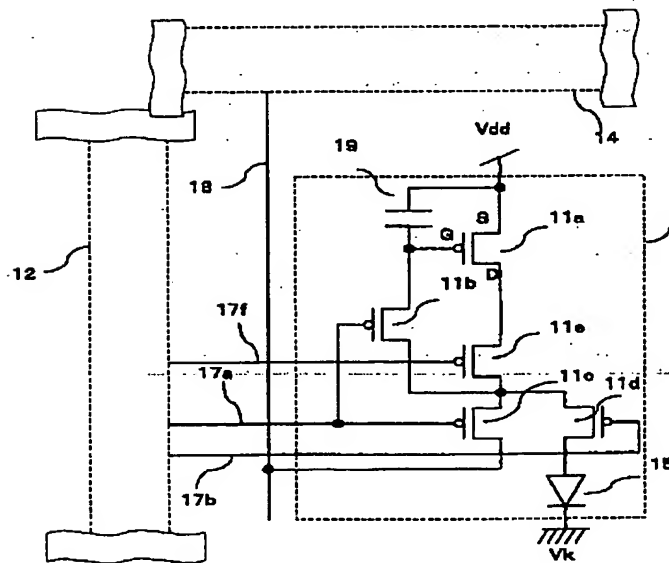


(87)

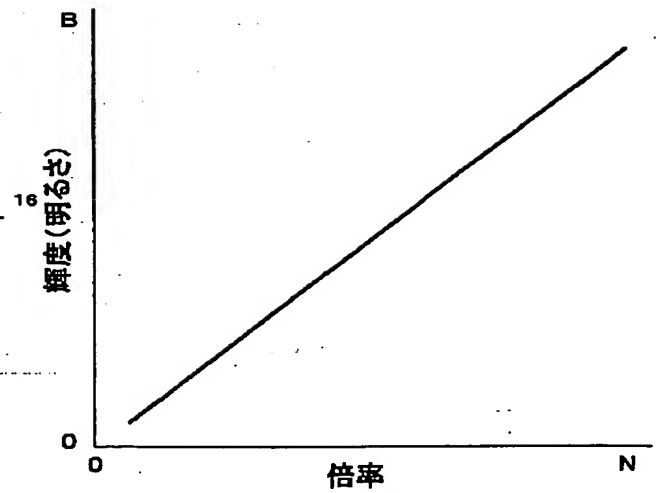
【図1】



【図2】

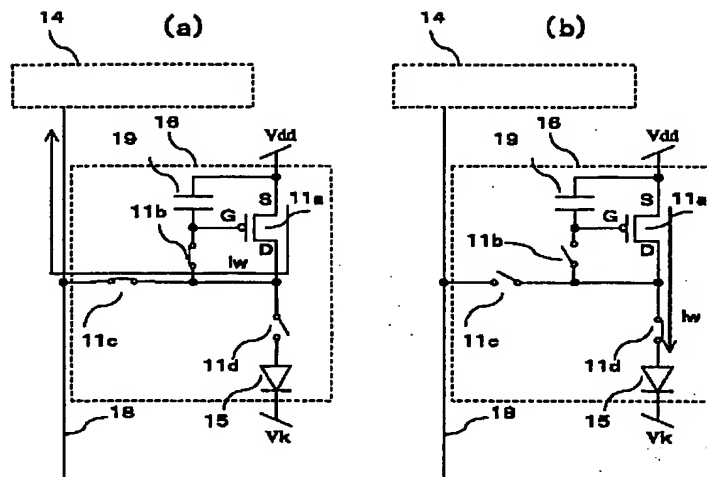


【図12】

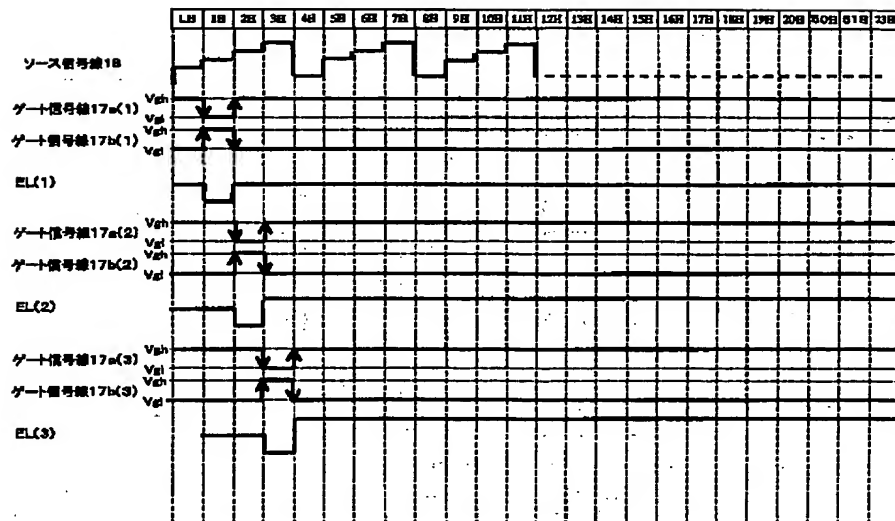


(88)

【図3】



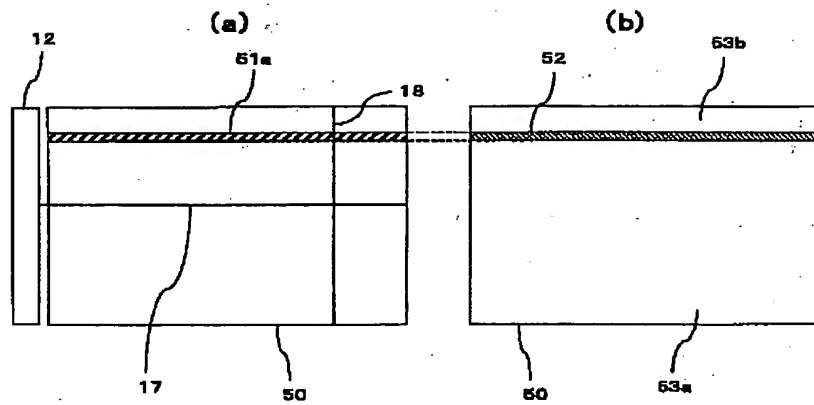
【図4】



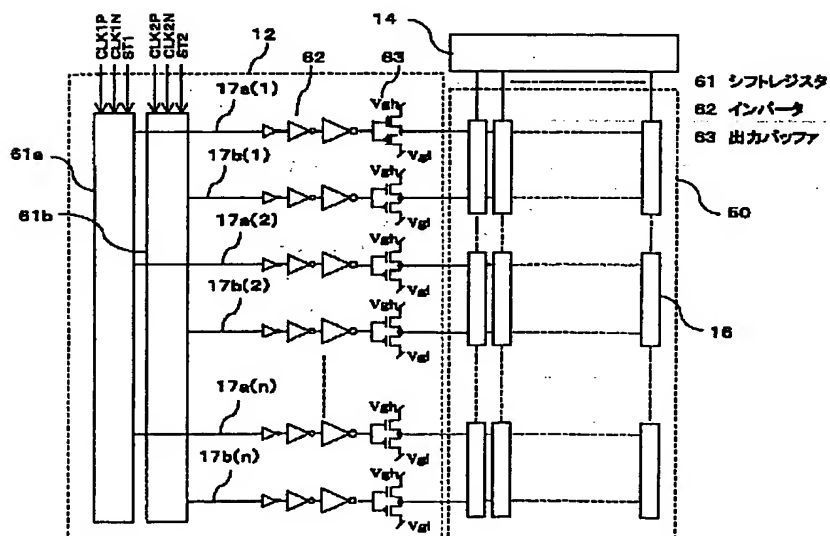
(89)

【図 5】

- 50 表示画面
- 51 書き込み图案(行)
- 52 非表示图案(非表示領域、非点灯領域)
- 53 表示图案(表示領域、点灯領域)

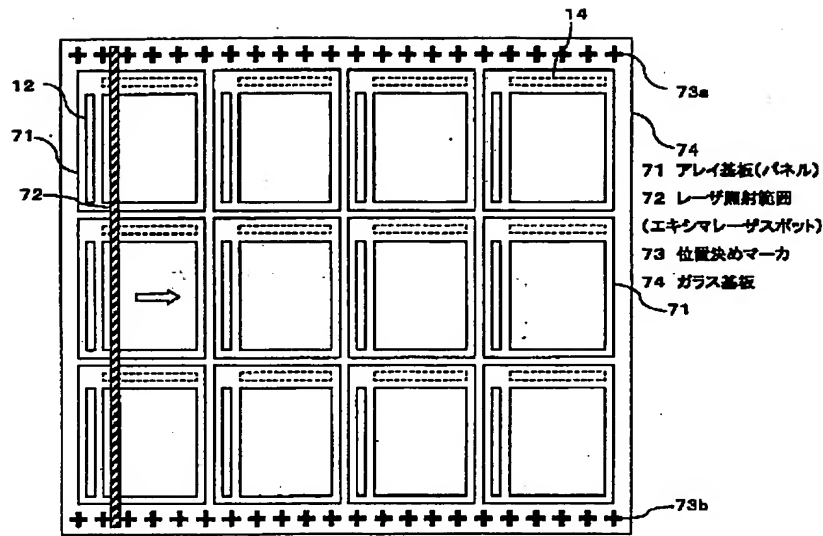


【図 6】

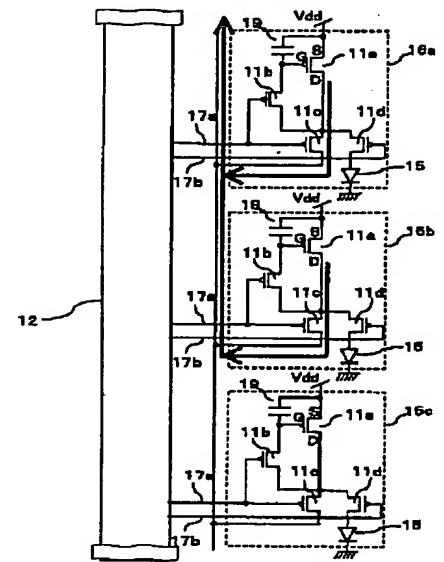


(90)

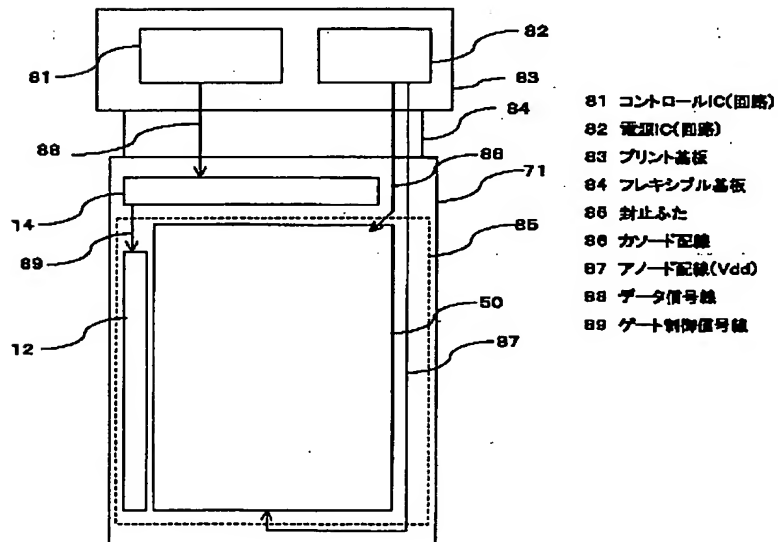
【図7】



【図26】

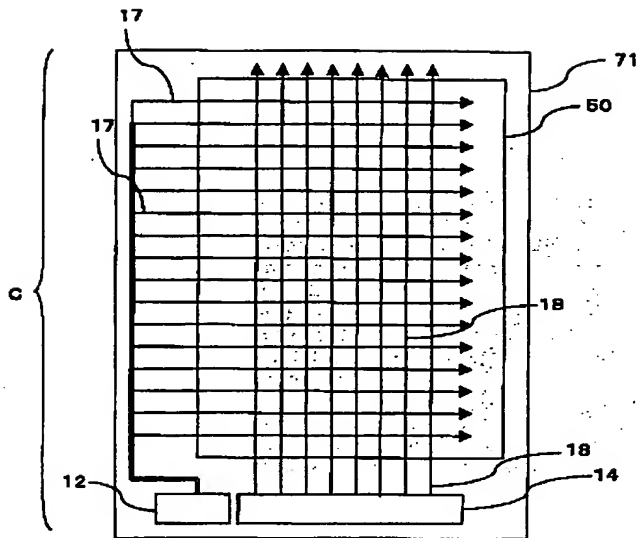


【図8】

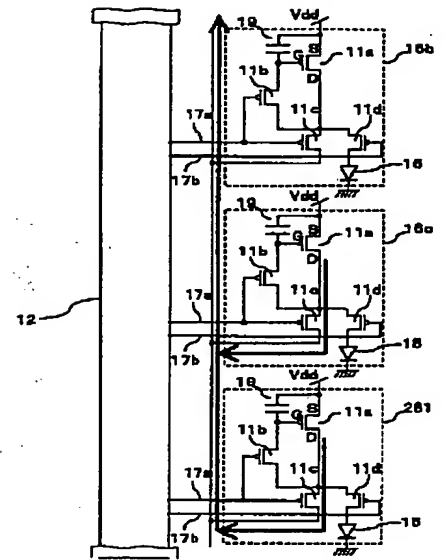


(91)

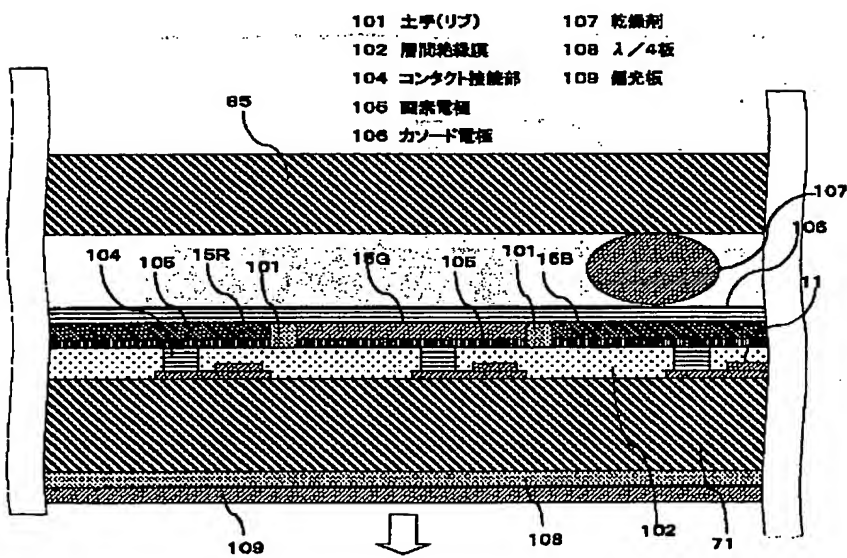
【図9】



【図28】



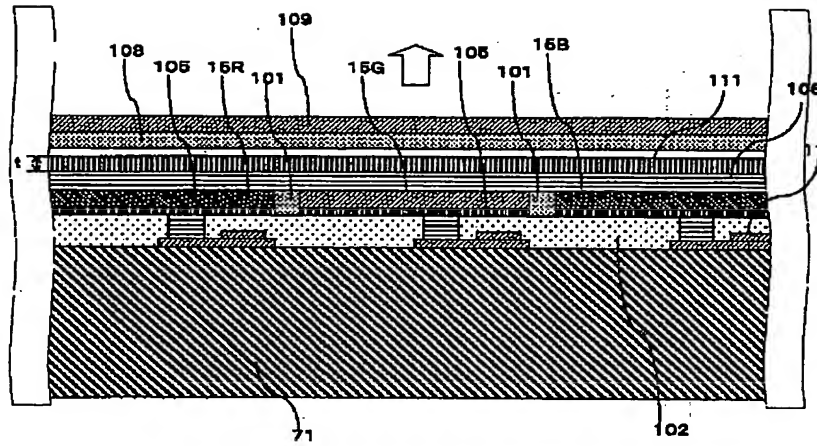
【図10】



(92)

【図11】

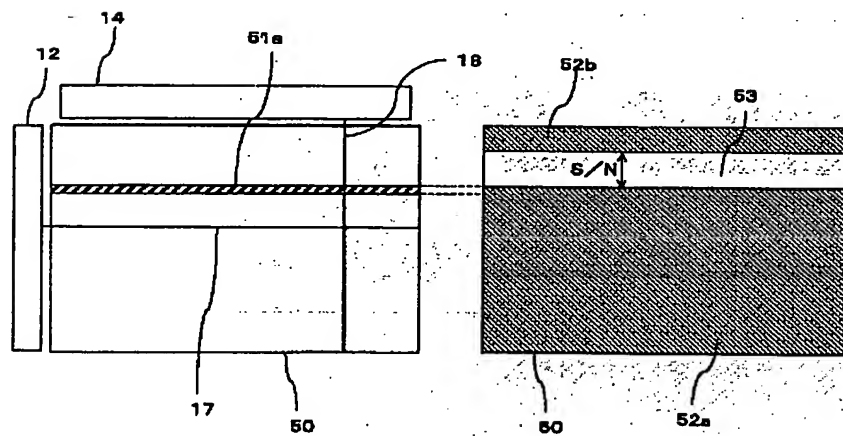
111 薄膜封止膜



【図13】

(a)

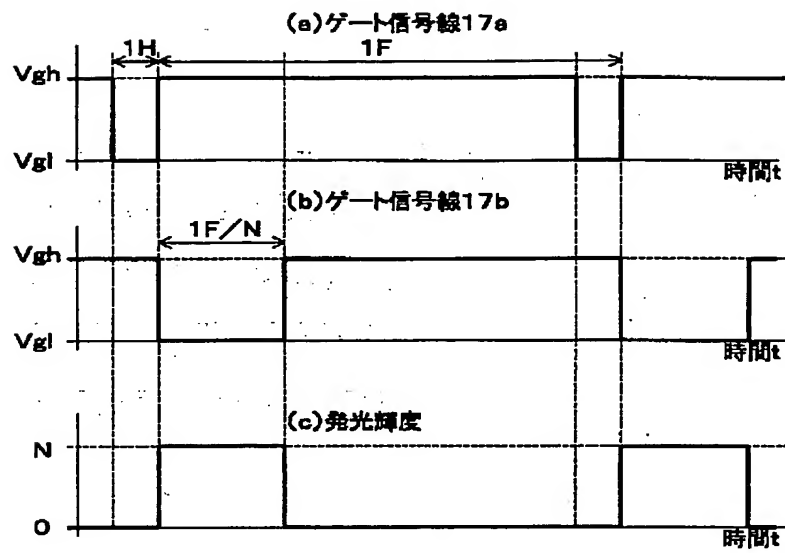
(b)



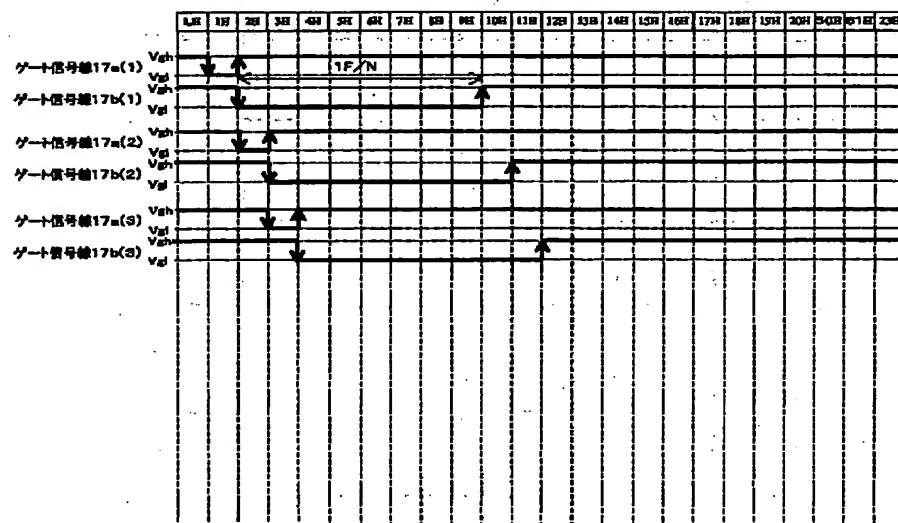


(93)

【図14】

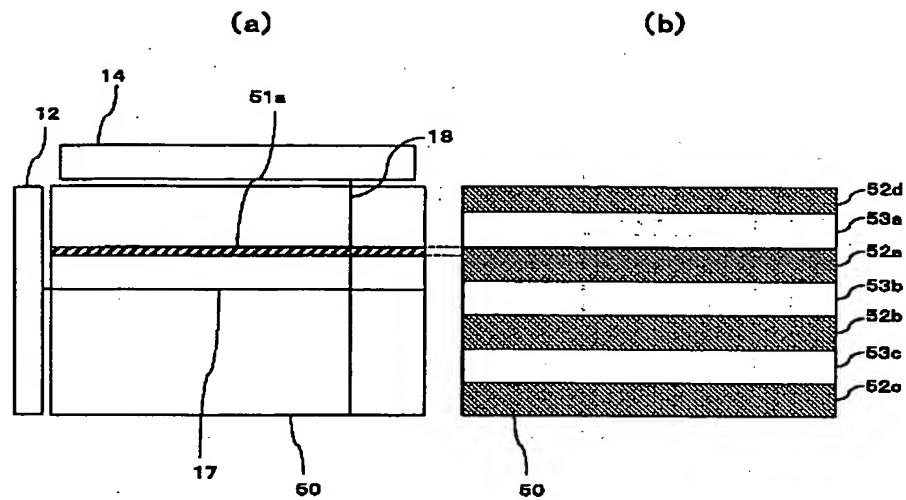


【図15】

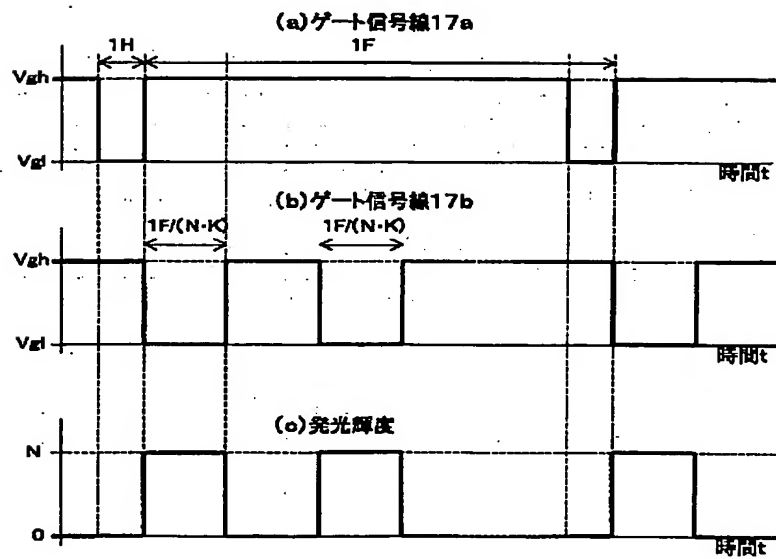


(94)

【図16】

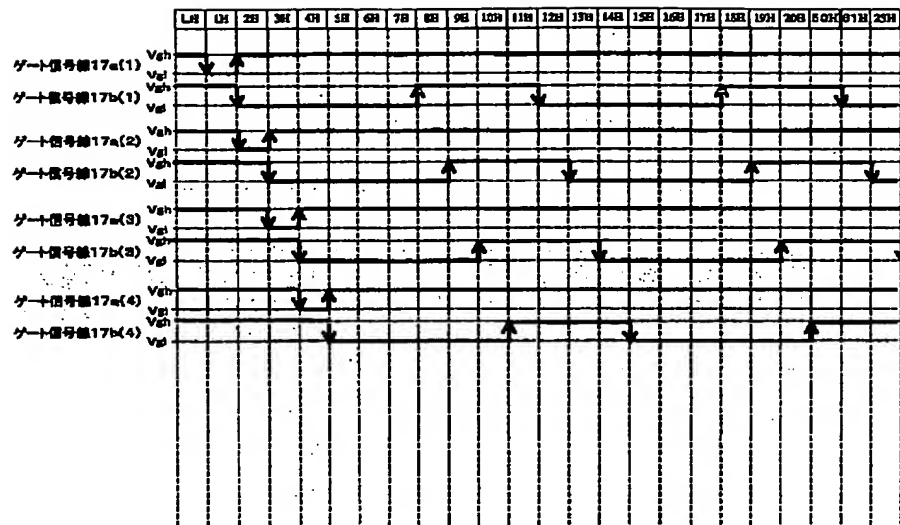


【図17】

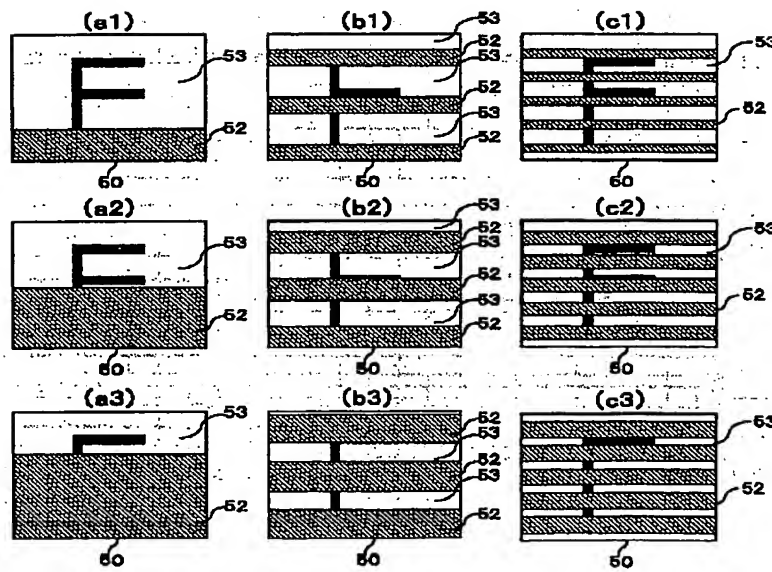


(95)

【図18】



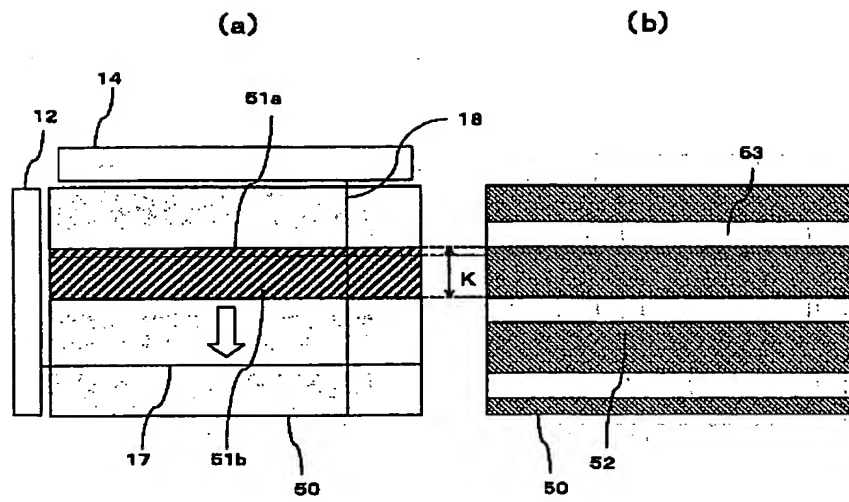
【図19】



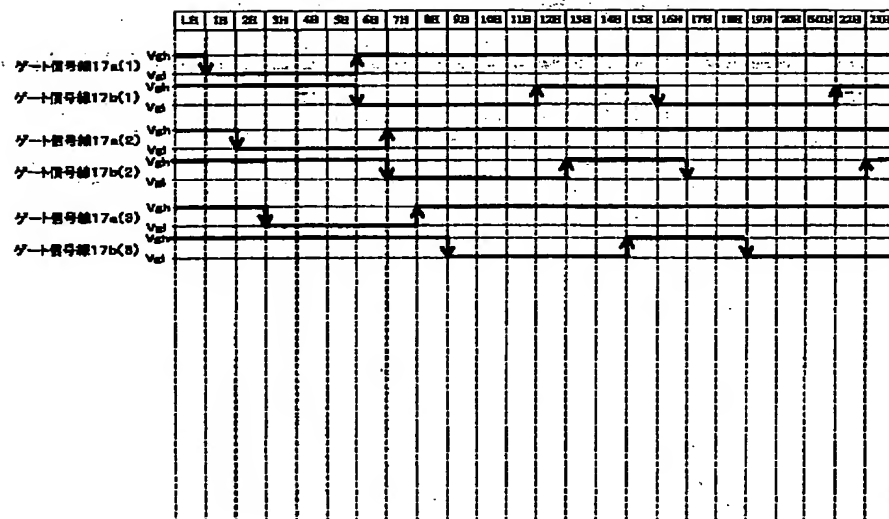


(97)

【図22】

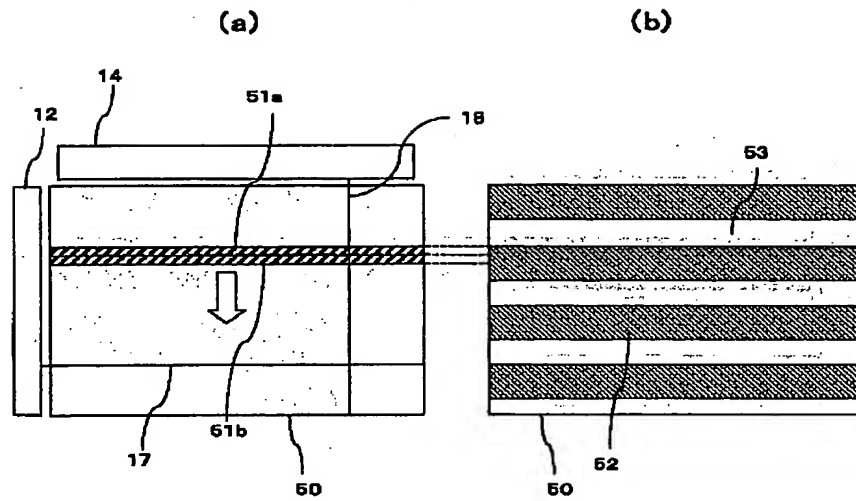


【図23】

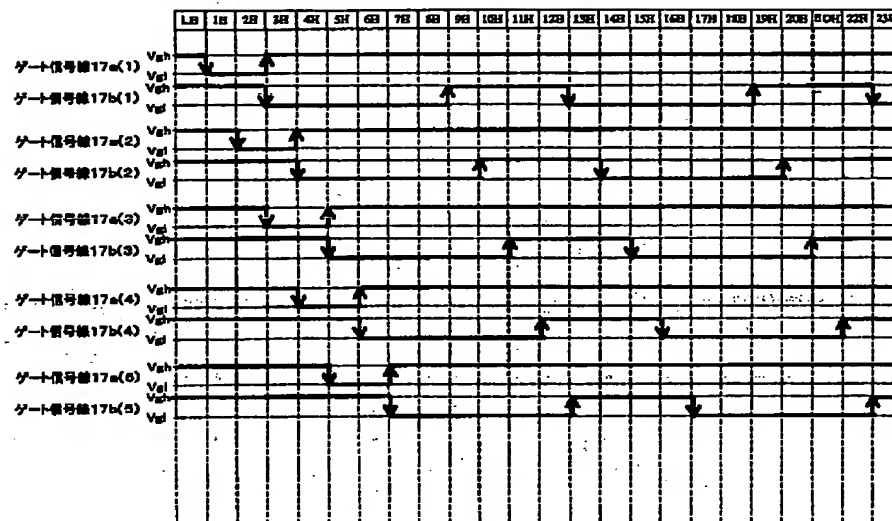


(98)

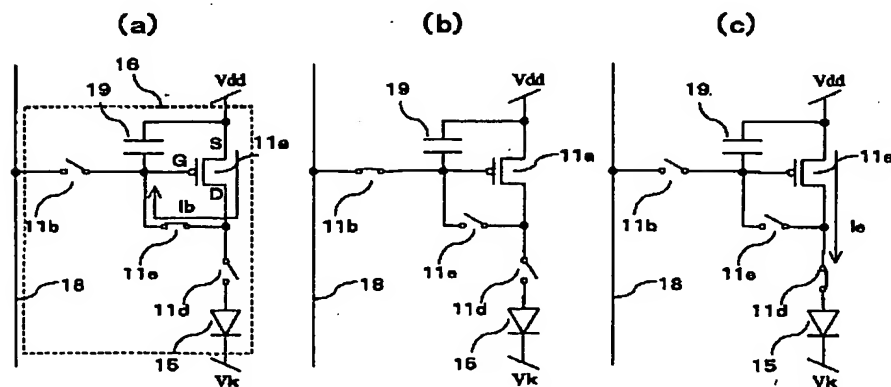
【図 2 4】



【図 2 5】



【図 4 4】

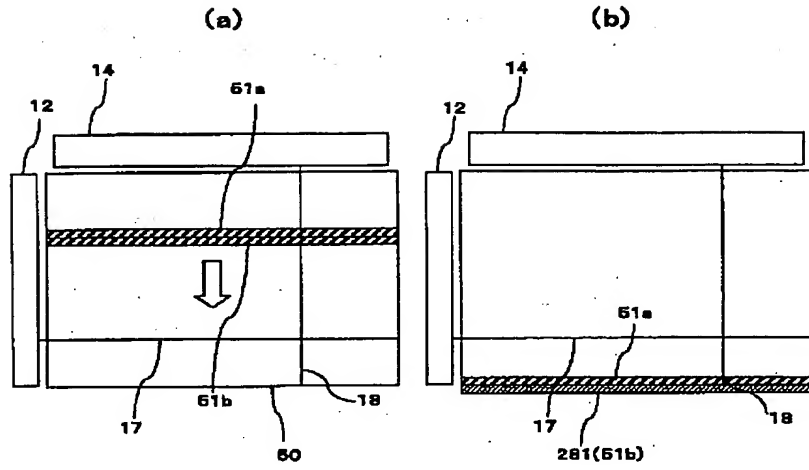




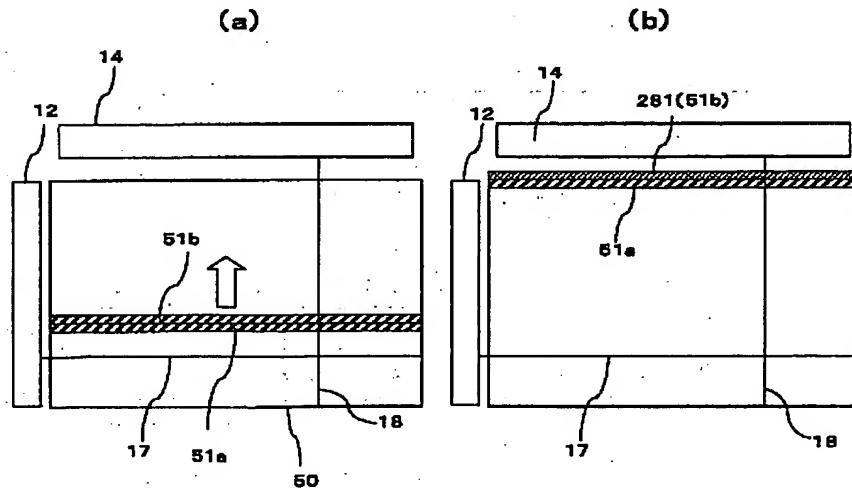
(99)

【図27】

281 第一面（行）



【図29】

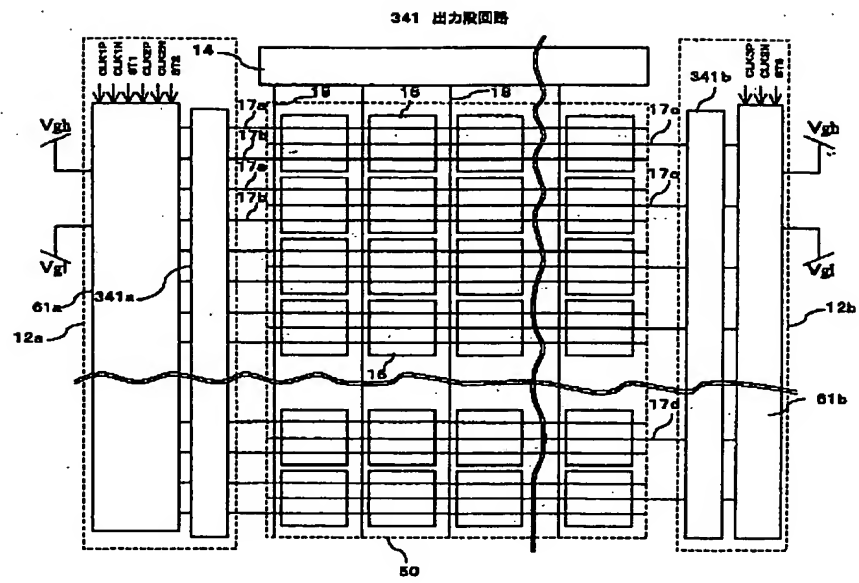




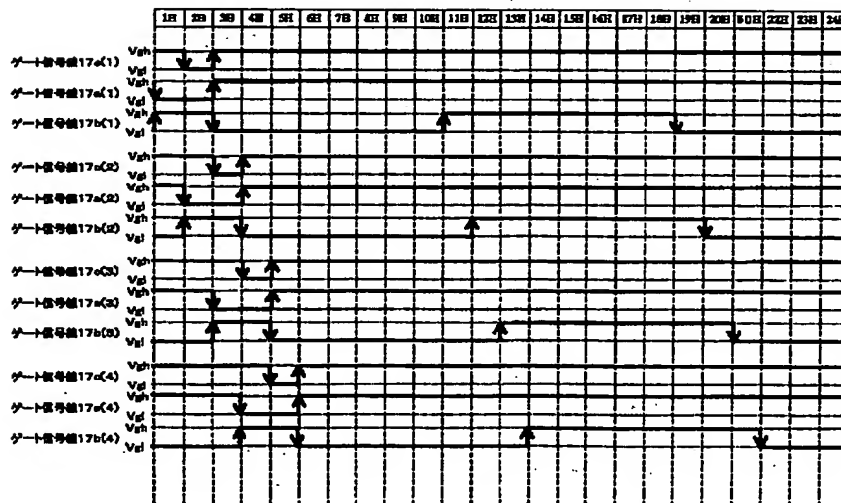


(102)

【図 3 4】

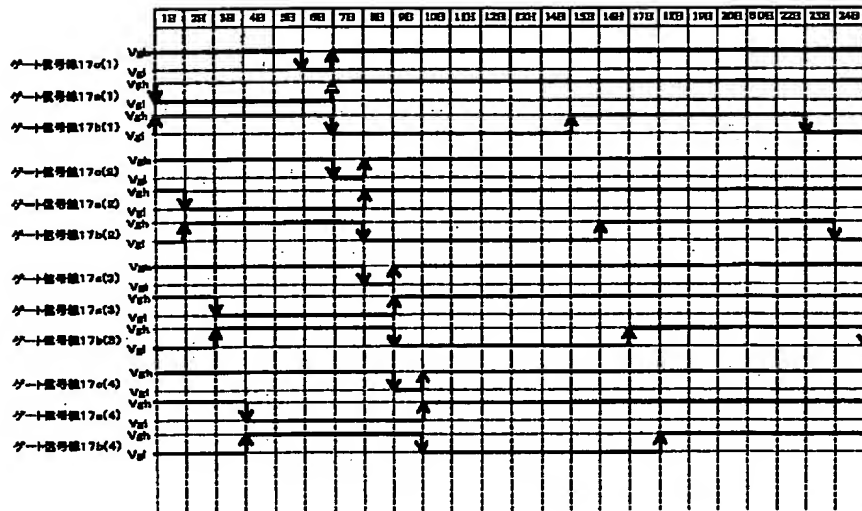


【図 35】

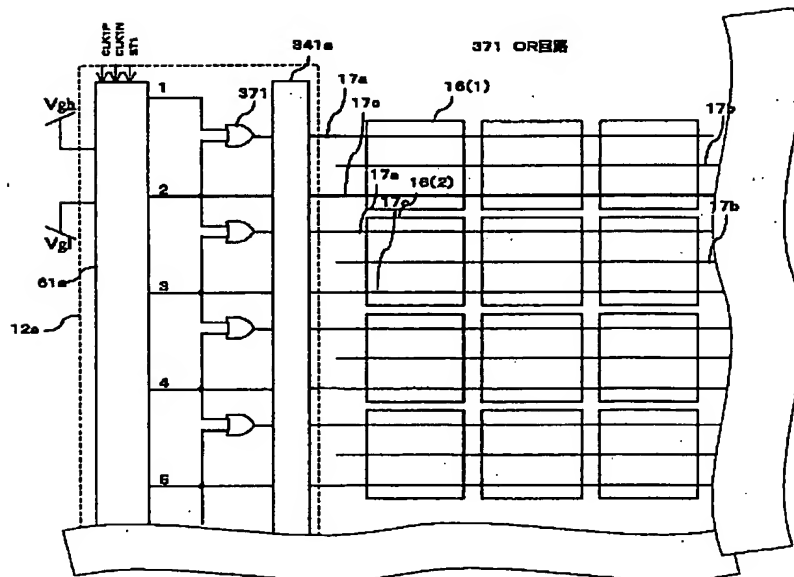


(103)

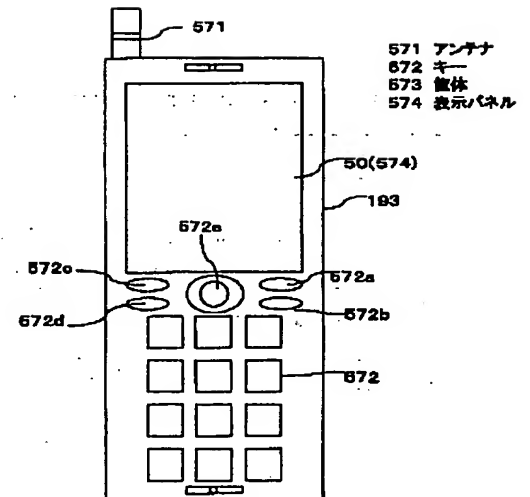
【図36】



【図37】

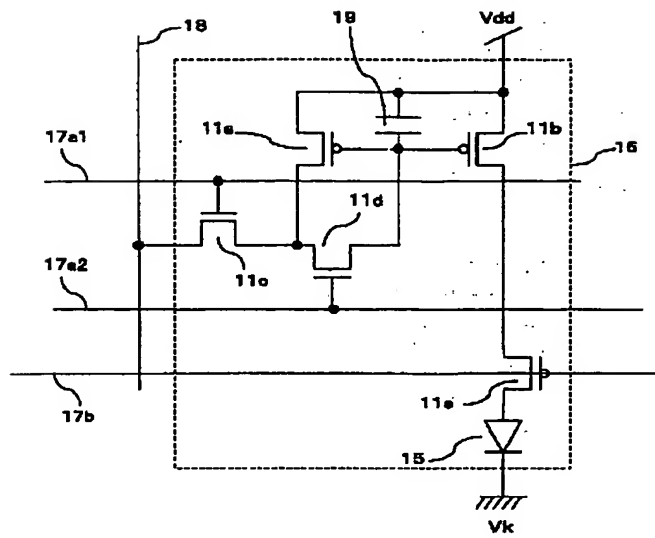


【図57】

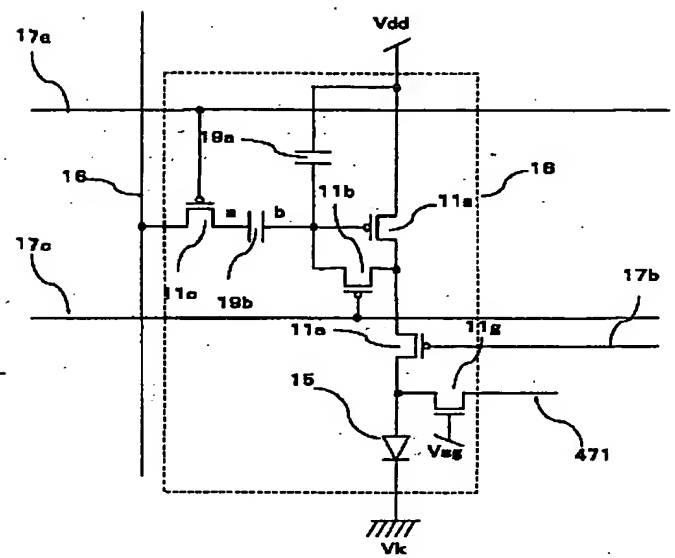


(104)

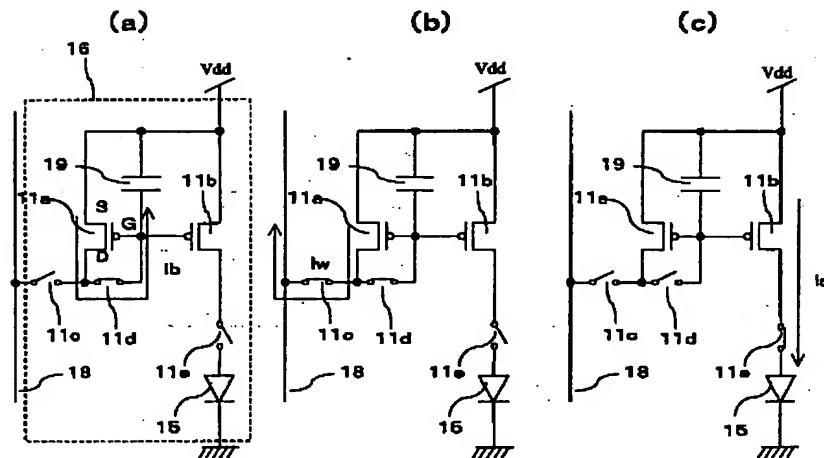
【図 38】



【図 51】



【図 39】

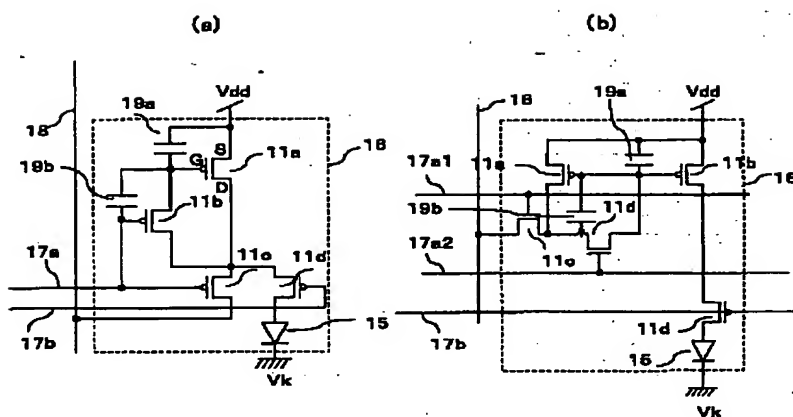




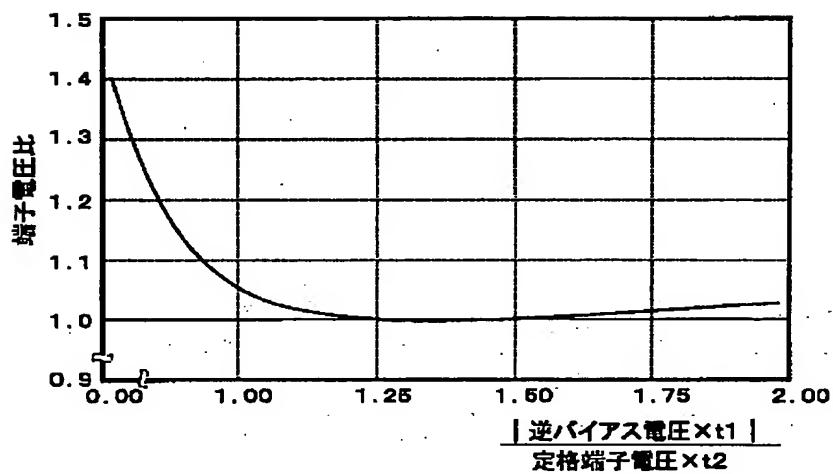


(106)

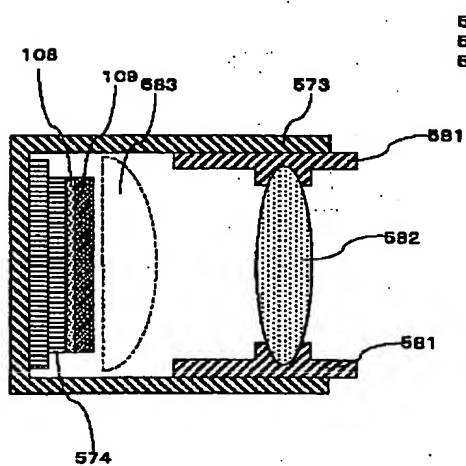
【図42】



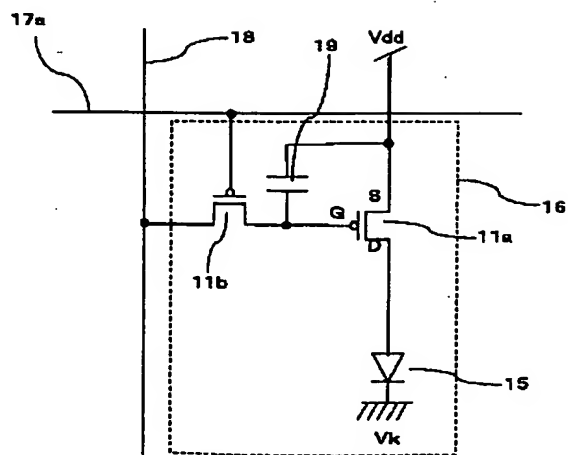
【図45】



【図58】

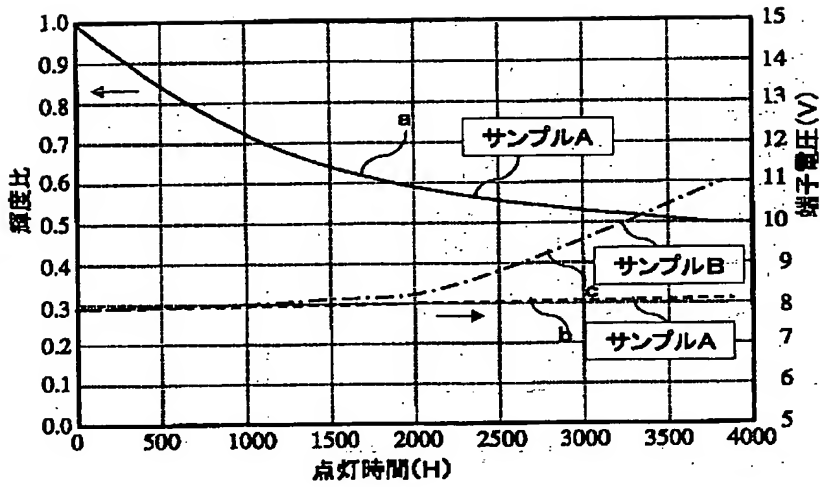


【図62】

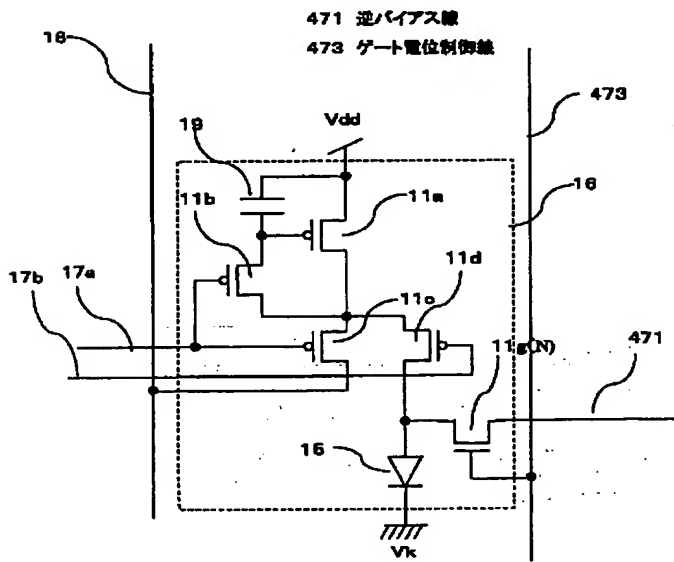


(107)

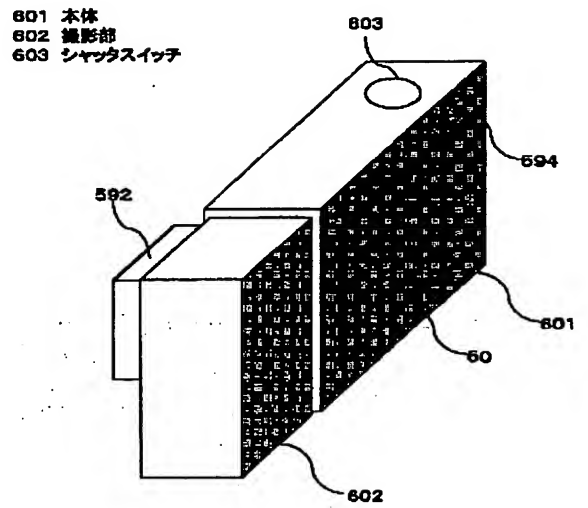
【図46】



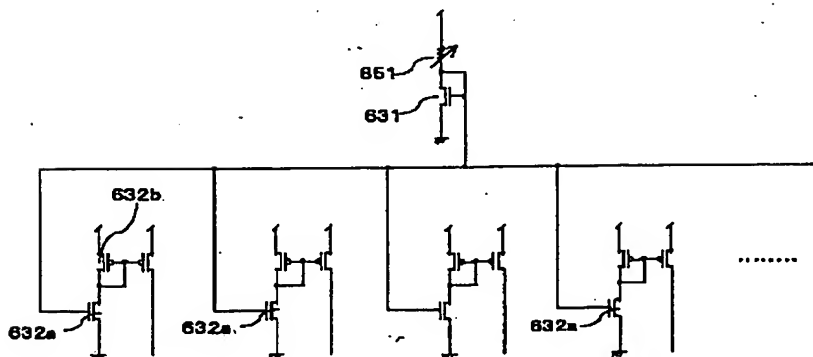
【図47】



【図60】

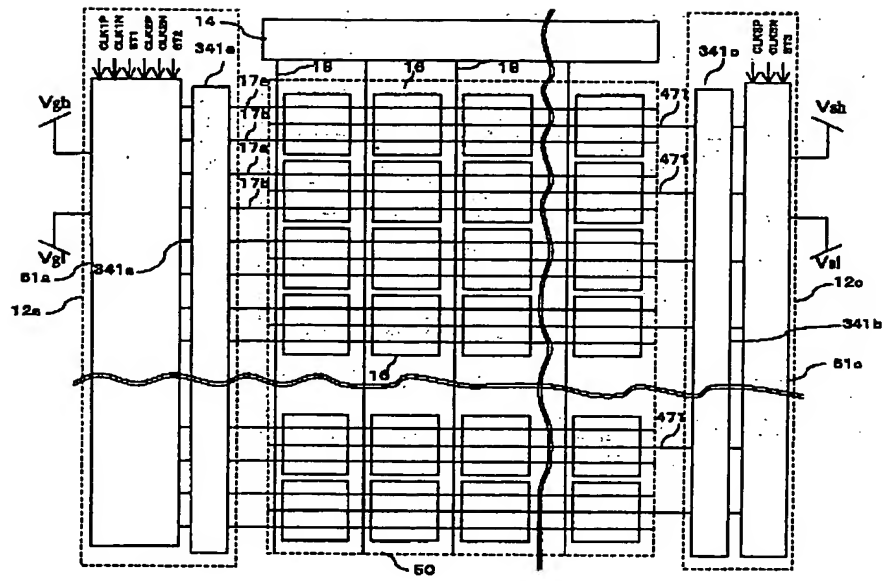


【図66】

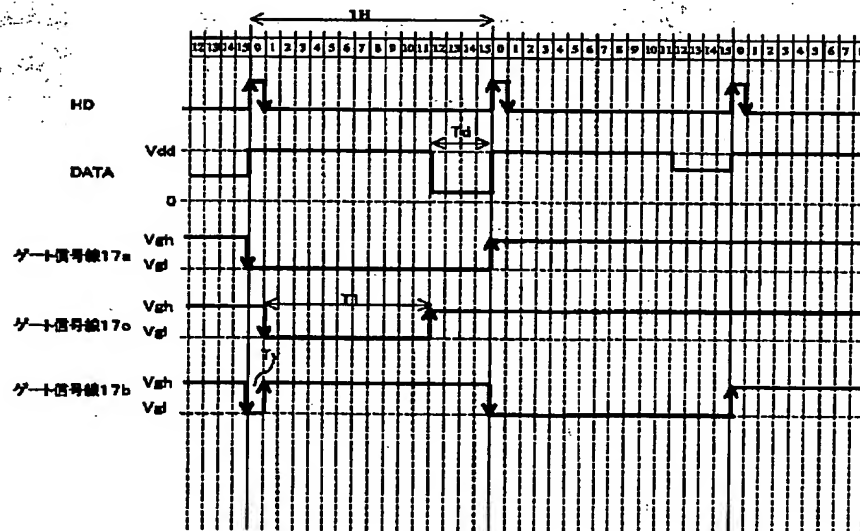


(108)

【図 48】

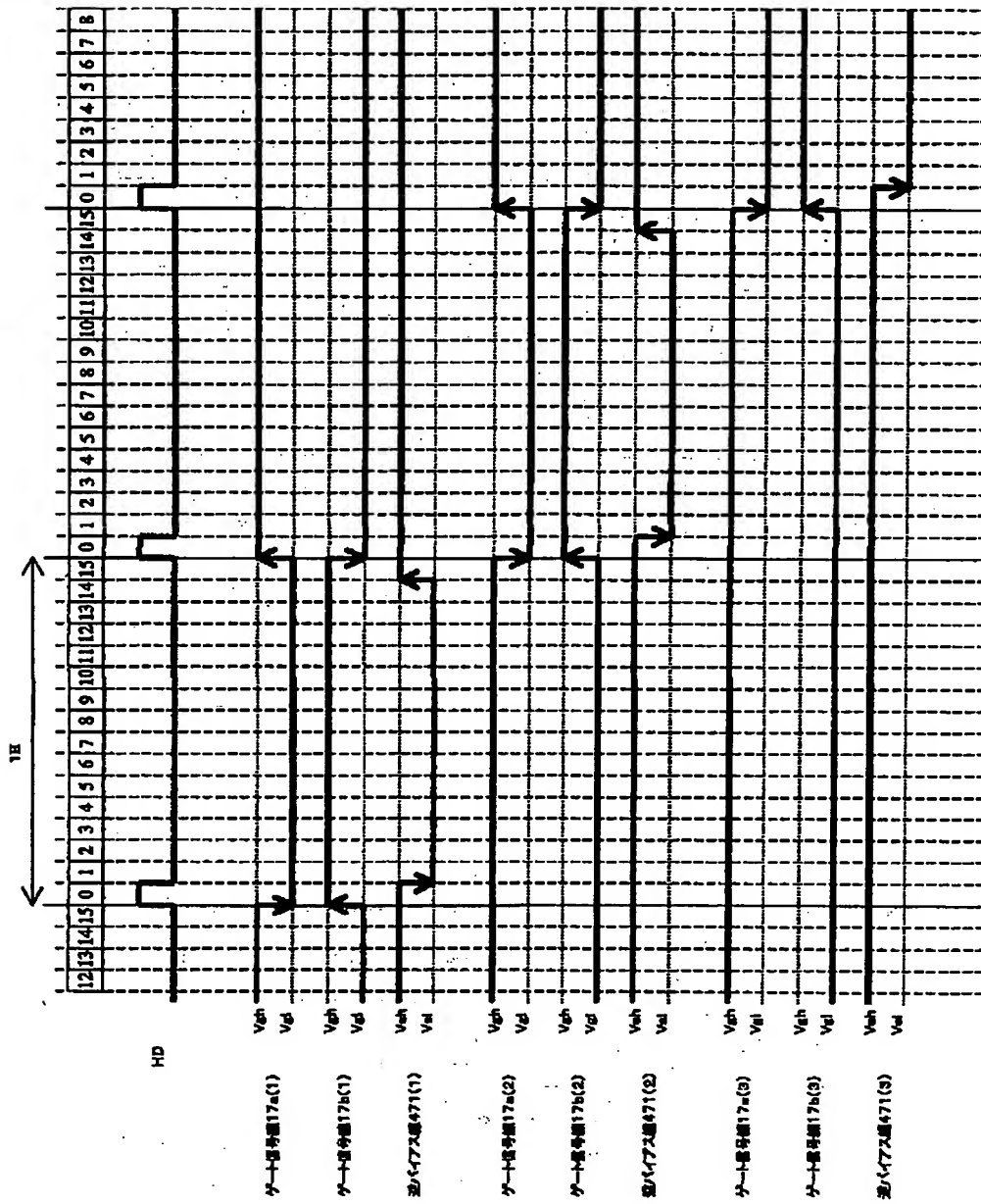


【図 52】



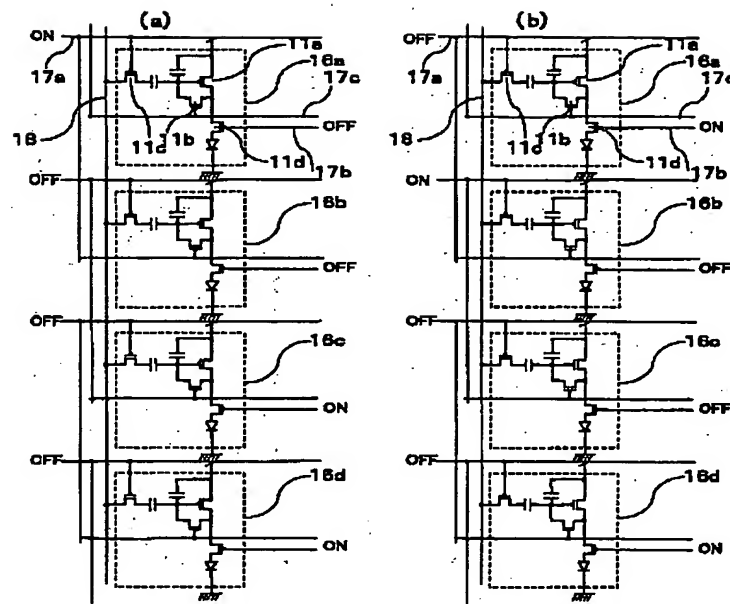
(109)

【図49】

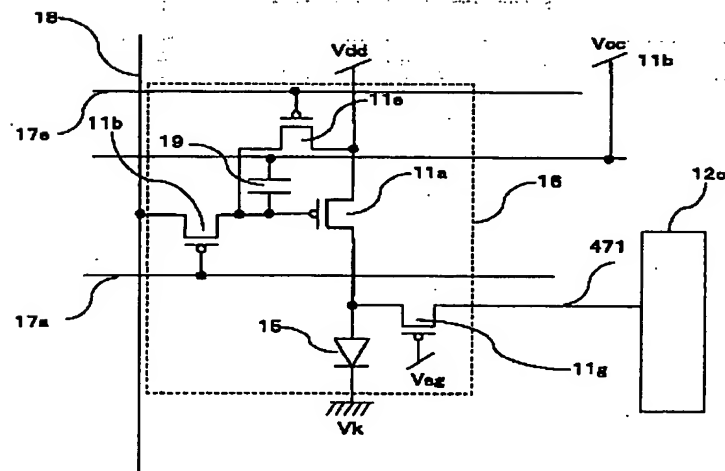


(110)

【図53】



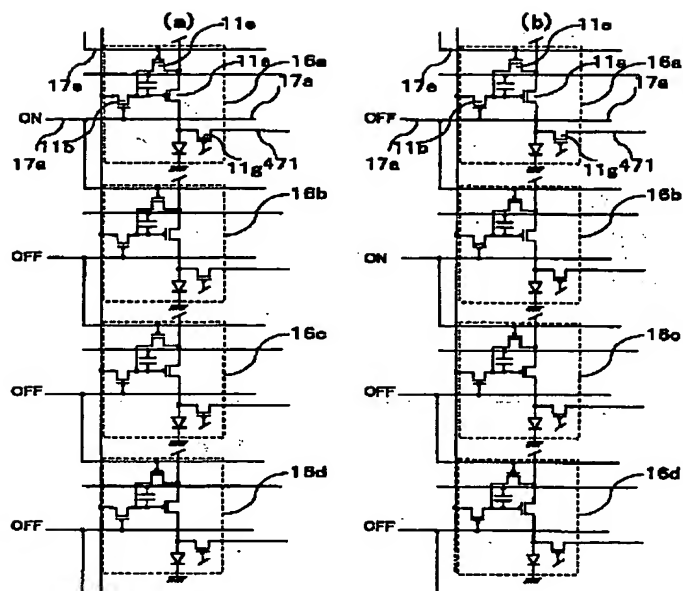
【図54】





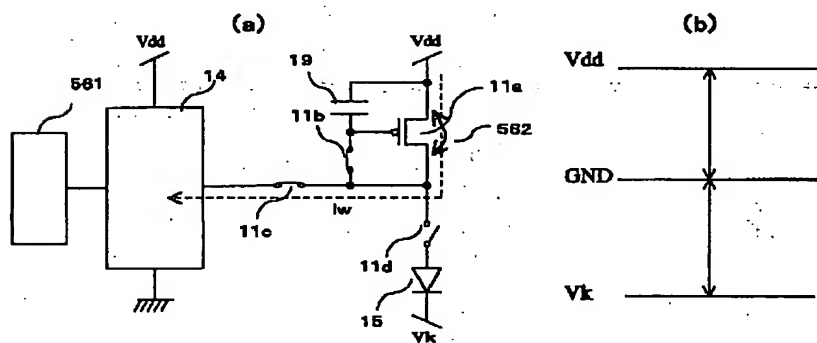
(111)

【図55】



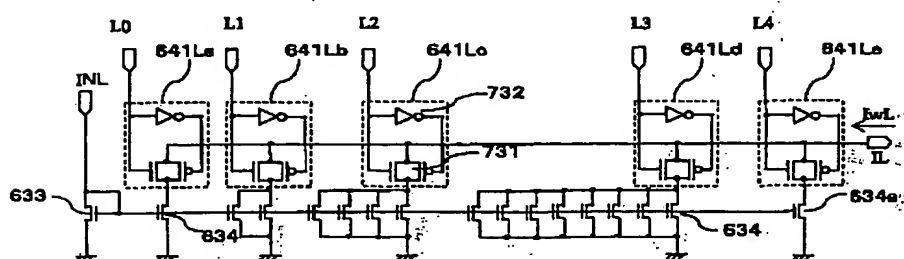
【図56】

581 電子ホリウム回路  
582 TFTのSD(ソースドレイン)ショート

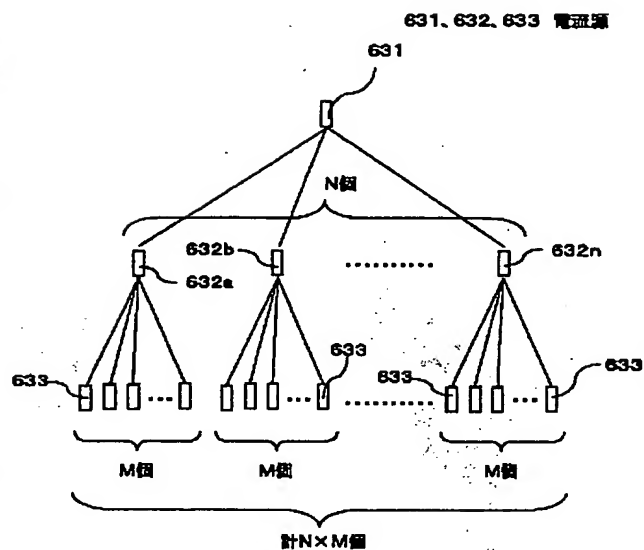


【図73】

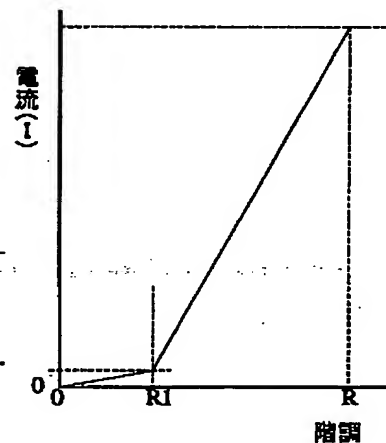
731 アナログスイッチ  
732 インバータ



【図63】

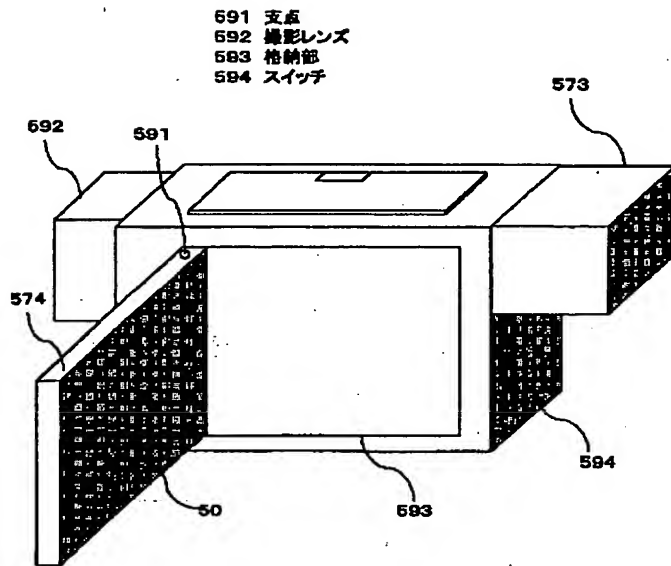


【図79】

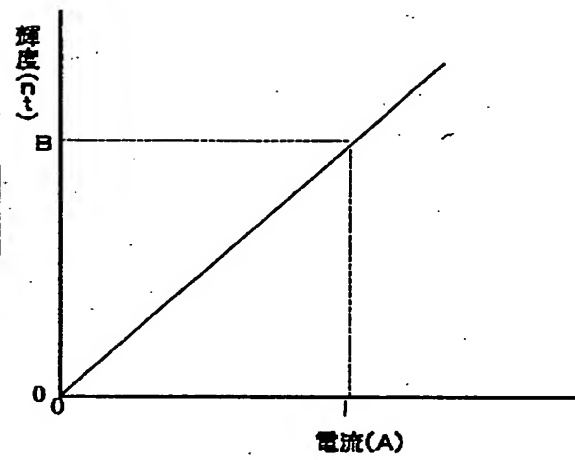


(112)

【図59】



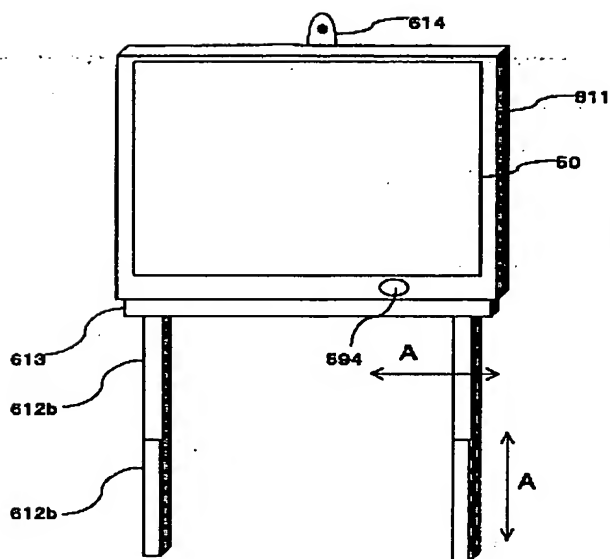
【図83】



【図84】

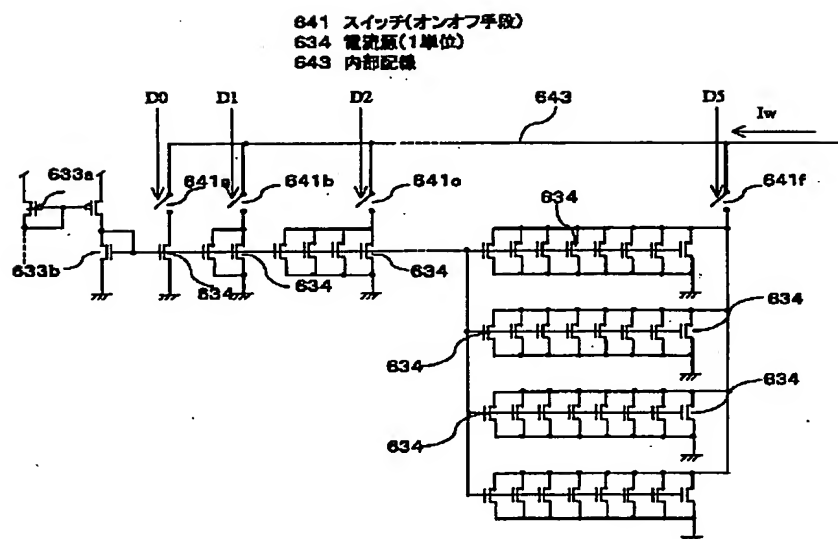
画素	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
...											

【図61】



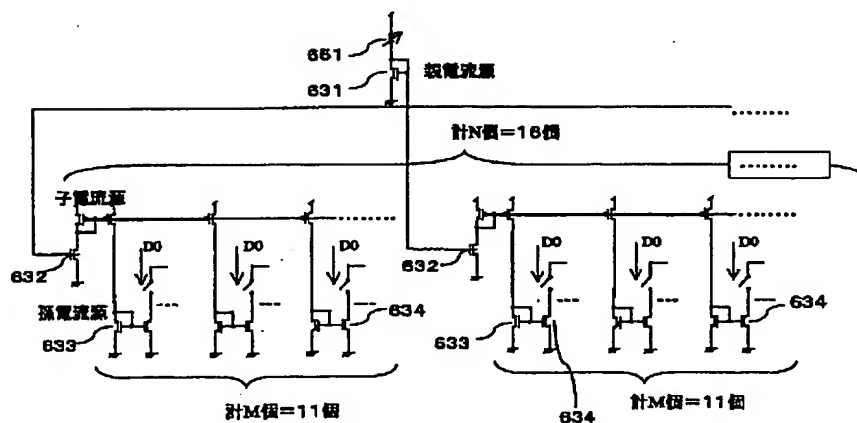
(113)

【図 6 4】



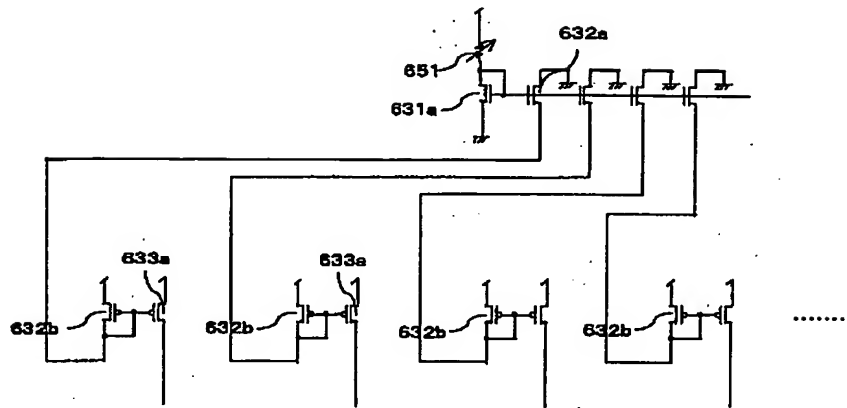
【図 6 5】

661 ボリウム(電流調節手段)



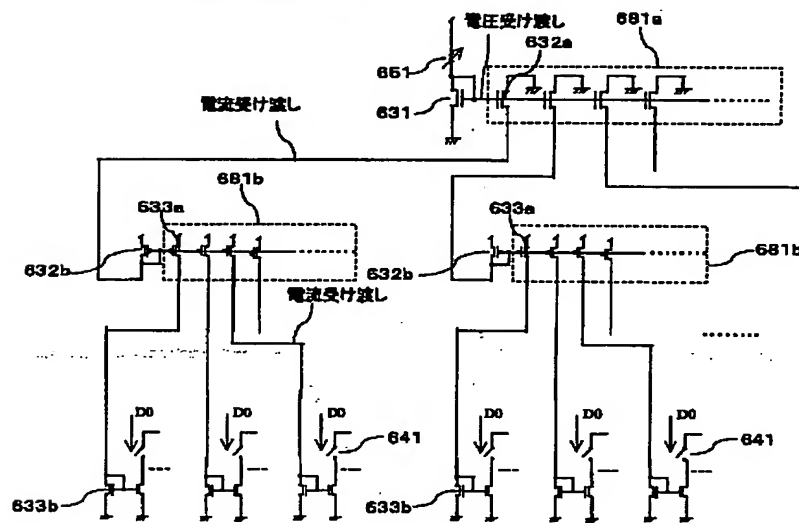
(114)

【図67】



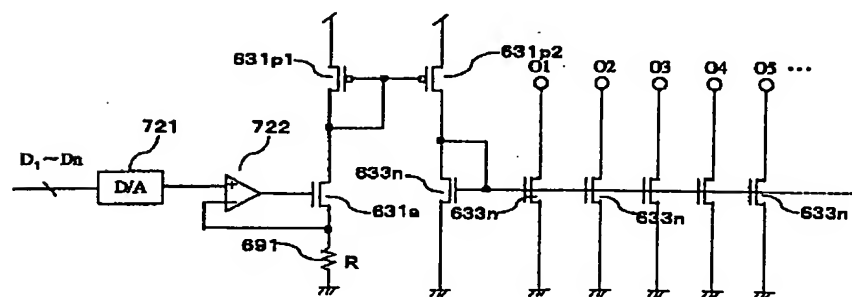
【図68】

681 トランジスタ群



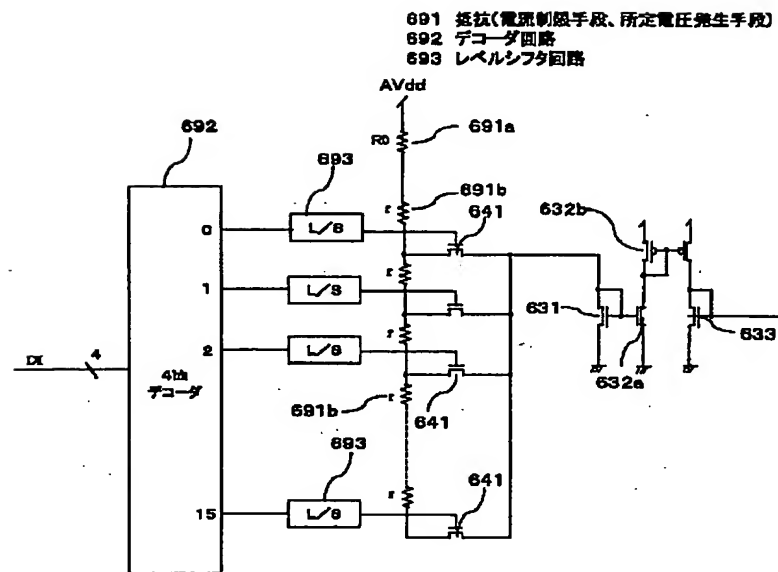
【図72】

721 D/A変換器  
722 オペアンプ

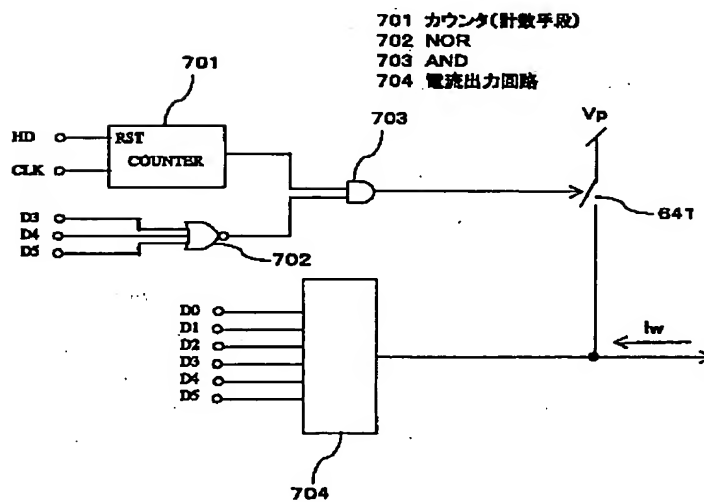


(115)

【図 69】



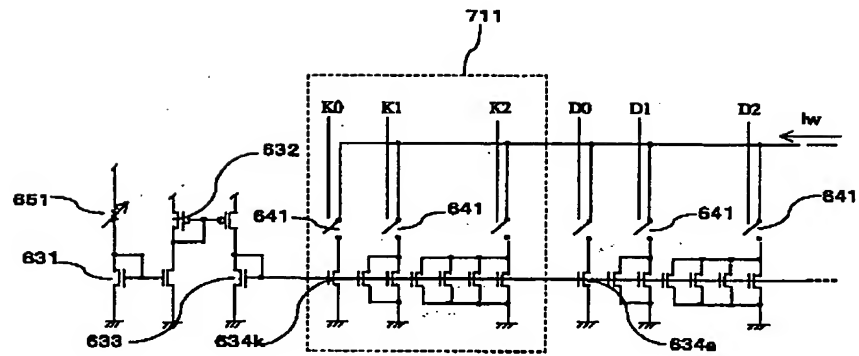
【図 70】



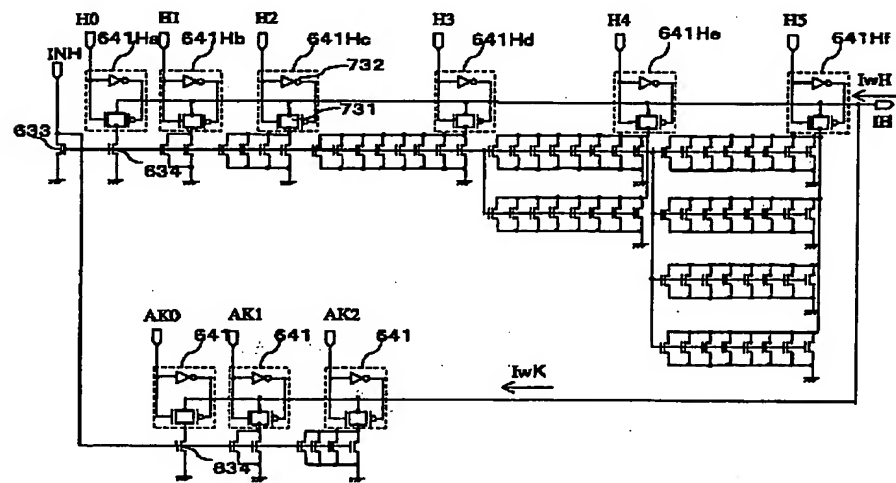
(116)

【図71】

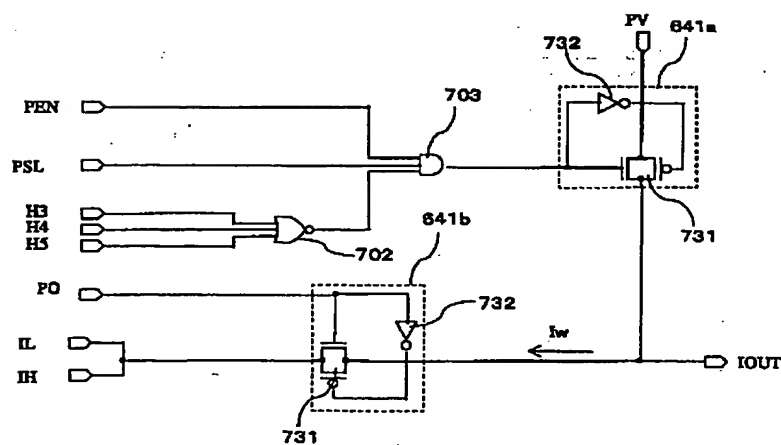
711 係上げ回路



【図74】



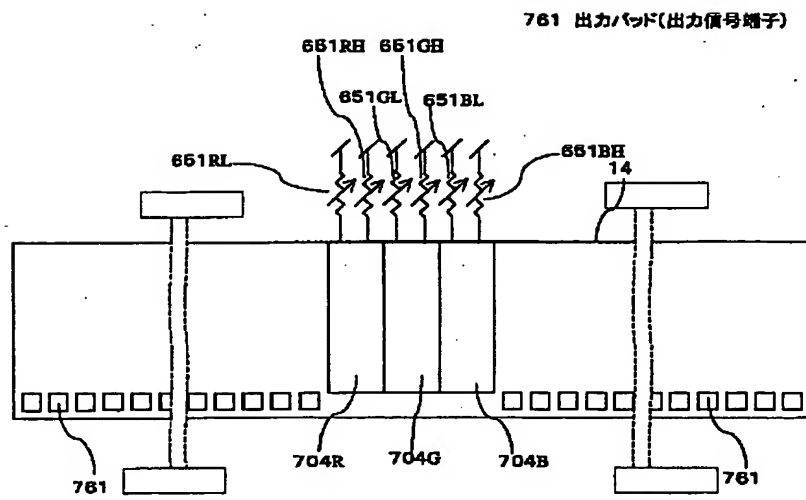
【図75】



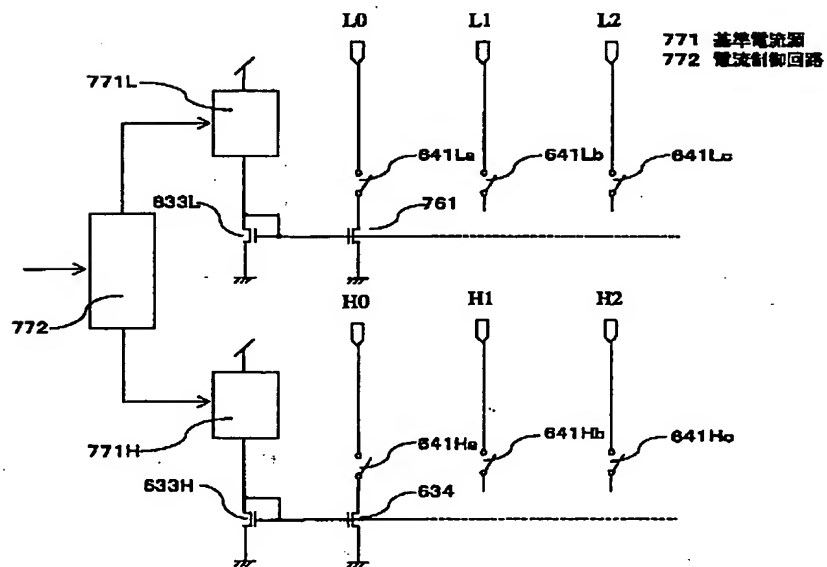


(117)

【図76】

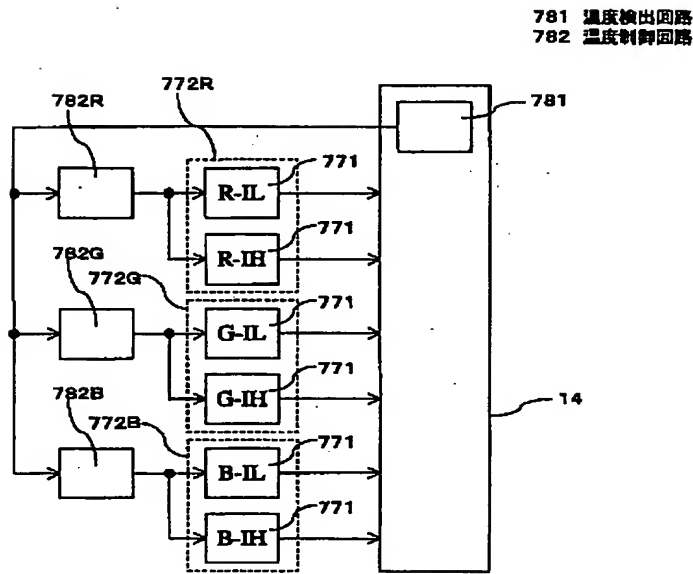


【図77】

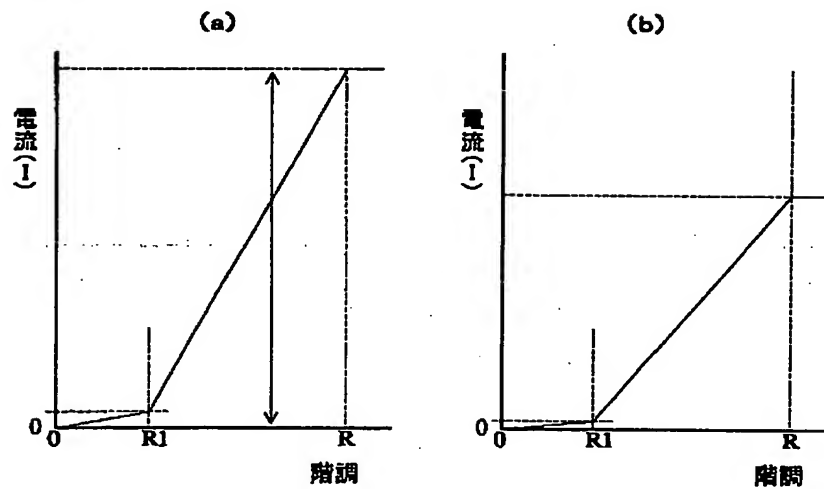


(118)

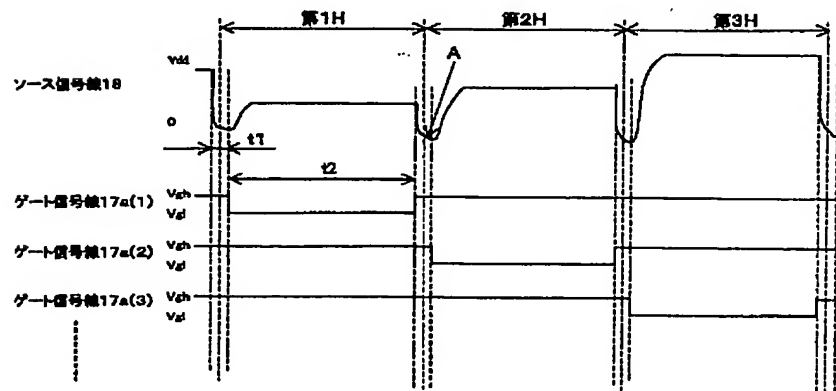
【図78】



【図80】

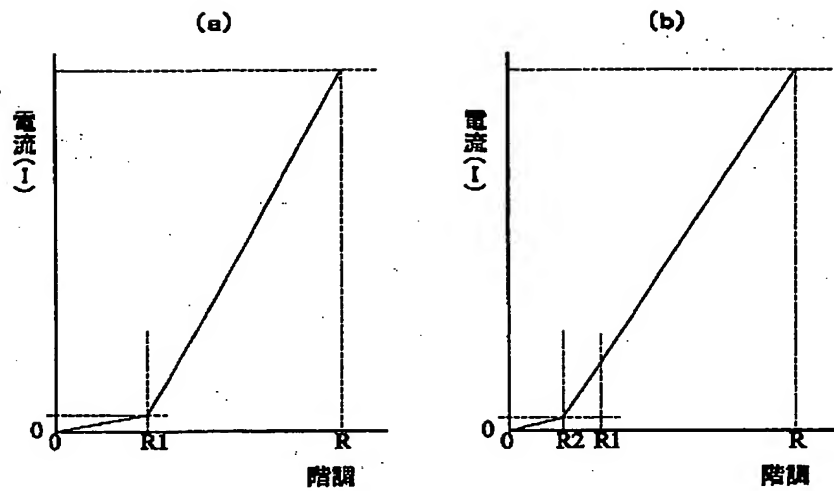


【図88】

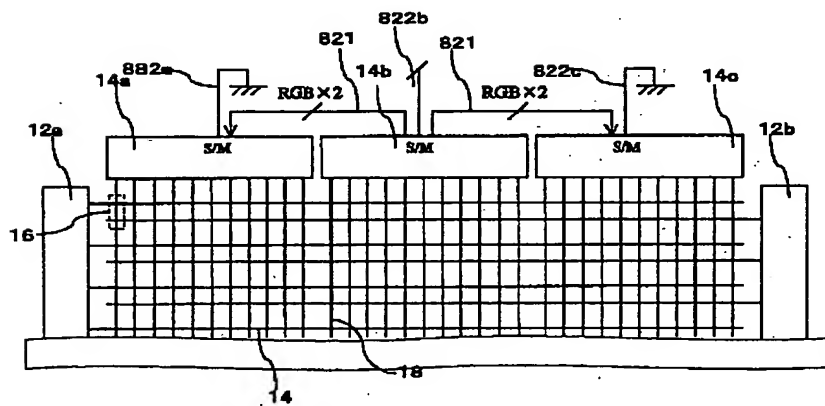


(119)

【图 8 1】



【图 8 2】



【図 8 5】

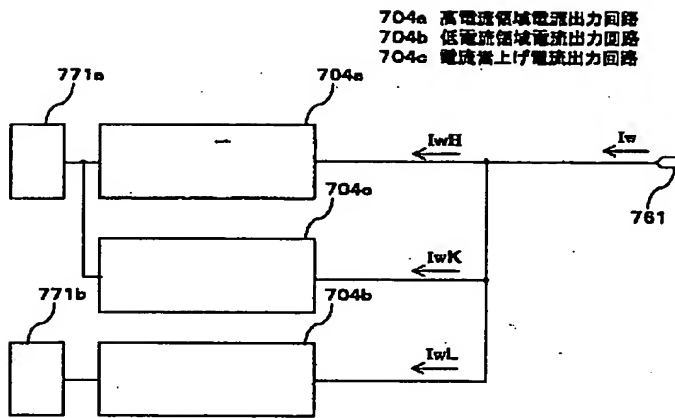
[illegible]

【図 8 6】

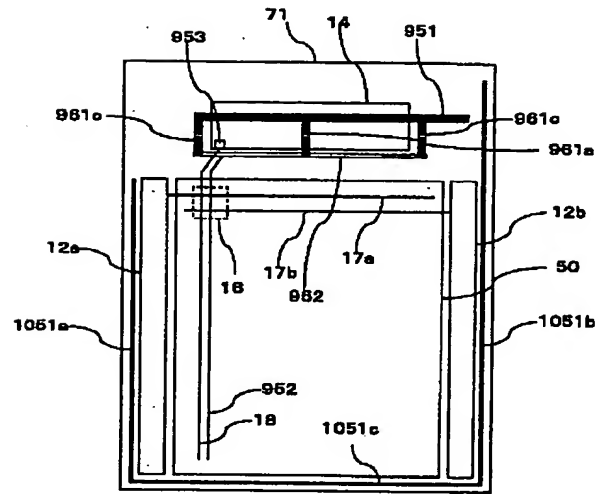
[illegible]

(120)

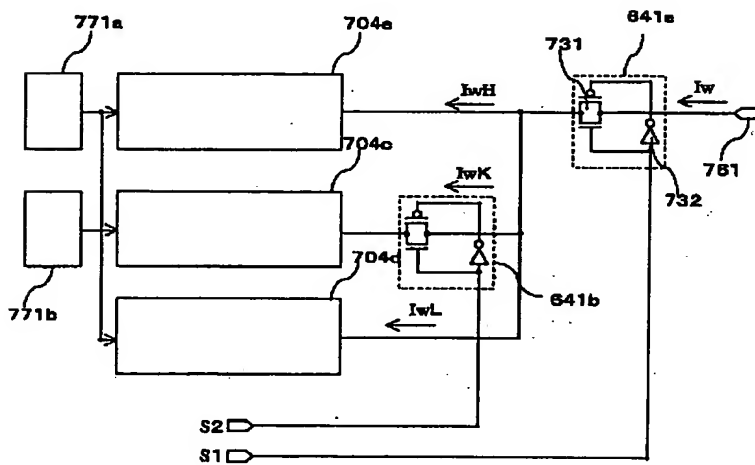
【図87】



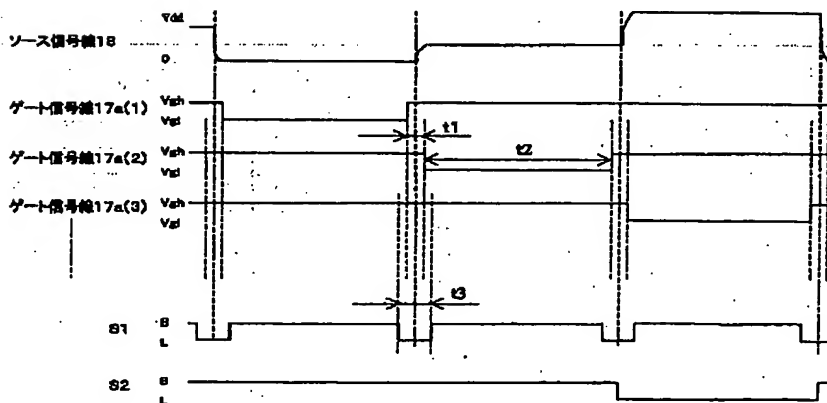
【図107】



【図89】

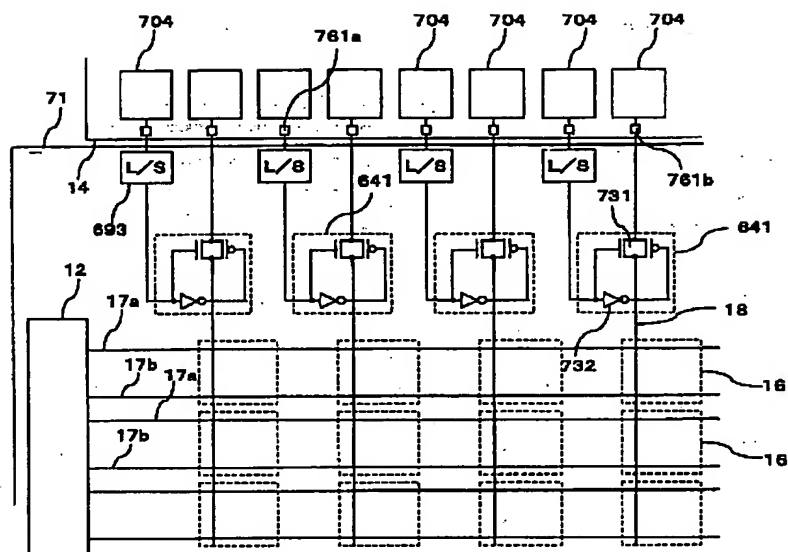


【図90】

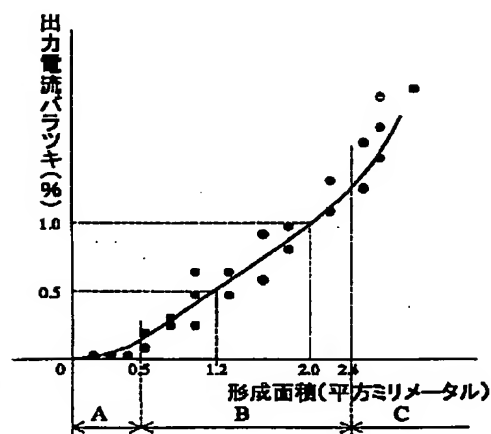


(121)

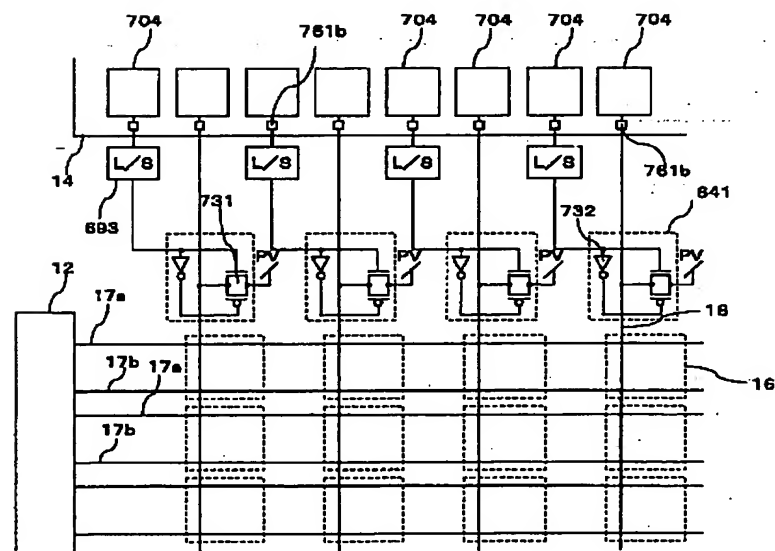
【図91】



【図110】

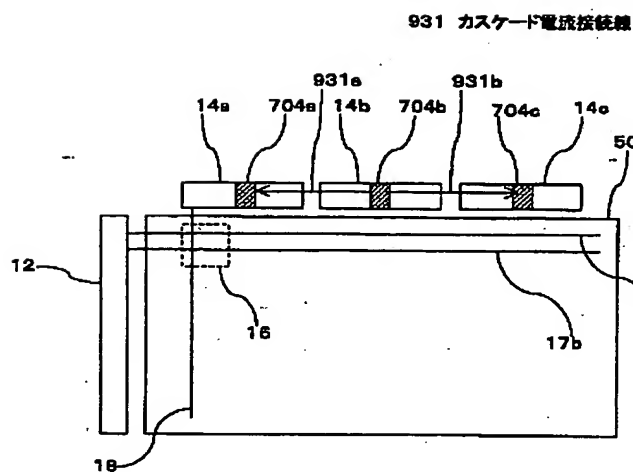


【図92】

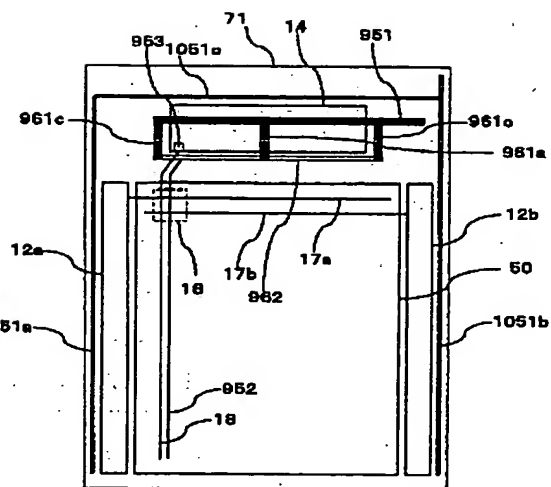


(122)

【図93】

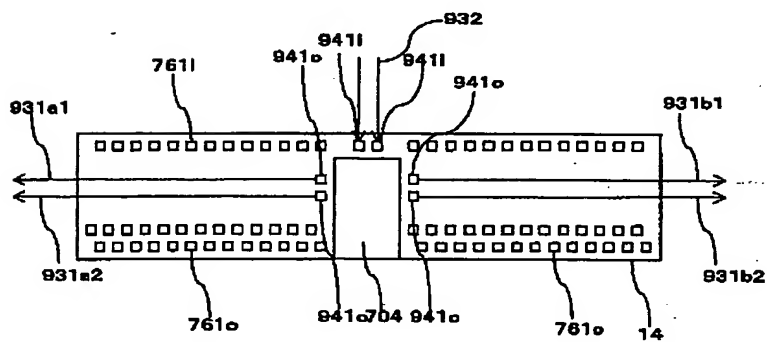


【図106】

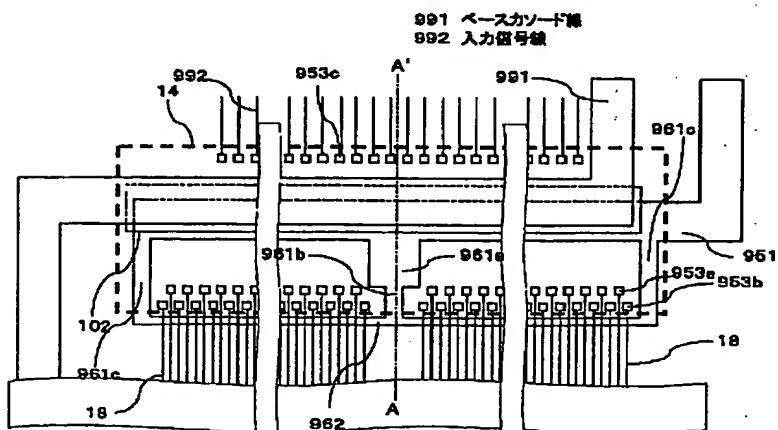


【図94】

932 基準電圧信号線  
941i 電流入力端子  
941o 電流出力端子



【図99】

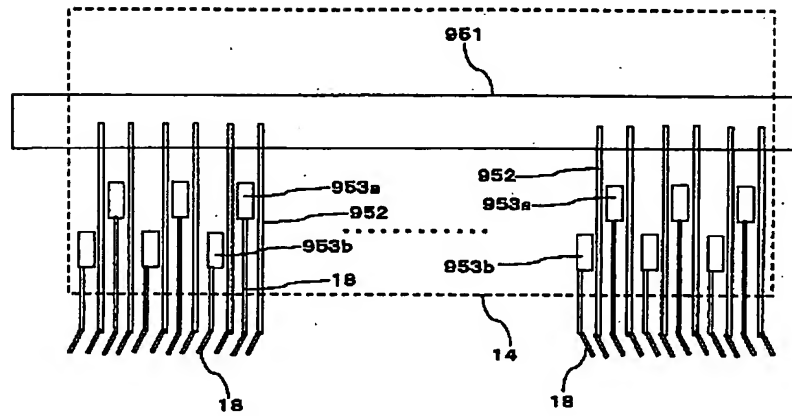




(123)

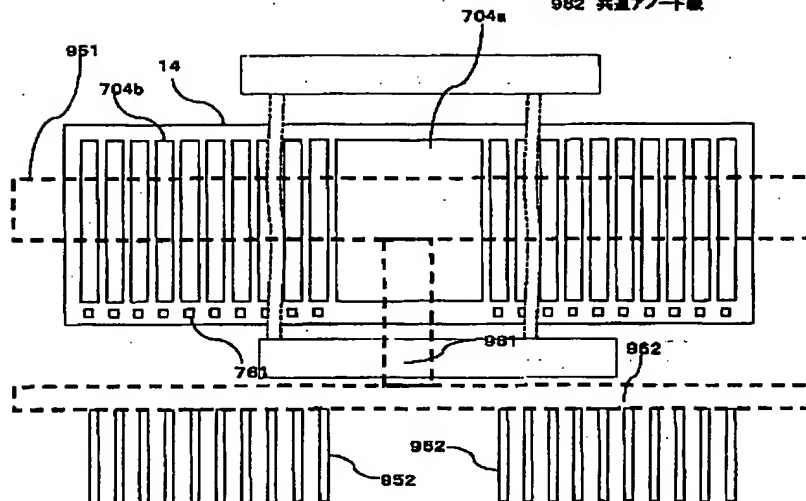
【図95】

951 ベースアノード線(アノード電圧線、基幹アノード線)  
952 アノード配線  
953 接続端子



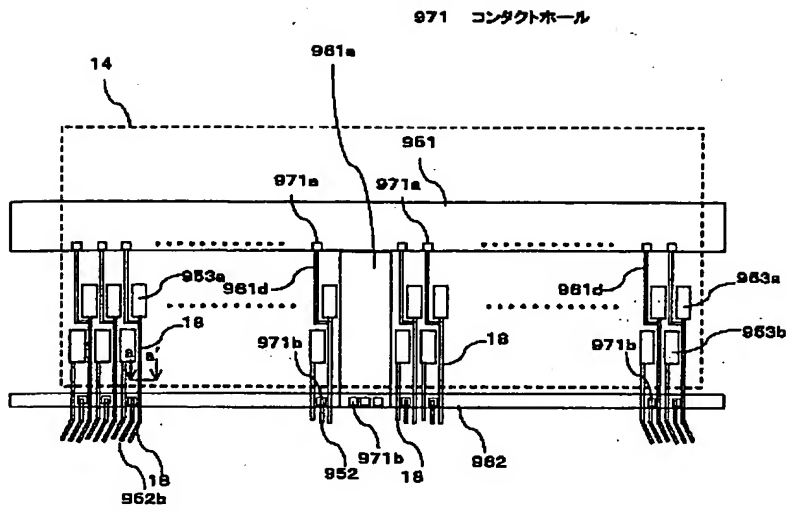
【図96】

981 接続アノード線  
982 共通アノード線

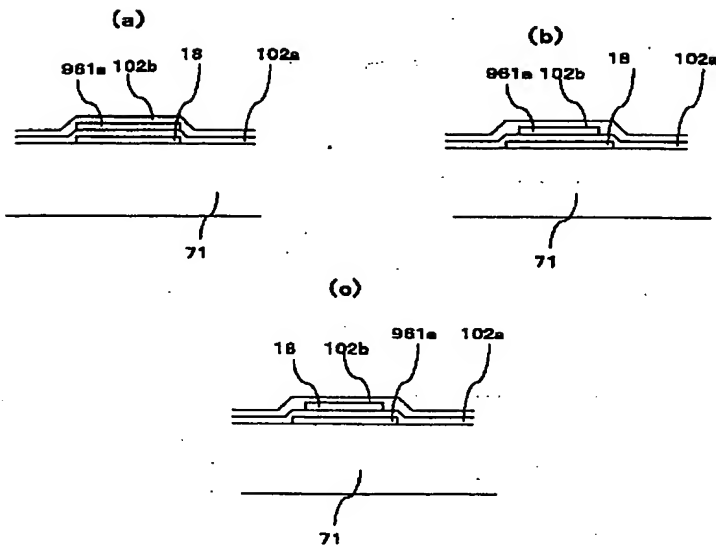


(124)

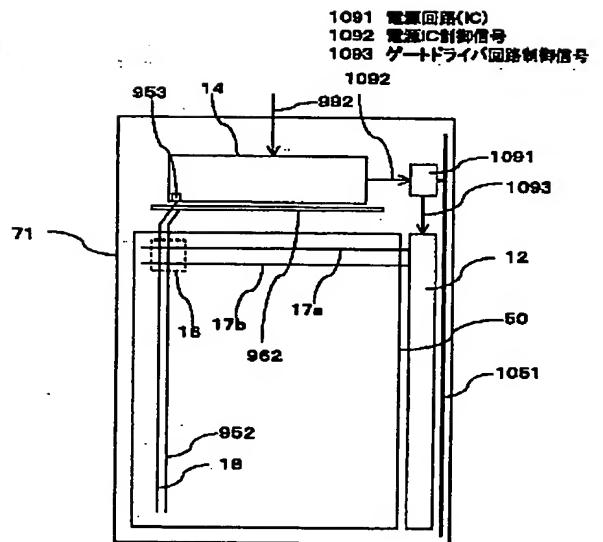
【図97】



【図98】



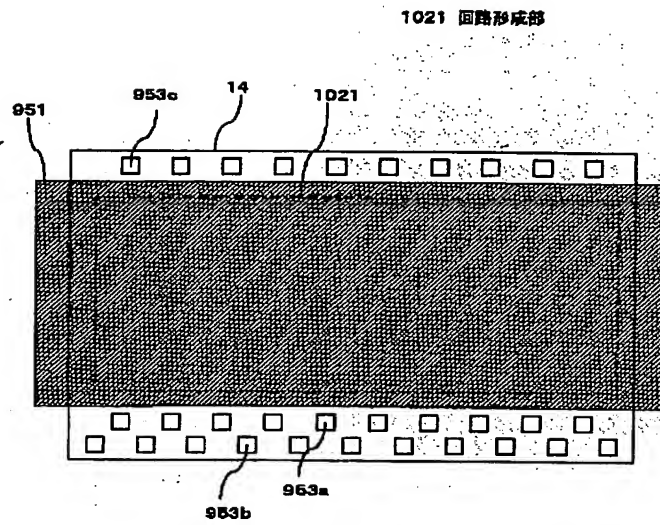
【図109】



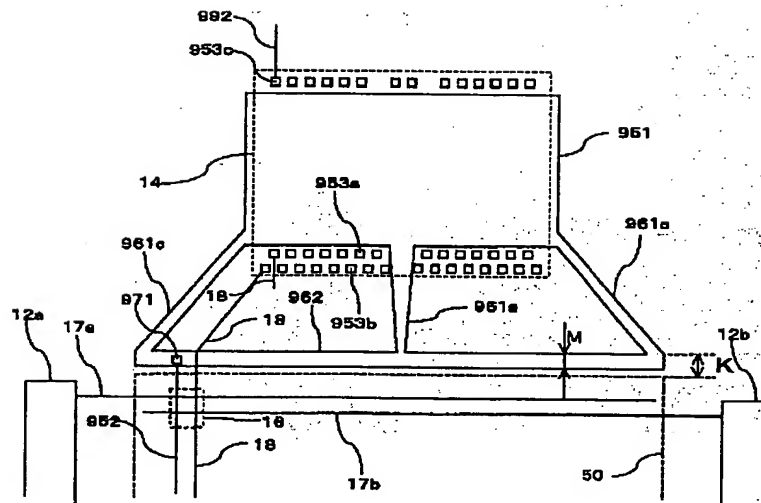


(126)

【図 102】

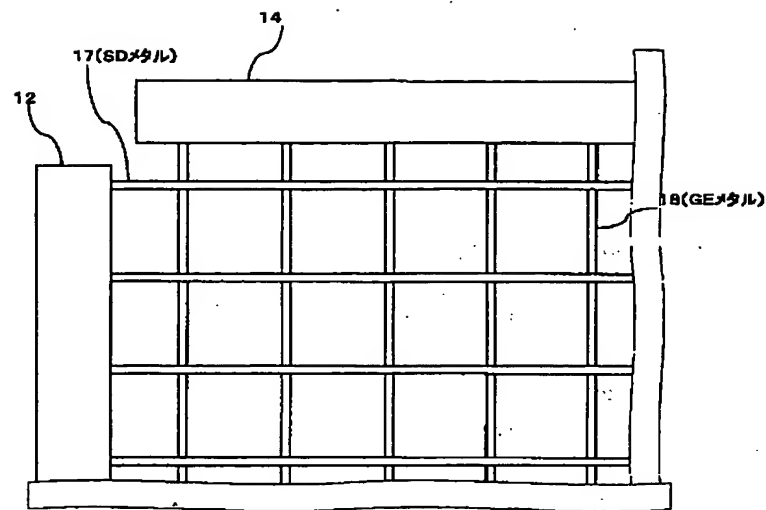


【図 103】

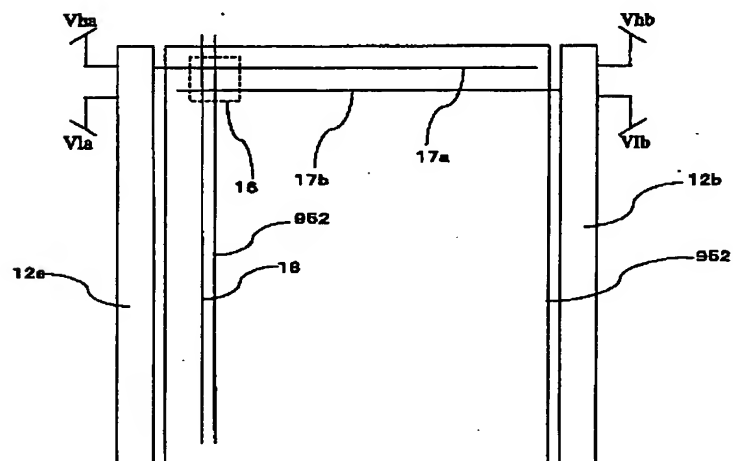


(127)

【図104】



【図108】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

識別記号

6 2 1

6 2 2

6 2 3

6 2 4

6 4 1

6 4 2

6 8 0

F I

G 0 9 G 3/20

テマコード\* (参考)

6 2 1 L

6 2 1 M

6 2 2 G

6 2 3 F

6 2 4 B

6 4 1 D

6 4 2 A

6 8 0 G

3/30

H 0 5 B 33/14

3/30

H 0 5 B 33/14

J

A

(128)

F ターム(参考) 3K007 AB04 AB05 AB17 AB18 BA06  
BB07 DB03 GA02 GA04  
5C080 AA06 BB05 CC03 DD02 DD05  
DD10 DD22 DD26 DD28 DD29  
EE19 EE29 EE30 FF03 FF11  
GG11 HH09 JJ01 JJ02 JJ03  
JJ04 JJ05 JJ06 KK02 KK04  
KK07 KK34 KK37 KK43 KK49  
KK50  
5C094 AA03 AA53 AA55 BA03 BA27  
CA19 CA24 CA25 DA09 DB01  
DB02 DB05 EA04 EA05 FA01  
FA02 FB01 FB12 FB16 HA03  
HA07 HA08  
5G435 AA01 AA03 AA18 BB05 CC09  
CC12 EE37 EE42 HH16 LL03  
LL04 LL07 LL08 LL10 LL14  
LL15